

C대역 20W급 위성 송신기용 고출력증폭기 집적회로 설계

C-Band 20 W High Power Amplifier MMIC Design for Satellite Transmitters

노 윤 섭 · 신 천 식

Youn Sub Noh · Cheon Sig Sin

요 약

본 논문에서는 C대역 위성 송신기용 고출력증폭기 집적회로(monolithic microwave integrated circuit: MMIC) 설계 및 시험결과를 기술한다. 20 W급의 큰 출력을 위해 0.25 μm GaN 공정을 이용하였고, 2단 캐스캐이드 구조로 구성된 고출력증폭기 집적회로는 높은 효율을 위해 AB급(Class AB)으로 동작한다. 제작된 5.0~7.2 GHz의 동작 주파수 대역에서 이득 29 dB, 출력 43.3 dbm, 효율 48 %의 특성을 갖는 3.0 mm×1.8 mm 크기의 집적회로는 출력전력밀도 3.96 W/mm²의 성능을 가진다.

Abstract

In this paper, we describe a C-band high power amplifier(HPA) Monolithic Microwave Integrated Circuit(MMIC) design and measurement results for satellite transmitters. For a high output power of 20 W, a 0.25 μm GaN process was used and the HPA MMIC with a 2-stage cascade configuration was operated in Class AB mode for high efficiency. The fabricated MMIC has 29 dB gain, 43.3 dBm output power, and 48 % power added efficiency(PAE) with an MMIC size of 3.0 mm×1.8 mm over a frequency range from 5.0 GHz to 7.2 GHz and exhibits an output power density of 3.96 W/mm².

Key words: C-Band, GaN, HEMT, HPA, MMIC

I. 서 론

한국형 위성항법보강시스템(Korea augmentation satellite system: KASS)의 위성통신국(KASS uplink station: KUS) 송신기는 지상에서 정지궤도(GEO) 위성으로 C대역 주파수를 이용하여 고출력 신호를 송신하는 역할을 수행한다^[1].

위성통신용 고출력증폭기는 기존의 진행파 진공관증폭기(travelling wave tube amplifier: TWTA) 방식에서 최근에는 반도체 전력증폭기(solid state power amplifier: SSPA)

형태로 대체되고 있다. SSPA형 증폭기가 신뢰성, 소형화, 유지보수 및 가격 측면에서 유리한 장점을 가지고 있다^[2].

질화갈륨(GaN) 고출력증폭기는 C대역에서 지상 위성 통신국 및 레이더 시스템용으로 기존의 갈륨비소(GaAs) 고출력증폭기를 대체하는 제품으로 12~40 W급으로 다양하게 개발되고 있다^{[3]~[4]}.

본 논문에서는 C대역 위성통신국 및 레이더 시스템에 사용이 가능한 질화갈륨 고출력증폭기 집적회로를 주파수 대역 5.0~7.2 GHz 대역에서 출력 20 W 급과 효율 48 %

「본 연구는 국토교통부 항공안전기술개발사업의 연구비 지원(19ATRP-A087579-06)에 의해 수행되었습니다.」

한국전자통신연구원 통신미디어연구소 전파위성연구본부(Radio and Satellite Research Division, Telecommunications Media Research Laboratory, Electronics and Telecommunications Research Institute)

· Manuscript received September 6, 2019 ; Revised October 18, 2019 ; Accepted October 25, 2019. (ID No. 20190906-082)

· Corresponding Author: Youn-Sub Noh (e-mail: nohys@etri.re.kr)

수준의 3.0 mm×1.8 mm의 초소형 크기로 성공적으로 설계 및 제작 시험을 수행한 결과를 기술한다.

II. GaN 공정분석

C대역 고출력증폭기 집적회로 설계에 적합한 공정으로, 대만의 WIN Semiconductors 사의 0.25 μm GaN HEMT (High Electron Mobility Transistor) 공정인 NP25-00을 사용하였다. 28V 전원의 사용에 적합하게 구성된 라이브러리의 주요 특성은 표 1과 같이 항복전압(breakdown voltage)은 90 V 이상이며, 최대 출력전력밀도는 4.5 W/mm이다.

라이브러리는 정합회로 구현을 위한 수동소자인 저항, 커패시터 및 인덕터를 제공하며, 접지를 위한 사각형 형태의 백-비아를 제공하며, 증폭 소자를 위해서는 2가지 종류의 트랜지스터 모델을 제공한다. ISV(Inner Side Via) 트랜지스터는 게이트 2개 사이마다 백-비아를 사용하여 소스 인덕턴스를 줄일 수 있으나, OSV(Outer Side Via) 트랜지스터는 모든 게이트의 위쪽 및 아래쪽 2개만 백-비아를 사용하여 보다 작은 면적에서 큰 출력을 얻기에 적합한 구조이다. ISV와 OSV 트랜지스터 모두 게이트 면적에 따른 열저항이 모델에 포함되어 있어, 면적과 RF 성능의 트레이드-오프를 통해 설계에 사용할 트랜지스터를 결정할 수 있다.

III. C대역 고출력증폭기 설계

NP25-00 공정의 HEMT로 출력단의 단위소자인 8F150 (8-Finger, Gate Width 150 μm)는 총 1.2 mm의 게이트 폭을 갖는다. 트랜지스터 HEMT는 높은 이득을 갖는 경우

표 1. NP25-00 공정의 주요 성능

Table 1. Main performances of NP25-00 process.

Parameter	Performance
Breakdown voltage	> 90 V
Cutoff frequency	24.5 GHz
Max. oscillation frequency	79 GHz
Output power density	4.5 W/mm
Threshold voltage(Vto)	-2.9 V

발진에 취약하다. 시뮬레이션 상으로 8F150 2개의 병렬 연결한 HEMT는 K factor가 1 이상인 영역에서 안정하나, 시뮬레이션 결과 그림 1과 같이 12 GHz까지 전 대역에서 안정하지 않은 것으로 시뮬레이션 되었다. 트랜지스터 레벨에서 안정도를 확보하기 위해서 모든 트랜지스터의 게이트 단에 병렬 RC 회로를 추가하여 안정도를 확보할 수 있다. 본 설계에서는 저항 R 53 Ω 및 커패시터 C 2.91pF의 커패시터를 병렬 연결한 결과, 10.4 GHz까지 K factor가 1 이상의 값으로 안정도를 확보할 수 있음을 확인하였다. K값을 크게 가져가는 경우, 이득, 출력전력 및 효율이 줄어들게 된다. 하지만 K값을 작게 가져가는 경우, 공정 변화나 온도변화에 따라 증폭기가 발진할 수 있는 환경이 만들어지기 때문에 K값 확보 정도에 주의가 필요하다.

안정도가 확보된 2개 병렬 8F150 HEMT의 이득 특성은 그림 2에 도시하였다. 8F150소자 2개만을 사용하는 경우, 최대안정이득(maximum stable gain: MSG)으로 안정도가 확보되지 않은 이득을 의미하며, RC 회로가 포함된 경우는 최대가용이득(maximum available gain: MAG)로 그림 2에서와 같이 10.4 GHz까지는 안정도가 확보되어 이상적으로 입출력이 50 Ω 정합이 된 경우 얻을 수 있는 최대 이득 값이 된다. 7 GHz에서 손실 없는 정합을 취하는 경우, 최대 이득은 17.62 dB로 시뮬레이션 되었다. 10.4 GHz 이상에서의 안정도는 정합회로의 구현 시 대역통과필터 형태로 설계하여 안정도 확보가 가능하다.

결정된 RC 회로가 포함된 OSV형 8F150 소자 2개의 레이어아웃은 그림 3과 같다. 입력 쪽은 RC 회로가 포함된

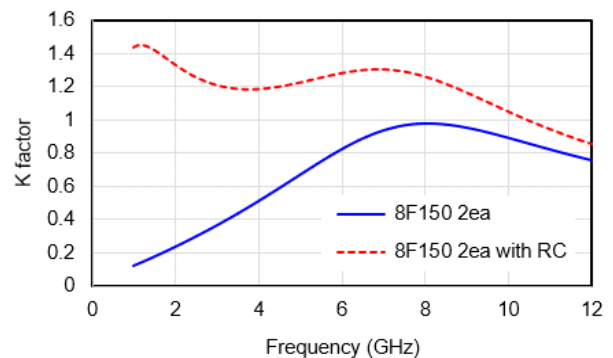


그림 1. 2개 병렬 8F150 HEMT의 K factor

Fig. 1. K factor of 2 parallel 8F150 HEMT.

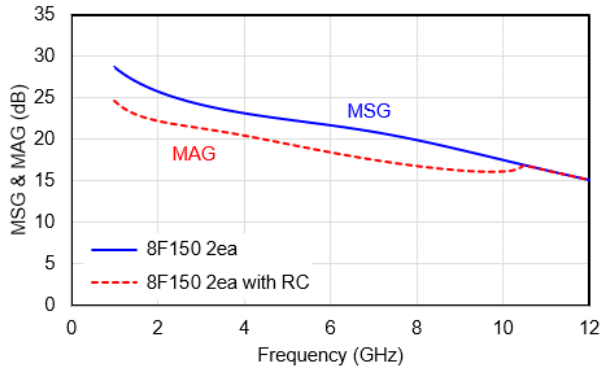


그림 2. 2개 병렬 8F150 HEMT의 MSG와 MAG
Fig. 2. MSG and MAG of 2 parallel 8F150 HEMT.

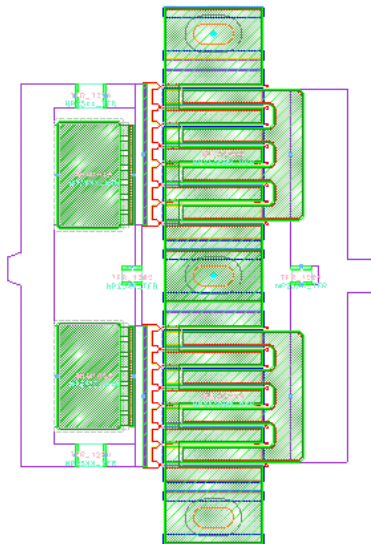


그림 3. 2개 병렬 8F150 HEMT(16F150)의 레이아웃 구성도
Fig. 3. Layout of 2 parallel 8F150 HEMT(16F150).

8F150 소자 2개가 하나의 포트에 묶여 있고, 출력단은 2개 트랜지스터의 드레인단이 하나의 포트에 묶여 있다. 소스 단은 위부분과 중간 그리고 아랫 부분의 3개의 백비아를 통해 접지되는 구성이다. 따라서 8F150 소자 2개에 각각의 RC 회로가 포함된 새로운 설계 트랜지스터 모델인 16F150 소자를 설계를 위한 출력단의 단위소자로 결정하였다.

16F150 트랜지스터의 출력전력 특성 및 효율 특성을 예측하기 위하여 source-pull과 load-pull 시뮬레이션을 수

행하였다. 최대의 출력전력을 갖는 임피던스와 최대의 효율 특성을 갖는 임피던스가 서로 상이하여 설계자는 최대 출력과 효율 특성을 트레이드-오프하여 결정하여야 한다. 최대 출력 특성이 어느 정도 확보되면서 효율 특성이 가장 좋은 지점을 설계의 로드 임피던스로 선택해야 한다. 소스 임피던스의 경우는 최대 출력전력과 효율이 가장 좋은 지점이 일반적으로 일치하게 된다.

그림 4는 시뮬레이션된 16F150 트랜지스터의 load-pull 시뮬레이션 결과이다. 7 GHz 주파수 및 입력전력 25 dBm에서 source-pull 시뮬레이션을 통해 정해진 소스 임피던스 $1.424 + j6.38 \Omega$ 에서 구해진 최적의 로드 임피던스 값은 $7.064 + j11.564 \Omega$ 이다. 이 구해진 임피던스 값으로 16F150 소자의 입력 및 출력 정합회로를 구성하는 경우, 출력전력은 최대 39.57 dBm과 효율은 최대 63 %의 값을 얻을 수 있게 된다.

입력단의 트랜지스터의 면적 결정 또한 고출력증폭기의 성능에 중요한 설계 요소이다. 출력단이 16F150 소자 2개가 사용되기 때문에 최대 28 dBm 이상의 전력을 선형적으로 구동 가능한 트랜지스터의 면적이 필요하다. 본 설계에서 결정한 초단 트랜지스터는 8F125 소자로 최대 출력전력이 36 dBm까지 가능하여 출력단 구동에 필요한 28 dBm 입력 전력을 선형적으로 구동이 가능하다. 본 C대역 고출력증폭기의 설계는 초단과 출력단의 면적이 각각 1.0 mm와 4.8 mm인 1:4.8 구조의 2단 캐스캐이드 증폭기이다(그림 5).

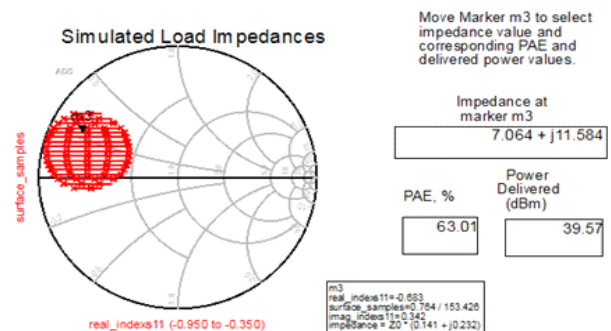


그림 4. 2개 병렬 8F150 HEMT(16F150)의 load-pull 시뮬레이션 결과

Fig. 4. Load-pull simulation result of 2 parallel 8F150 HEMT (16F150).

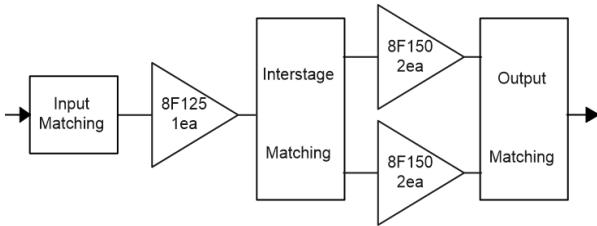


그림 5. C대역 GaN 고출력증폭기 2단 캐스캐이드 구조
Fig. 5. 2-stage cascade structure of C-band GaN high power amplifier.

C대역 GaN 고출력증폭기의 정합회로는 초단의 8F125 트랜지스터와 출력단의 2개의 16F150 트랜지스터의 최대 출력전력 및 효율의 load-pull 임피던스에 정합하는 파워 정합을 입력단, 중간단 및 출력단에 모두 적용하였다. 동작 주파수 대역은 C대역 표준 및 C대역 확장주파수 대역을 모두 포함하는 5.85~6.725 GHz 대역을 모두 포함하도록 하였다. 실제 NP25-00 공정의 경우 모델링과 제작 후 측정 사이에 오차가 존재하게 되고, 일반적으로 제작 후 약 5 %의 주파수 하향 쉬프트 특성이 존재한다. 따라서 출력전력 및 효율의 설계 주파수 대역은 그림 6과 같이 5.5~7.5 GHz 대역까지 설계하여 주파수 하향 쉬프트에 대비하였다. HEMT 모델이 효율 특성의 경우 모델링에 잘 반영이 된 반면, 출력전력의 경우 측정보다 약 1~1.5 dB 보수적으로 모델링되어 있어 실제 측정시 출력전력이 43 dBm이 가능하도록 설계하였다.

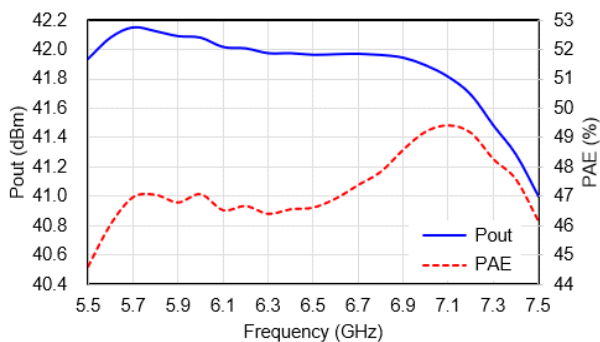


그림 6. C대역 GaN 고출력증폭기 집적회로의 출력전력 및 효율 시뮬레이션 결과
Fig. 6. Output power and PAE simulation results of C-band GaN high power amplifier MMIC.

IV. C대역 고출력증폭기 제작 및 조립

NP25-00 공정을 사용하여 설계된 C대역 20 W급 위성 송신기용 고출력증폭기 집적회로를 제작하였다. 제작된 집적회로의 크기는 3.0 mm × 1.8 mm × 0.1 mm이다(그림 7).

GaN 고출력증폭기를 시험하기 위해서는 시험지그 설계가 필요하다(그림 8). GaN 고출력증폭기 집적회로의 경우, 발열이 크기 때문에 열 전도도가 좋은 유테틱 다이-본딩 기술이 필요하다. 유테틱 다이-본딩은 고온에서 작업이 되어야 하기 때문에 열팽창 특성이 집적회로와 유사한

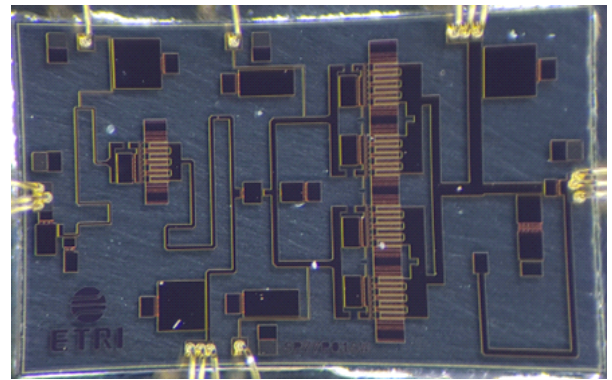


그림 7. 제작된 C대역 GaN 고출력증폭기 집적회로 사진
Fig. 7. Photograph of the fabricated C-band GaN high power amplifier MMIC.

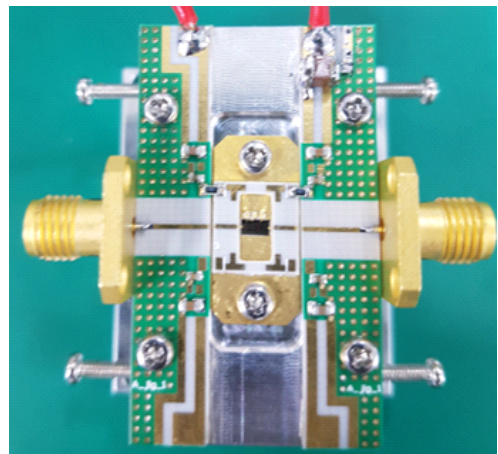


그림 8. 조립된 C대역 GaN 고출력증폭기 시험지그 사진
Fig. 8. Photograph of the assembled C-band GaN high power amplifier test jig.

CuW 재료의 캐리어를 2.0 mm의 두께로 설계하였다. 이 캐리어는 다이-본딩 및 와이어-본딩 후에 Al 재료의 시험 지그 위에 조립되는 구조의 시험지그를 설계하였다. RF 기판은 8 mil Rogers 기판을 사용하여 시험지그 부분과 캐리어 부분의 RF 경로를 연결하도록 하였다. 이 시험지그는 시험 시에 방열 기구물에 조립되어 시험하여야 열에 의한 성능 열화를 최소화할 수 있다.

V. C대역 고출력증폭기 성능시험

NP25-00 공정을 사용하여 제작된 C대역 20 W급 위성 송신기용 고출력증폭기 집적회로는 CW(Continuous Wave) 조건에서 시험하였다. 드레인 전압은 28 V를 인가하고, 게이트 전압을 조절하여 드레인 동작점 전류가 250 mA가 인가되도록 설정하였다. 제작된 고출력증폭기는 AB급으로 동작하기 때문에 낮은 동작점 전류로 동작을 하더라도 입력전력이 커지게 되면 드레인 전류가 같이 커지게 된다.

네트워크분석기를 이용한 고출력증폭기 집적회로의 소신호 시험결과는 그림 9와 같다. 동작주파수 대역 5.0~7.2 GHz 대역에서 이득(S_{21})은 28.6 dB 이상, 입력반사손실(S_{11})은 -6.5 dB 이하 및 출력반사손실(S_{22})은 -7.1 dB 이하로 시험되었다. III절에서 설명한 바와 같이 소신호

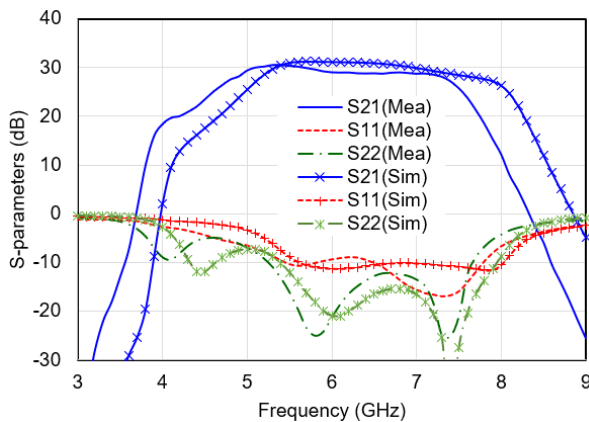


그림 9. C대역 GaN 고출력증폭기의 소신호 시험 및 시뮬레이션 결과

Fig. 9. Small signal test and simulation results of C-band GaN high power amplifier.

특성은 측정결과, 주파수 하향 쉬프트가 발생하였으나, 광대역 설계로 원하는 동작 주파수 대역에서 우수한 특성을 얻을 수 있었다.

C대역 고출력증폭기 집적회로의 대신호 특성인 출력전력과 효율(power added efficiency: PAE) 특성은 그림 10과 같다. 동작주파수 대역 5.0~7.2 GHz 대역에서 출력전력은 42.7~44.3 dBm의 값을 특성을 보이며, 효율의 경우 44.5~52 %의 특성을 갖는다. 그림 6의 설계 결과에 비교하면 동작주파수의 경우 낮은 주파수는 500 MHz 하향 쉬프트를, 높은 주파수의 경우 300 MHz의 하향 쉬프트를 보여 설계에서 예상한 약 7.5% 수준의 하향 쉬프트가 있음을 측정결과에서 확인하였다. 출력전력은 예측한 바와 같이 시뮬레이션보다 1~1.5 dB 이상 높게 측정되었으며, 효율의 경우는 거의 유사한 수준의 결과를 얻을 수 있었다. 출력전력이 더 크게 측정된 이유는 III절에서 언급한 바와 같이 HEMT 모델링이 효율 특성을 기준으로 수행되었기 때문이다.

본 연구를 통해 개발된 C대역 20 W급 GaN 고출력증폭기 집적회로의 성능의 참고문헌 [3]과 참고문헌 [4]의 비교는 표 2와 같다. 기개발된 집적회로의 출력전력은 12 W(40.8 dBm)와 40 W(46 dBm)의 출력이며, 본 연구에서는 중간에 해당하는 21.4 W(43.3 dBm)급이다. 일반적으로 출력전력이 높아지면 효율 특성은 떨어지게 된다. 하지만 본 연구에서는 출력전력이 중간급에 해당하나, 효율 특성은 약 48 %로 가장 좋은 특성을 갖는다. 또한 집적회로

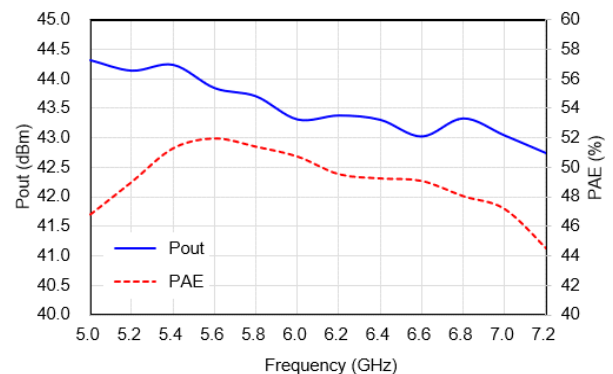


그림 10. C대역 GaN 고출력증폭기의 대신호 시험결과
Fig. 10. Large signal test results of C-band GaN high power amplifier.

표 2. C대역 GaN 고출력증폭기 집적회로의 성능비교
Table 2. Performance comparison of C-band GaN high power amplifier MMIC.

Parameter	Unit	Ref. [3]	Ref. [4]	This work
Process	-	0.15 μm GaN HEMT	0.25 μm GaN HEMT	0.25 μm GaN HEMT
Frequency	GHz	4.5 ~ 7	5.5 ~ 8.5	5 ~ 7.2
Small signal gain	dB	33.5	32	29
Maximum P_{out}	dBm	40.8	46	43.3
PAE	%	42	40	48
MMIC size	mm ²	4.5156 (2.84×1.59)	17.2558 (3.61×4.78)	5.4 (3.0×1.8)
Pout density over MMIC size	W/mm ²	2.66	2.31	3.96

크기 대비 출력전력인 출력전력밀도의 경우 3.96 W/mm²로 기존 기술 대비 약 2배 높은 값을 보여 성능뿐만 아니라, 가격 경쟁력도 확보한 집적회로 개발을 완료하였다.

VI. 결 론

본 연구에서는 0.25 μm GaN 공정으로 개발된 C대역 20 W급 위성 송신기용 고출력증폭기 집적회로의 설계, 제작, 시험을 성공적으로 수행한 결과를 기술하였다. GaN 라이브러리의 모델링 특성을 파악하여 측정결과를 예측한 시뮬레이션을 통해서 우수한 성능의 C대역 고출

력증폭기 집적회로 개발이 가능하였다.

출력전력 20 W급에 효율 48 %의 높은 값을 가지며, 출력전력밀도 또한 3.96 W/mm²로 매우 우수한 특성을 보인다. 이 고출력증폭기는 C대역 레이더 시스템뿐만 아니라, 위성기반보정시스템(satellite based augmentation system: SBAS)과 같이 C대역 지상 위성통신국의 송신기의 증폭기에 사용하기에 적합할 것으로 판단된다.

References

- [1] M. You, C. S. Sin, "Conceptual design of KASS uplink station," *Conceptual Design of KASS Uplink Station*, vol. 12, no. 4, pp. 72-77, 2017.
- [2] M. K. Chong, H. G. Na, "A development of the X-band 63 watt pulsed SSPA for radar," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 22, no. 3, pp. 380-388, Mar. 2011.
- [3] Qorvo, "QPA1019D, 4.5~7.0 GHz 10 Watt GaN power amplifier." Available: <https://www.qorvo.com/products/p/QPA1019D>.
- [4] Wolfspeed, "CMPA5585025D, 25-W, 5.5~8.5-GHz, GaN MMIC power amplifier." Available: <https://www.wolfspeed.com/rf/products/satellite-communications/cmpa5585025d>.

노 윤 섭 [한국전자통신연구원/책임연구원]

<https://orcid.org/0000-0002-9336-0077>



임연구원

[주 관심분야] RF, RF Power Amplifier, MMIC 등

2000년 2월: 전북대학교 전자공학과 (공학사)

2001년 8월: 한국정보통신대학원대학교(현 한국과학기술원) 전자공학과 (공학석사)

2004년 2월: 한국정보통신대학원대학교(현 한국과학기술원) 전자공학과 (공학박사)

2004년 1월 ~ 현재: 한국전자통신연구원 책임

신 천 식 [한국전자통신연구원/책임연구원]

<https://orcid.org/0000-0003-3192-5543>



임연구원

[주 관심분야] 위성통신, 위성항법 및 GPS 전파교란 등

1990년 2월: 한양대학교 전자공학과 (공학사)

2000년 8월: 한양대학교 전자통신공학과 (공학석사)

2013년 2월: 한양대학교 전자통신공학과 박사수료

1990년 2월 ~ 현재: 한국전자통신연구원 책임