

## 무선주파수 간섭 측정용 차폐된 Printed Spiral Coil(PSC) 프로브의 대역폭 개선 설계

### Bandwidth-Improved Design of Shielded Printed Spiral Coil Probes for Radio-Frequency Interference Measurement

김 경 민 · 송 익 환

Kyungmin Kim · Eakhwan Song

#### 요 약

본 논문에서는 기존 단품 Printed Spiral Coil(PSC)의 외부 노이즈 결합의 저감을 위한 차폐 구조와 차폐된 PSC의 대역폭 개선을 위한 설계법이 제안되었다. 차폐 구조가 적용될 경우, PSC와 차폐 구조 사이의 기생 커패시턴스에 의한 공진 현상으로 인해 단품 PSC 대비 전달함수 대역폭에 한계를 가지게 되며, Radio-Frequency Interference(RFI) 노이즈 원인으로 가정된 50 Ω 마이크로스트립 라인과의 전달함수 시뮬레이션을 통해 이를 확인하였다. 차폐된 PSC의 등가회로 모델을 통해 대역폭을 개선할 수 있는 방안을 제시하고, 3D field simulation을 이용한 사례 연구를 통해 방안의 타당성을 검증하였다. 제시된 방안을 기반으로 차폐 구조가 적용된 PSC 설계의 최적화를 수행하였으며, 측정 검증을 통해 전달함수가 보존되는 범위 내에서 전달함수의 대역폭이 개선됨을 확인하였다.

#### Abstract

Herein, electromagnetic shielding structures to reduce the external noise coupling to printed spiral coils (PSCs) and a design method for improving the bandwidth of shielded PSCs have been proposed. It has been demonstrated that the bandwidth of shielded PSCs is limited due to the parasitic capacitance between the coils and the shielding structures and is confirmed by the transfer function simulation of the shielded PSCs with a transmission line as the radio-frequency interference noise source. A design method for the bandwidth improvement of the shielded PSCs has been proposed based on the equivalent circuit model analysis and the case studies depending on PSC designs with a three-dimensional field simulation. With the design method, an optimized shielded PSC design has been presented and successfully confirmed by experimental verification in that the optimized design results in a significant bandwidth improvement.

Key words: Magnetic Probe, Radio-Frequency Interference, Bandwidth Improvement, Shielding

#### I. 서 론

최근 모바일 무선기기 내부 디지털 모듈의 클럭 주파

수가 증가함에 따라 의도하지 않은 전자파가 발생되며 이로 인해 시스템 내부의 안테나에 간섭이 되는 radio-frequency interference(RFI) 문제가 대두되고 있다<sup>[1]</sup>. 이런

「이 논문은 2017년도 광운대학교 교내학술연구비 지원에 의해 연구되었음.」

광운대학교 전자통신공학과(Department of Electronics and Communications Engineering, Kwangwoon University)

· Manuscript received February 21, 2018 ; Revised March 10, 2018 ; Accepted April 11, 2018. (ID No. 20180221-024)

· Corresponding Author: Eakhwan Song (e-mail: esong@kw.ac.kr)

RFI 문제에 대응하기 위해서는 RFI 노이즈 원을 특징하는 측정 기술에 대한 연구가 중요하며, 자기장 프로브를 이용한 측정법이 주로 사용되고 있다<sup>[2]</sup>. 기존 RFI 측정용 프로브의 경우는 코일 형태로써 표면이 절연된 전선을 기구적으로 감아 제작되나, 이 경우 기구적 제작의 특성상 정밀성 및 내구성, 재현성 등의 한계를 가지게 되어 고주파 RFI 노이즈 측정에 적합하지 않다. 이에 최근 화학적 에칭 기법에 기반하여 printed circuit board(PCB)에 인쇄된 형태의 프로브인 printed spiral coil(PSC)의 설계, 모델링, 최적화에 대한 연구가 활발히 진행되었다<sup>[3]~[6]</sup>. 참고문헌 [3]에서는 무선 통신 대역이 높아져 감에 따른 기가헤르츠(gigahertz) 영역의 RFI 노이즈 원 측정용 프로브로 활용하기 위한 PSC의 고주파 모델링 기법이 제안되었으며 측정을 통해 6 GHz 대역까지 높은 정합성과 함께 검증되었다. 그러나 전자기 차폐 구조가 없는 PSC 단품의 경우, 고주파 대역에서 방출 및 통신 대역의 신호 간섭 등 외부 노이즈에 취약한 문제점을 가지게 된다. 이를 보완하기 위해서 본 논문에서는 외부 노이즈 결합의 저감을 위한 차폐 구조를 제안하였다. 또한 차폐된 PSC는 코일과 차폐 구조 사이의 커패시턴스에 의한 공진으로 인해 단품 PSC 대비 대역폭에 한계를 가지게 됨을 확인하고, 이를 개선하기 위한 방안을 차폐된 PSC의 등가회로 모델과 함께 사례연구를 통해 제시하였으며, 측정을 통해 검증되었다.

## II. 차폐된 PSC 대역폭 분석

PSC는 도체 선로가 PCB 기판 위 동일 평면상에 선로형 코일이 인쇄된 구조로 설계된다. 그림 1은 차폐 구조가 포함된 PSC의 구조를 보여주고 있다. 상/하면에 차폐 구조가, 기판 내부에 코일이 위치하고 있으며, 2층 coil 1의 초단에 인가된 신호(signal) 전류는 via를 통해 coil 2의 종단과 차폐 구조로 흐른다. 차폐 구조는 플로팅(floating) 상태일 경우, 안테나로 작용되거나 표피효과(skin effect)에 의해 차폐 구조의 내부와 외부를 경유하는 와전류(eddy current)가 생성되기 때문에 차폐 구조와 coil 2의 종단이 함께 접지되었다. 또한 차폐 구조 자체에서도 와전류가 발생되지 않도록 차폐 구조의 중앙이 개방되고, 일부분에 틈(gap)이 존재하도록 설계되었다. PSC의 각 등가회로 성

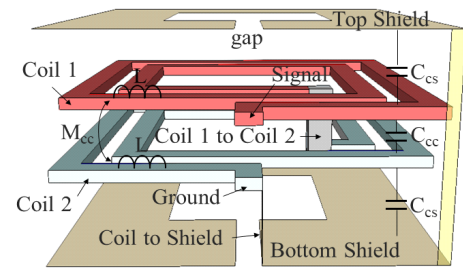


그림 1. 차폐된 printed spiral coil(PSC)의 구조  
Fig. 1. Structure of a shielded printed spiral coil.

분으로 선로 자체의 자기 인덕턴스(self-inductance)  $L$ , 코일 사이에 상호 인덕턴스(mutual inductance)  $M_{cc}$ 와 기생 커패시턴스(capacitance)  $C_{cc}$ , 그리고 코일과 차폐 구조 사이의 기생 커패시턴스  $C_{cs}$ 가 존재하고 있다.

그림 2는 PSC 프로브의 측정 감도를 확인하는 대표적인 셋업을 보여주고 있다. RFI 노이즈 원으로 가정된 마이크로스트립 라인으로부터 발생하는 시변하는 자기장은 패러데이 법칙(Faraday's law)에 따라 PSC 프로브에 유도 전류를 생성시키며, port에서 관측되는 전압은 유도 전류와 port 임피던스의 곱으로 표현된다. 이때 유도 전류는 마이크로스트립 라인과 PSC 프로브 사이의 자기적 결합  $M_f$ 에 의해 결정된다.

차폐 구조가 존재할 경우, 외부 노이즈의 결합을 저감할 수 있으나 차폐 구조와 PSC 사이의 기생 커패시턴스에 의한 공진 현상으로 인해 차폐 구조가 없는 PSC 단품 대비 전달함수 대역폭의 저하가 발생한다. 그림 3은 전달함수 대역폭 분석을 위한 자기적 결합을 하고 있는 마이크로스트립 라인과 2턴 차폐된 PSC의 등가회로 모델을

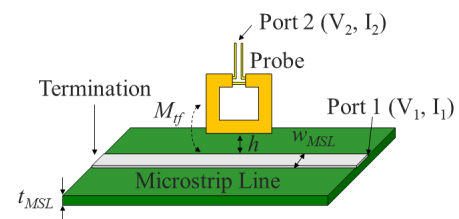


그림 2. PSC 프로브의 RFI 노이즈원 측정 감도를 확인하기 위한 셋업

Fig. 2. Setup for investigating the feasibility of the PSC probe for RFI noise source measurement.

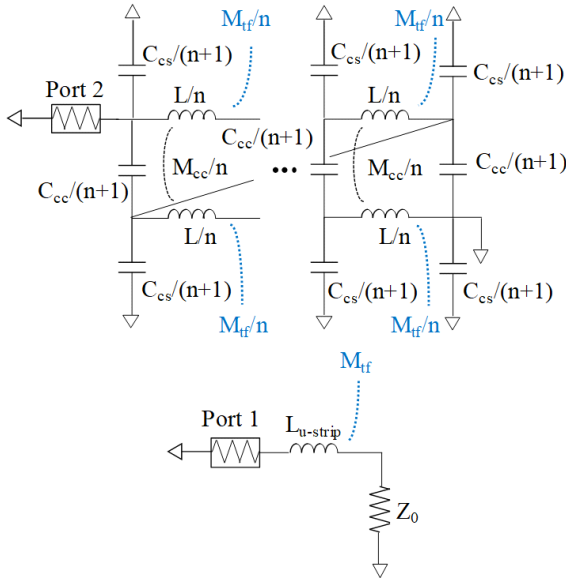


그림 3. 자기적 결합된 마이크로스트립 라인과 차폐된 PSC의 등가회로 모델

Fig. 3. Equivalent circuit model of magnetically coupled microstrip line and shielded PSC.

보여주고 있다<sup>[3]</sup>. Port 2의 회로는  $n$ 개의 segment로 분포되어 있는 차폐된 PSC의 분포 등가회로 모델이다.  $L$ 은 각 층의 선로에 의한 자기 인덕턴스이며, 규칙적으로 감기는 코일의 특성에 따라 한 층의 종단과 다음 층의 초단이 연결되었다. 코일 사이의 상호 인덕턴스  $M_{cc}$ 와 기생 커패시턴스  $C_{cc}$ 는 선로 사이에 존재하는 성분하므로  $L$  사이에 구성되었다. 차폐 구조는 접지되어 있으므로 코일과 차폐 구조 사이의 기생 커패시턴스  $C_{cs}$ 는 자기 인덕턴스와 그라운드 사이에 구성되었다. 모든 인덕턴스는 segment 개수  $n$ 으로, 커패시턴스는 등가회로의 상호성(reciprocity) 특성을 나타내기 위해  $n+1$ 로 등분되었다.

그림 4는 차폐된 PSC의 각 등가회로 성분을 추출하기 위한 3D field simulation 구조를 보여주고 있다. PSC의 차폐 구조를 포함한 전체 크기는  $12\text{ mm} \times 12\text{ mm}$ 이며,  $t=1\text{ mm}$  두께의 FR4 기판이 선택되었다. 각 설계변수인 선로 폭  $w=0.1\text{ mm}$ , 선로의 한 변의 길이  $l=10\text{ mm}$ , 코일 사이의 거리  $d_c=0.6\text{ mm}$ 이며, 턴 수( $N$ )는 기판 내부의 두 층을 합쳐 2턴이다. 또한 전달함수 시뮬레이션을 위하여 그림 2의 셋업과 같이 PSC 프로브를 마이크로스트립 라인 위에

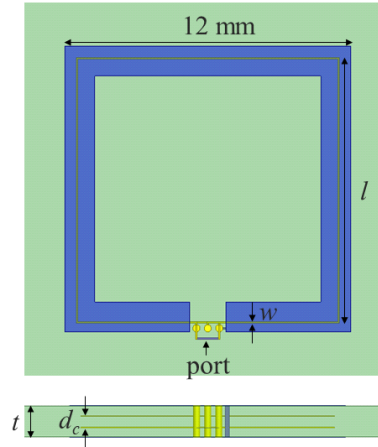


그림 4. 차폐된 PSC의 3D field 시뮬레이션 구조

Fig. 4. 3D field simulation structure of a shielded PSC.

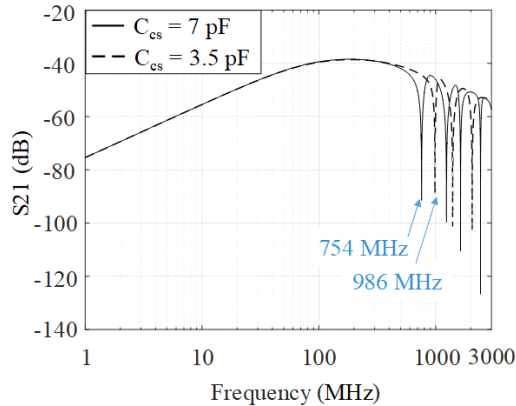
수직으로 위치하도록 하여 PSC의 하단 부분과 라인 사이의 거리( $h$ )를  $3.5\text{ mm}$ 만큼 이격시켜  $1\text{ MHz} \sim 3\text{ GHz}$ 의 주파수 범위로 전달함수 시뮬레이션을 수행하였다. 마이크로스트립 라인은  $50\text{ }\Omega$  설계를 위해  $t_{MSL}=1.6\text{ mm}$  두께의 FR4 기판 위에 신호선 폭  $w_{MSL}=3.4\text{ mm}$ 로 설계되었으며, 임피던스 매칭을 위해 신호가 인가되는 포트의 반대편을  $50\text{ }\Omega$  종단(termination) 처리하였다. 3D field simulation을 이용한 해석으로 추출된 등가회로 성분들은 표 1에 정리되었다.

그림 5는 등가회로를 기반으로 하여 등가회로 성분과 공진주파수와 상관관계를 보여주고 있다. 설계 변수에 기반한 모델 값 대비 그림 5(a)에서는  $C_{cs}$ 가 0.5배로, 그림 5(b)에서는  $M_{cc}$ 가 2배로 변화하고 있으며,  $500\text{ MHz}$  이전의

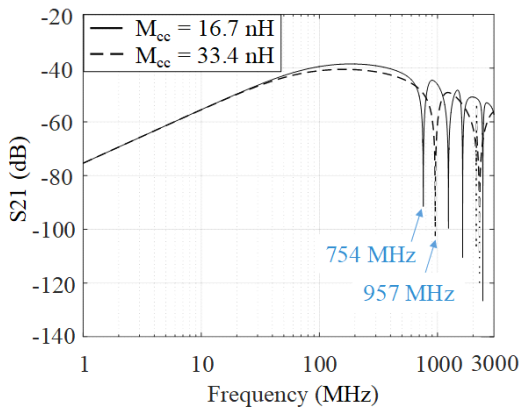
표 1. 3D field simulation을 이용하여 추출된 차폐된 PSC의 등가회로 성분 값

Table 1. Equivalent circuit component value of a shielded PSC extracted using 3D field simulation.

Equivalent circuit component	Value
$L$ (nH)	42
$M_{cc}$ (nH)	16.7
$C_{cc}$ (pF)	1.8
$C_{cs}$ (pF)	3.5
$M_{ff}$ (nH)	0.61



(a) 커패시턴스 변화  
(a) Capacitance variation



(b) 상호 인덕턴스 변화  
(b) Mutual inductance variation

그림 5. 등가회로 성분과 공진주파수의 관계 분석  
Fig. 5. Analysis of relation between equivalent circuit components and resonance frequency.

유도성 영역(inductive region)의 전달함수가 보존되는 범위에서 첫 공진 주파수가 각각 30.7 %, 27 % 증가하였다.

### III. 차폐된 PSC의 최적 설계

앞 장에서 코일 간의 상호 인덕턴스가 증가하고 코일과 차폐 구조 사이의 커패시턴스가 감소할 경우, PSC의 측정 감도를 유지하는 범위 내에서 대역폭이 개선됨을 확인하였다. 본 장에서는 실제 코일 간 상호 인덕턴스의 증가와 코일과 차폐 구조 사이의 커패시턴스의 감소로 이어지는 PSC 구조에 대한 사례 연구를 통해 최적화를

진행하였다. 표 2는 차폐 구조 및 stack-up에 의해 PSC 간의 상호 인덕턴스  $M_{cc}$ 가 증가하거나, PSC와 차폐 구조 사이의 커패시턴스  $C_{cs}$ 가 감소하는 사례 연구를 보여주고 있다.  $C_{cs}$ 의 조정을 위한 차폐 구조에 mesh를 적용하는 방법과  $M_{cc}$  및  $C_{cs}$ 의 조정을 위한 코일과 코일, 또는 코일과 차폐 구조 사이의 거리를 변화시키는 stack-up 구조를 적용하는 방법을 제안하였다. 차폐 구조에 mesh가 적용될 경우 차폐 구조의 면적이 줄어들게 되어  $C_{cs}$ 가 감소한다. Stack-up 조정의 경우, PSC 간의 거리에 따라 결정되는 중심 두께(core thickness)가 고정되고, 기판 전체 두께(total thickness)가 증가할 시  $M_{cc}$ 는 고정되고  $C_{cs}$ 가 감소하며, 전체 두께와 중심 두께가 연동하여 줄어들 시  $C_{cs}$ 가 고정되고  $M_{cc}$ 가 증가한다.

그림 6은 사례 연구를 위한 reference PSC의 시뮬레이션

표 2. 차폐된 PSC의 최적 설계를 위한 사례연구  
Table 2. Case study for optimal design of a shielded PSC.

Shield structure	Mesh	$M_{cc}$	$C_{cs}$
Stack-up	Core thickness —	—	↓
	Total thickness ↑	—	↓
	Core thickness ↓	↑	—
	Total thickness ↓	↑	—

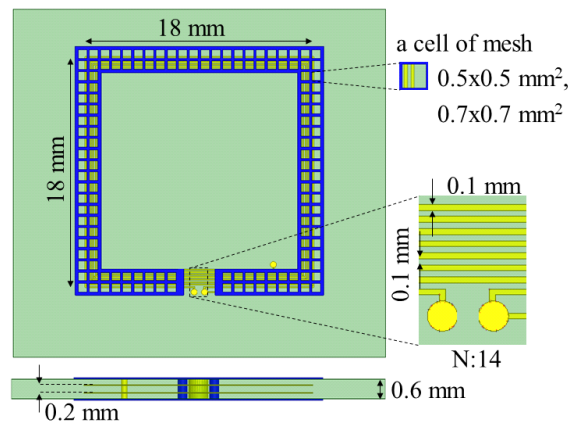


그림 6. 사례 연구를 위한 reference PSC의 3D field 시뮬레이션 구조

Fig. 6. 3D field simulation structure of a reference shielded PSC for case study.

구조를 보여주고 있다. PSC의 설계 변수는  $w=0.1$  mm,  $s=0.1$  mm,  $l=18$  mm, 전체 턴 수의 합  $N=14$ 이며, 기판 전체 두께는 1 mm, 중심 두께는 0.6 mm이고, 차폐 구조에 일정한 간격으로 mesh가 존재하고 있다. 시뮬레이션은 1~200 MHz의 주파수 범위로 하여 수행되었다.

그림 7은 mesh의 한 cell의 크기의 변화에 따른 전달함수 시뮬레이션 결과를 보여주고 있다. 차폐 구조에 적용되어있는 mesh 면적이 증가함에 따라 코일과 차폐 구조 사이의 커패시턴스가 감소하여 전달함수의 공진 주파수가 증가한 것을 확인할 수 있다. Mesh 구조가 적용되지 않은 경우를 기준으로 mesh의 한 cell의 면적이  $0.5 \times 0.5$  mm<sup>2</sup>,  $0.7 \times 0.7$  mm<sup>2</sup>로 증가함에 따라 약 70 MHz 이전의 유도성 영역에서 전달함수가 보존되면서 첫 공진주파수가 각각 2.7 %, 6.9 % 증가하였다.

그림 8은 stack-up에 따른 전달함수 시뮬레이션 결과를 보여주고 있다. 전체 두께가 1 mm이고, 중심 두께가 0.6 mm인 구조를 기준으로 PSC와 차폐 구조 사이의 커패시턴스를 감소시키기 위한 중심 두께가 고정되고, 전체 두께가 2 mm로 증가되는 구조와 코일 사이의 상호 인덕턴스를 증가시키기 위한 중심 두께와 전체 두께가 연동하여 각각 0.6 mm, 0.2 mm로 감소하는 구조에 대한 전달함수 시뮬레이션과 비교하였다. 두 경우 모두 60 MHz 이전 유도성 영역에서 전달함수 차이가 1 dB 이내로 높은 정합성을 보이고 있으며, 첫 공진 주파수가 각각 62.2 %, 85 %가 증가하였다.

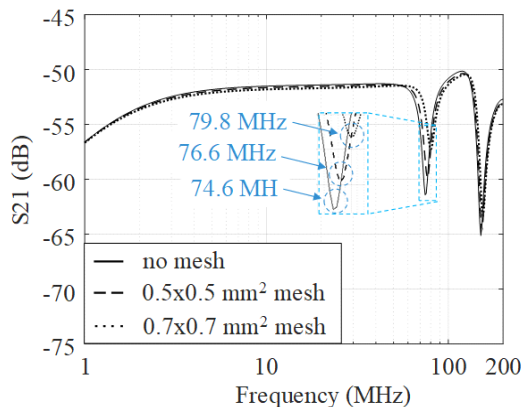


그림 7. Mesh 한 cell 크기에 대한 사례연구  
Fig. 7. Case study on a cell area of mesh.

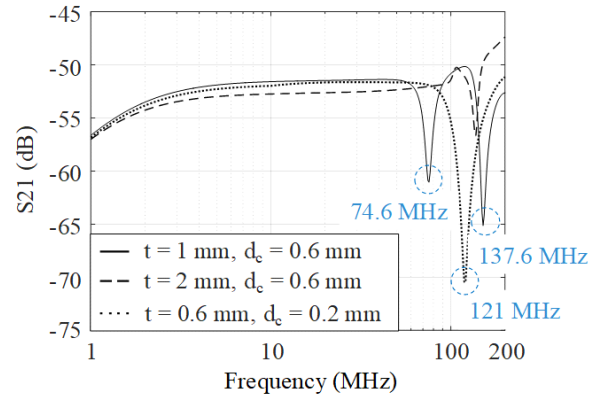


그림 8. 중심 두께 및 전체 두께에 대한 사례연구  
Fig. 8. Case study on the core thickness and the total thickness.

#### IV. 측정 검증

본 장에서는 측정을 통해 차폐 구조의 영향을 확인하고 설계법의 타당성을 검증한다. 그림 9는 vector network analyzer(VNA)를 이용한 측정 셋업을 보여주고 있다. 제안된 PSC는 전달함수를 보존하기 위해 선로의 폭  $w$ , 선로 사이의 거리  $s$ , 한 변의 길이  $l$ , 그리고 턴 수  $N$ 은 reference PSC와 동일하게 각각 0.1 mm, 0.1 mm, 18 mm, 14로 reference PSC와 동일하게 제작되었다. 또한 대역폭을 개선하기 위해 사례 연구에서 보인 설계법에 따라 mesh의 한 cell의 크기는  $0.7 \times 0.7$  mm<sup>2</sup>, 전체 두께는 0.6 mm, 중심 두

Vector Network Analyzer (VNA)

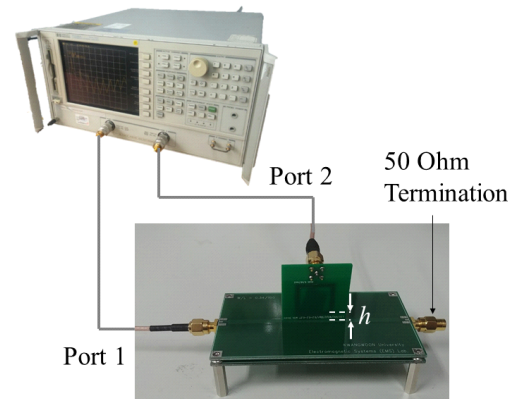


그림 9. 제안된 차폐된 PSC의 전달함수 측정 셋업  
Fig. 9. Measurement setup of a proposed shielded PSC.



께는 0.2 mm로 설계되었다.

그림 10은 차폐 구조가 없는 단품 PSC와 mesh의 유무에 따라 각각 meshed 및 solid 차폐 구조가 적용된 PSC의 전달함수 측정 결과를 보여주고 있다. 단품 PSC의 경우 약 35 MHz 이상 대역에서 외부 노이즈의 결합이 발생하였으나, meshed 및 solid 차폐 구조가 적용될 경우 노이즈 결합이 저감됨을 확인하였다. 또한 차폐 구조가 존재할 경우, 차폐 구조와 PSC 사이의 기생 커패시턴스로 인해 약 90 MHz, 190 MHz 대역에서 공진이 발생한 것을 확인할 수 있다. Meshed 차폐 구조의 경우 solid 차폐 구조 대비 차폐 구조와 PSC 사이 기생 커패시턴스가 감소하여 프로브의 대역폭이 약 4 % 개선되었으며, 프로브 대역폭 내 차폐성능도 보존됨을 확인하였다. 그러나 약 100 MHz 이상의 프로브 대역폭 이후 주파수에서는 고주파 차폐효율이 최대 3.5 dB 열화됨을 확인하였다.

그림 11은 stack-up에 따른 전달함수 측정 결과를 보여주고 있다. 전체 두께가 1 mm에서 0.6 mm로, 중심 두께가 0.6 mm에서 0.2 mm로 연동하여 줄어들 때 코일 간 거리 감소에 의한 상호 인덕턴스의 증가에 따라 첫 공진 주파수가 14 % 증가함으로 50 MHz 이전의 유도성 영역의 전달함수가 보존되는 범위 내에서 대역폭이 확보됨을 확인하였다.

## V. 결 론

본 논문에서는 RFI 측정용 프로브인 printed spiral coil

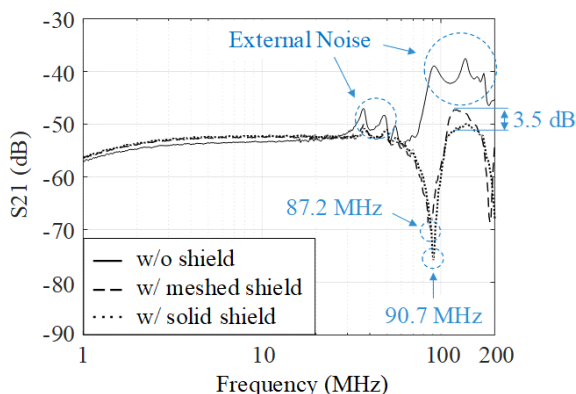


그림 10. 차폐 구조의 유무에 따른 전달함수 측정 결과  
Fig. 10. Measurement results of the transfer function of a PSC by shielding.

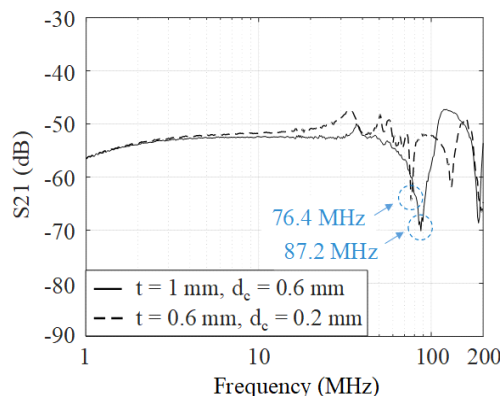


그림 11. Stack-up에 따른 차폐된 PSC의 전달함수 측정 결과  
Fig. 11. Measurement results of the transfer function of a shielded PSC by stack-up.

에 차폐 구조가 적용될 경우 차폐 구조와의 기생 커패시턴스에 의한 공진 형상으로 인해 전달함수 대역폭이 저하되는 것을 확인하고, 저하되는 대역폭을 개선하기 위한 설계법을 제안하였다. RFI 노이즈 원으로 가정된 50  $\Omega$  마이크로스트립 라인과의 전달함수 시뮬레이션과 등가회로 모델을 통해 전달함수 대역폭에 영향을 주는 요인을 분석하고, 대역폭 한계를 극복할 수 있는 설계법을 제시하였으며, 3D field simulation과 측정을 통해 설계법의 타당성이 검증되었다. 제안된 설계법을 이용할 시 전달함수를 보존하는 범위 내에서 외부 노이즈 결합의 저감과 대역폭 확보가 가능하므로 RFI 측정용 프로브 설계에 효율적으로 활용될 것으로 사료 된다.

## References

- [1] S. Grivet-Talocia, M. Bandinu, F. Canavero, I. Kelandar, and P. Kotiranta, "Fast assessment of antenna-PCB coupling in mobile devices: A macro-modeling approach," in *2009 20th International Zurich Symposium on Electromagnetic Compatibility*, Zurich, 2009, pp. 193-196.
- [2] H. H. Chuang, G. H. Li, E. Song, H. H. Park, H. T. Jang, and H. B. Park, et al., "A magnetic-field resonant probe with enhanced sensitivity for RF interference applications," *IEEE Transactions on Electromagnetic Compatibility*,

- bility, vol. 55, no. 6, pp. 991-998, Dec. 2013.
- [3] 김경민, 송익환, "무선주파수 간섭 측정을 위한 printed spiral coil(PSC) 프로브의 고주파 모델링," 한국전자파 학회논문지, 29(1), pp. 10-19, 2018년 1월.
- [4] Y. Cheng, Y. Shu, "A new analytical calculation of the mutual inductance of the coaxial spiral rectangular coils," *IEEE Transactions on Magnetics*, vol. 50, no. 4, pp. 1-6, Apr. 2014.
- [5] K. Kim, H. Oh, and E. Song, "Modeling of printed spiral

- coils based on conformal mapping method with fringing capacitance effects," in *2017 Asia-Pacific International Symposium on Electromagnetic Compatibility(APEMC)*, Jun. 2017, p. 362.
- [6] S. S. Mohan, M. del Mar Hershenson, S. P. Boyd, and T. H. Lee, "Simple accurate expressions for planar spiral inductances," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 10, pp. 1419-1424, Oct. 1999.

## 김 경 민



2016년 2월: 광운대학교 전자통신공학과 (공학사)  
 2018년 2월: 광운대학교 전자통신공학과 (공학석사)  
 [주 관심분야] System-Level EMI/EMC, Near-Field Measurement Techniques

## 송 익 환



2004년 2월: 한국과학기술원 전기 및 전자 공학과 (공학사)  
 2006년 2월: 한국과학기술원 전기 및 전자 공학과 (공학석사)  
 2010년 2월: 한국과학기술원 전기 및 전자 공학과 (공학박사)  
 2011년~2013년: 삼성전자 글로벌기술센터

책임연구원  
 2014년~현재: 광운대학교 전자통신공학과 부교수  
 [주 관심분야] System-Level EMI/EMC, High-Speed Signal Integrity/Power Integrity, Electromagnetic Measurement Technologies