

0.25 μ m GaAs pHEMT 공정을 이용한 X-대역 코아-칩의 설계

Design of X-band Core Chip Using 0.25- μ m GaAs pHEMT Process

김동석 · 이창대 · 이동현 · 염경환

Dong-Seok Kim · Chang-Dae Lee · Dong-Hyun Lee · Kyung-Whan Yeom

요 약

본 논문에서는 Win 사의 상용 0.25 μ m GaAs pHEMT 공정 기술을 이용하여 X-대역(10.5~13 GHz)에서 동작하는 수신 부 코아-칩의 설계 및 제작을 보였다. X-대역 코아-칩은 저잡음증폭기, 4-비트 위상천이기, 직렬-병렬 컨버터(SPC: Serial to parallel data converter)로 구성되며, 크기는 1.75×1.75 mm²로 지금까지 보고된 코아-칩 중 가장 소형의 크기를 갖는다. 사용 주파수 대역에서 이득 및 잡음지수는 각각 10 dB 이상, 2 dB 미만, 입출력 반사손실은 10 dB 미만이다. RMS 위상 오차는 12.5 GHz에서 5° 미만, P1dB는 2 dBm으로 타 코아-칩과 대등한 성능을 갖는다. 제작된 코아칩은 조립의 편의를 제공하기 위해 3×3 mm² 크기를 갖는 QFN 패키지로 패키징되었으며, 패키징된 코아-칩의 성능은 칩-자체의 성능과 거의 같음을 확인하였다.

Abstract

We herein present the design and fabrication of a Rx core chip operating in the X-band (10.5~13 GHz) using Win's commercial 0.25- μ m GaAs pHEMT process technology. The X-band core chip comprises a low-noise amplifier, a four-bit phase shifter, and a serial-to-parallel data converter. The size is 1.75 mm×1.75 mm, which is the state-of-the-art size. The gain and noise figure are more than 10 dB but less than 2 dB, and both the input and output return losses are less than 10 dB. The RMS phase error is less than 5°, and the P1dB is 2 dBm at 12.5 GHz, the performance of which is equivalent to other GaAs core chips. The fabricated core chip was packaged in a QFN package type with a size of 3 mm×3 mm for the convenience of assembly. We confirmed that the performance of the packaged core chip was almost the same as that of the chip itself.

Key words: GaAs pHEMT, Core-Chip, Phase-Shifter, Low Noise Amplifier, Serial-to-Parallel Data Converter

I. 서 론

위상배열 안테나는 기계적인 빔-조향없이 신속하게 전자적으로 빔-조향을 가능하게 하여, 과거부터 위성 통신 및 방위 시스템, 레이다 시스템에 널리 응용되어왔다. 또한 반도체 기술^{[1]~[5]} 및 신호처리 기술의 발달로 위상배

열 안테나의 진일보한 형태인 능동형 전자주사식 위상배열(AESA: Active Electronically Scanned Array)도 가능하게 되었다.

위상배열 안테나를 구성하기 위해서는 그림 1과 같은 가변감쇠기와 위상천이기로 구성된 코아-칩(core chip)이 각 안테나마다 필요하게 된다. 또한 코아-칩을 효율적으로

「이 연구는 2017학년도 (주)MTG의 “Ku-band STD-Chip 및 RF 전단부 설계” 연구과제 수행으로 연구되었음.」

충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· Manuscript received March 13, 2018 ; Revised April 17, 2018 ; Accepted April 18, 2018. (ID No. 20180313-033)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

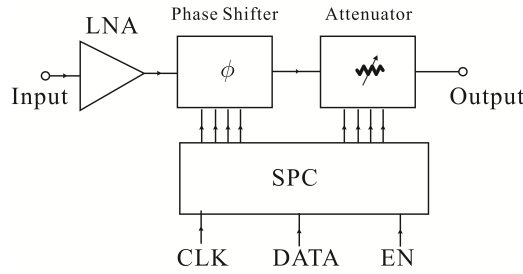


그림 1. 일반적 수신부 코아-칩의 구성

Fig. 1. General Rx core-chip structure.

디지털-신호로 제어하는데 버스선의 혼잡을 피하기 위해 그림 1에 보인 것과 같은 직렬-병렬 변환기가 필요하게 된다.

그림 1의 가변감쇠기는 정교한 빔-형성을 위해서 필요하지만, 필수적인 것은 아니다. 소형화된 코아-칩을 위해서 위상천이기는만 이용하여도 근사적 빔-형성은 가능하다. 반도체 공정을 통하여 구현된 코아-칩의 크기는 보통 $3 \times 3 \text{ mm}^2$ 에서 $5 \times 5 \text{ mm}^2$ 에 이른다. 이와 같은 크기의 코아-칩은 응용에 따라서는 큰 문제가 없을 수 있으나, 보통 안테나 소자들은 PCB를 사용하여 구현되기 때문에 칩-형태는 종종 조립에 문제를 제기한다^{[6],[7]}. 또한 이와 같은 크기를 갖는 칩을 패키징할 경우, 크기는 더욱 커지고 배열 안테나 구현에 심각하게 제한을 주게 된다.

본 논문에서는 이러한 점을 고려하여 가능한 코아-칩의 크기를 줄이는 설계에 역점을 두었다. 이와 같이 크기를 줄일 경우 부품 간 기생-결합이 증가하게 되어, 이를 EM-시뮬레이션을 통하여 고려하였다. 이와 같이 설계된 X-대역 코아-칩은 저잡음증폭기, 4-비트 위상천이, 직렬-병렬 컨버터(SPC: Serial to Parallel Data Converter)로 구성되며, 크기는 $1.75 \times 1.75 \text{ mm}^2$ 로 지금까지 보고된 코아-칩 중 가장 소형의 크기를 갖는다. 또한 소형화하였지만, 전기적 성능은 기존에 상용화된 코아 칩과 동등 이상의 성능을 갖는 것을 확인하였다. 제작된 칩은 $3 \times 3 \text{ mm}^2$ 크기를 갖는 QFN 패키지로 패키징되었으며, 패키징된 코아-칩의 성능은 칩-자체의 성능과 거의 같음을 확인하였다.

II. 코아-칩 설계

그림 2에는 본 논문에서 설계하려고 하는 수신부용 코아-칩 구성을 보였다. 본 논문의 코아-칩을 적용하려는 시

스템에서 코아-칩의 역할은 빔을 조향하는 것이기 때문에, 정교한 빔-형성을 위해 필요한 가변감쇠기는 반드시 필요하지는 않다. 따라서 그림 2와 같이 코아-칩의 소형화를 위해 그림 1의 가변감쇠기를 제거하였다. 그리고 위상천이기는 4-bit로 구성되었다. 또한 코아-칩은 수신부 안테나 소자에 직접 연결되기 때문에 그림과 같이 저잡음 증폭기를 삽입하였다. 표 1에는 설계하고자 하는 수신부 코아-칩의 주요 규격을 보였다. 이것은 상용 코아-칩 규격을 참조하여 결정된 것이다^[7].

표 1의 규격을 만족하는 코아-칩 설계를 위해 Win사의 0.25 μm GaAs pHEMT 공정을 선택하였다. 이 공정은 Enhancement/Depletion-모드(e/d-모드) pHEMT를 제공하며 또한 그림 2의 SPC 설계에 적합한 소형 Enhancement/Depletion 모드 pHEMT를 제공한다^[8].

2-1 저잡음증폭기

그림 3은 저잡음증폭기 회로도를 보였다. 그림 3의 pHEMT는 e-모드 pHEMT로서 Q_1 , Q_2 게이트는 모두 $2 \times 75 \mu\text{m}$ 로 선정되었다. 잡음 성능에 있어 e-모드 pHEMT가 우수하기 때문에 e-모드 pHEMT를 저잡음증폭기 설계에 이용하였다. Win 사의 e-모드 pHEMT는 12.5 GHz에서 약 0.8

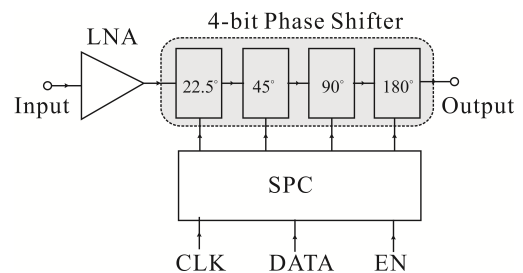


그림 2. 수신부 코아-칩의 구성

Fig. 2. Rx core-chip structure.

표 1. 수신부 코아-칩 규격

Table 1. Specification of the Rx core-chip.

Frequency range	10.5~13 GHz
Gain	>10 dB
Noise figure	<2 dB
4 bit phase shift	22.5°, 45°, 90°, 180°

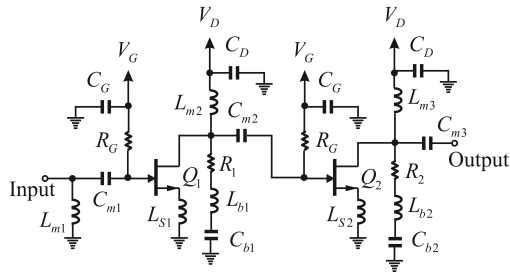


그림 3. 저잡음증폭기 회로도

Fig. 3. Low noise amplifier circuit.

dB의 잡음지수를 가지고 있어 표 1의 규격을 만족시키는 데 충분하다고 생각된다.

그림 3에서 인덕터 L_{s1} , L_{s2} 는 안정화를 위한 인덕터이며, pHEMT 드레인단의 R_1 - L_{b1} - C_{b1} 과 R_2 - L_{b2} - C_{b2} 역시 안정화를 위한 것이다. 정합에 사용된 인덕터 및 커패시터는 첨자 m을 사용하여 나타내었다. 설계방법은 참고 문헌[9]를 참고하여 수행하였다.

설계된 저잡음증폭기의 인덕터 및 커패시터는 spiral 인덕터와 MIM 커패시터를 이용하여 대체되었고, 대체 시 연결에 사용된 전송선 효과까지 고려하여 대체되었다. 설계된 저잡음증폭기는 주파수 10.5~13 GHz에서 약 16 dB의 이득을 가지며, 이 주파수 대역에서 잡음지수는 2 dB 미만임을 확인하였다.

2-2 위상천이기

그림 4에는 22.5° 및 45°-위상천이기 회로를 보였다^[10]. 그림 4에서 스위치용 d-모드 pHEMT이다. 스위치용 d-

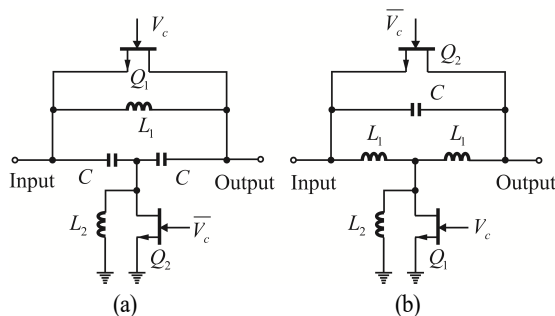


그림 4. (a) 22.5°, (b) 45° 위상천이기

Fig. 4. (a) 22.5°, (b) 45° phase shifter.

드 pHEMT의 게이트-길이는 $0.5 \mu\text{m}$ 이다. 게이트에 -2 V 를 인가하면, 스위치를 off 되고, 게이트에 0 V 를 인가하면 스위치는 on 된다. 그림 4에서 \bar{V}_c 는 V_c 의 보수(complement) 전압으로서 $V_c = 0 \text{ V}$ 이면 $\bar{V}_c = -2 \text{ V}$, $V_c = -2 \text{ V}$ 이면 $\bar{V}_c = 0 \text{ V}$ 로 정의된다.

그림 4의 회로에서, 22.5°-위상천이기의 경우 정상상태 ($V_c = 0 \text{ V}$)일 때, 고역 여파기 형태가 되고, 반면 역-상태 ($V_c = -2 \text{ V}$)에서는 저역여파기로 동작함을 알 수 있다. 이와 같이 정의하면 45°-위상천이기의 경우도 22.5°-위상천이기의 경우와 동일하게 동작하는 것을 알 수 있다.

그림 5는 90° 및 180°-위상천이기 회로를 보였다.

그림 5에서 90°-위상천이기 회로는 45°-위상천이기 회로와 유사하다. 차이는 인덕터 L_2 를 분기하여 병렬로 구성한 점이다. 이와 같이 구성하는 이유는 spiral-인덕터의 크기가 적절하지 않아 그림 5와 같이 병렬로 분기하여 구성하였다. 180°-위상천이기는 전달형으로 구성되었으며, 위 경로가 연결될 경우, 저역여파기 형태로 약 -90° 의 위상천이를 주고, 반면 아래 경로가 연결될 경우 $+90^\circ$ 의 위상천이를 주게 되어 180°의 위상천이를 주도록 구성된 위상천이기이다. 이상과 같이 설계된 위상천이기의 인덕터 및 커패시터는 저잡음증폭기와 동일하게 spiral 인덕터와 MIM 커패시터로 대체되었다.

표 2에는 각 위상천이기에 사용된 스위치용 d-모드 pHEMT의 게이트 폭에 대하여 정리하였다. 또한 spiral-인덕터와 MIM-커패시터로 구현된 각 위상천이기의 손실 또한 정리하여 보였다. 표 2에서 보였듯이 위상천이기의

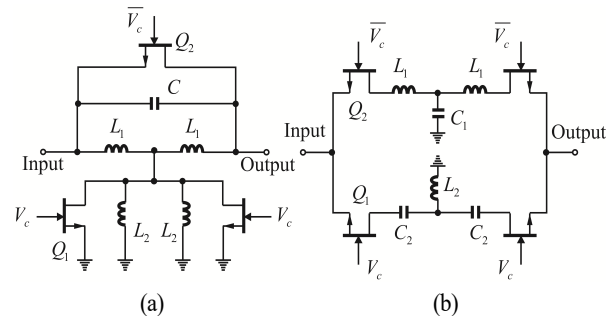


그림 5. (a) 90°, (b) 180° 위상천이기

Fig. 5. (a) 90°, (b) 180° phase shifter.

표 2. 위상천이기에 사용된 d-모드 pHEMT 게이트-폭
Table 2. Gate width of the d-mode pHEMT used in phase shifters.

Phase shifter	$Q_1(\mu\text{m})$	$Q_2(\mu\text{m})$	Insertion loss (dB)
22.5°	5×100	11×100	~0.65
45°	11×100	17×100	~0.9
90°	5×90	9×96	~1.4
180°	5×80	5×80	~1.4
Total loss			~4.3

손실은 심각하며, 약 4.4 dB의 총 손실을 갖는 것을 알 수 있다. 따라서 저잡음증폭기의 이득이 16 dB이기 때문에 코아-칩은 약 10 dB의 이득을 가지게 된다. 그러나 잡음 지수는 저잡음 증폭기의 이득으로 인하여 여전히 2 dB 미만이 된다.

2-3 직렬-병렬변환기

그림 6에는 직렬-병렬 변환기의 블록도를 보였다^[11].

그림 6에서 버스선의 혼잡을 피하기 위해 외부로부터 3선으로 구성된 직렬-버스신호 EN, CLK, DATA가 직렬-병렬 변환기(SPC: Serial-to-Parallel Converter)에 입력되며, 이것은 e-모드 pHEMT 로직에 적합한 약 0~1 V로 동작하는 DCFL (Direct Coupled FET Logic)로 변환된다. 논리 회로 구성에 사용되는 e-모드 pHEMT는 0.3 μm 의 게이트-길이를 가지며, 게이트 구조는 $1 \times 5 \mu\text{m}$ 이다. 이러한 e-모드 pHEMT를 사용하여 논리회로를 구성하며, 논리회로는 시프트-레지스터와 병렬 출력을 주는 data-latch의 두 개의 블록으로 구성되어 있다. 또한 data-latch로 출력된 DCFL 전압을 -2 V 및 0 V의 위상천이기 구동전압으로

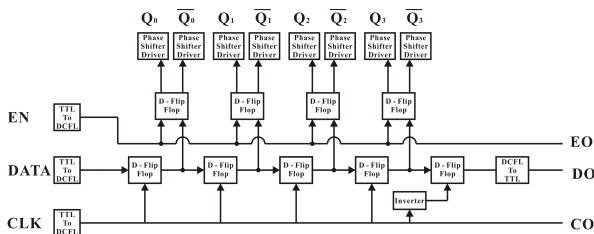


그림 6. 직-병렬변환기 블록도
Fig. 6. SPC block diagram.

변환하기 위해서, 위상천이기 구동회로를 포함하고 있다. SPC는 5 V 및 -3 V의 두 개 전원을 필요로 한다. 설계된 SPC의 성능은 표 3에 요약하였다.

2-4 EM 시뮬레이션

그림 7에 EM 시뮬레이션을 위한 layout을 보였다. 설계된 코아-칩의 크기는 $1.75 \times 1.75 \text{ mm}^2$ 이다. 앞서 회로로 설계된 결과를 이용 layout을 하였다. EM 시뮬레이션을 위해서 EM 시뮬레이션이 가능하지 않은 SPC 부분을 제거하였다. 또한 저잡음증폭기와 위상천이기에 사용되는 e/d-모드 pHEMT를 모두 제거하고 각 e/d-모드 pHEMT가 연결된 곳에 port를 삽입하였다. 따라서 그림 7의 layout에

표 3. 설계된 SPC 특성

Table 3. The designed SPC performances.

VDD	5 V (7.2 mA)
VSS	−3 (2.1 mA)
Operation data rate	Typ. 125 kHz
Maximum data rate	Max 62.5 MHz
Size	1,200×480 μm^2

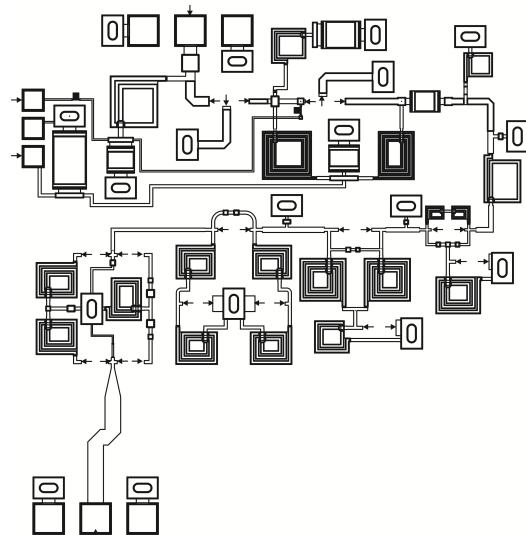


그림 7. EM-시뮬레이션을 위한 layout. 화살표는 포트를 나타낸다.

Fig. 7. The layout for EM simulation. The arrows represent the EM simulation ports.

대하여 EM 시뮬레이션을 수행하면 각 e/d-모드 pHEMT에 연결된 외부 수동회로망의 다중-포트 S-파라미터를 구하게 된다.

다음 EM-시뮬레이션으로 얻어진 다중포트 S-파라미터에 e/d-모드 pHEMT 회로 모델을 연결하고, 시뮬레이션하면 제작 결과에 가까운 결과를 얻을 수 있게 된다. 얻어진 EM-시뮬레이션 결과는 시험결과와 매우 근접하여 시험 결과에 설명하도록 한다.

III. 제작 및 시험 결과

3-1 제작결과

그림 8에 제작된 수신부 코아-칩의 사진을 보였다.

우선 제작된 수신부 코아-칩에 대하여 온-웨이퍼 측정을 수행하였다. 측정 결과는 EM시뮬레이션 결과와 거의 동일하였다. 온-웨이퍼 측정을 통해 확인된 칩은 그림 9와 같이 $3 \times 3 \text{ mm}^2$ 크기를 갖는 QFN 패키지를 이용하여 패키지가하였다.

3-2 시험결과

그림 10은 QFN 패키지된 수신부 코아-칩을 측정하기 위한 TRL Cal-kit 및 조립된 사진을 보였다.

TRL 및 시험용 기판에 사용된 기판은 Rogers사의 RO3006

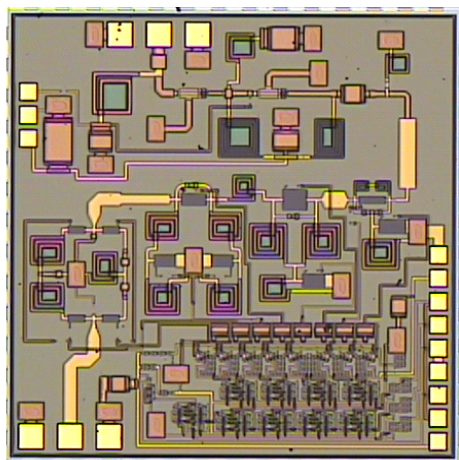


그림 8. 제작된 수신부 코아-칩($1.75 \times 1.75 \text{ mm}^2$)
Fig. 8. The fabricated Rx core-chip($1.75 \times 1.75 \text{ mm}^2$).

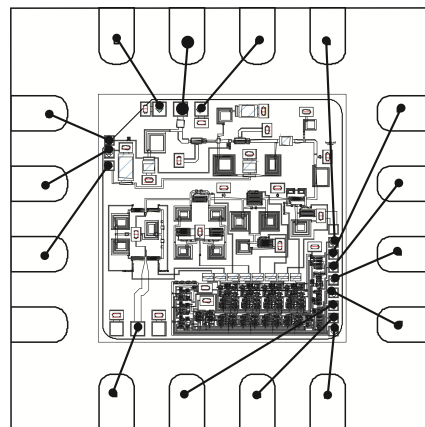
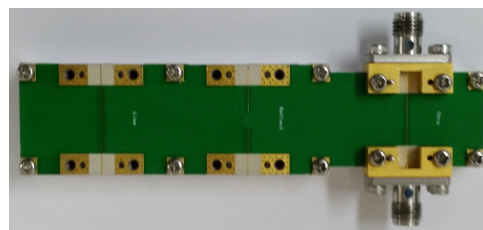
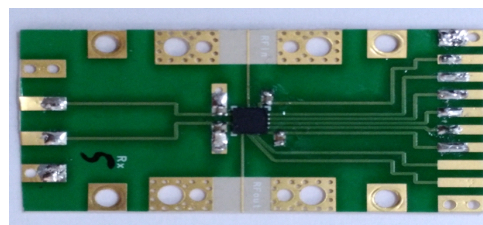


그림 9. 수신부 코아-칩 본당-다이어그램
Fig. 9. The wire-bonding diagram Rx core-chip.



(a)



(b)

그림 10. (a) TRL cal-kit, (b) 조립 사진
Fig. 10. Photographs of (a) the TRL cal-kit and (b) the assembly.

12.5 GHz에서 RMS 위상 오차는 5° 미만으로 계산되었다.

그림 12에는 위상천이기 상태 변화에 따른 이득의 변화를 보여준다. 그림 12에서 코아-칩의 이득은 10 dB 이상임을 알 수 있다. 이득은 위상천이기 상태에 따라 약 2 dB의 차이를 보이는 것을 알 수 있다.

그림 13은 잡음지수를 보여준다. 잡음지수는 코아-칩을 포함하는 측정지그의 전체 잡음지수를 측정 후, 측정된 잡음지수에서 측정지그의 영향을 제거함으로써 계산되었다. 주파수 10.5~13 GHz 대역에서 2 dB 미만인 것을 알 수 있다.

그림 14에는 S_{11} 및 S_{22} 를 보였다. S_{11} 의 경우, 저잡음증

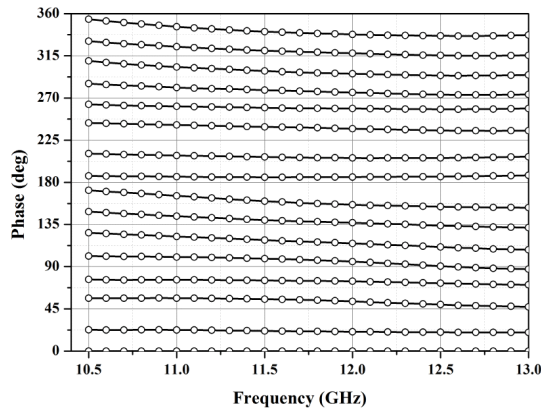


그림 11. 측정된 위상변화
Fig. 11. The measured phase changes.

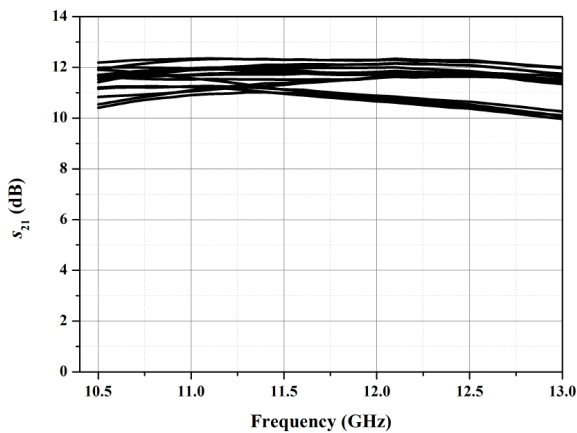


그림 12. 측정된 이득변화
Fig. 12. The measured gain changes.

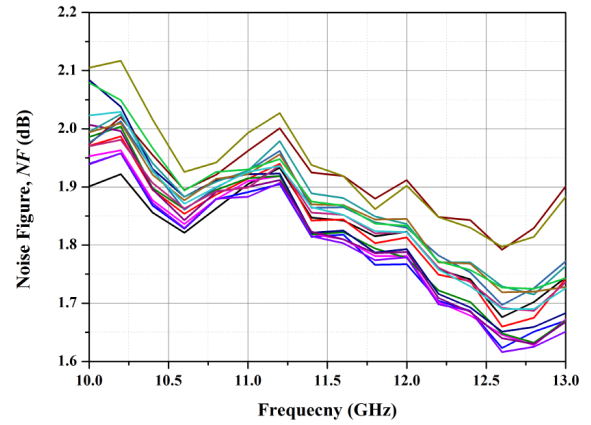


그림 13. 측정된 잡음지수
Fig. 13. The measured noise figures.

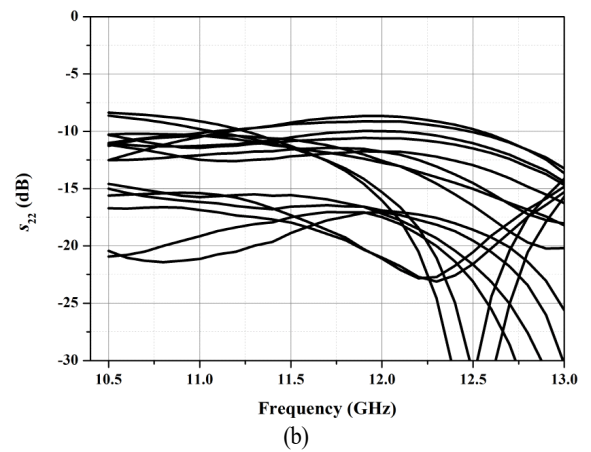
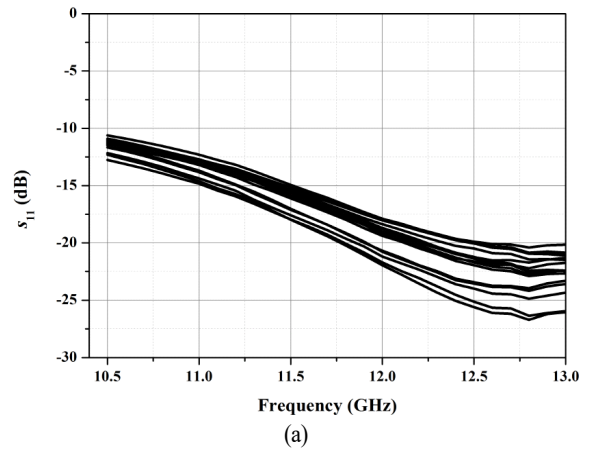


그림 14. (a) S_{11} 및 (b) S_{22}
Fig. 14. (a) S_{11} and (b) S_{22} .

폭기의 입력을 들여다보기 때문에 위상천이기 상태변화에 대해 변화가 적은 반면, S_{22} 의 경우 180° -위상천이기의 출력을 들여다보기 때문에 위상천이기 상태에 따라 많은 변화를 보인다. 저잡음증폭기에 공급되는 5 V 드레인-전압에는 $V_G = 0.55$ V일 때 약 27 mA의 소모를 보였다. 그림 11, 12, 13의 결과는 이 바이어스 조건에서 측정된 것이다. 위상천이기를 구동하는 SPC의 경우 시뮬레이션에서 예상한대로 5 V 전원은 7.3 mA, -3 V 전원은 2.3 mA의 전류소모를 보였다.

비교를 위해 표 4에 Ommic사의 코아칩과 비교정리하였다. 표 4에서 알 수 있듯이, 크기는 약 1/2 정도로 줄었으며, 기타 성능은 유사한 것을 알 수 있다. 따라서 본 논문에서 보인 QFN 패키징된 코아-칩은 PCB로 구현된 배열 안테나에 용이하게 조립할 수 있으며, 또한 지금까지 알려진 크기 중 가장 소형의 크기를 갖기 때문에 배열 안테나 구성에 좀 더 편리함을 제공하게 된다.

IV. 결 론

본 논문에서는 Win 사의 상용 $0.25 \mu\text{m}$ GaAs pHEMT 공정 기술을 이용하여 X-대역(10.5~13 GHz)에서 동작하는 코아-칩의 설계 및 제작을 보였다. X-대역 코아-칩은 저잡음증폭기, 4-비트 위상천이기, 직렬-병렬 컨버터(SPC: Serial

to parallel data converter)로 구성되며, 크기는 $1.75 \times 1.75 \text{ mm}^2$ 로 지금까지 보고된 코아-칩 중 가장 소형의 크기를 갖는다. 제작된 코아-칩은 조립의 편의를 제공하기 위해 $3 \times 3 \text{ mm}^2$ 크기를 갖는 QFN 패키지로 패키지 되었으며, 패키징된 코아-칩의 성능은 칩-자체의 성능과 거의 같음을 확인하였다. 사용 주파수 대역에서 이득 및 잡음지수는 각각 10 dB 이상, 2 dB 미만, 입출력 반사손실은 10 dB 미만이다. RMS 위상 오차는 12.5 GHz에서 5° 미만, P1dB는 2 dBm으로 타사 코아-칩과 대등한 성능을 갖는다.

References

- [1] U. Schmid, H. Sledzik, P. Schuh, J. Schroth, M. Oppermann, and P. Bruckner, et al., "Ultra-wideband GaN MMIC chip set and high power amplifier module for multi-function defense AESA applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 8, pp. 3043-3051, Aug. 2013.
- [2] A. Bettidi, D. Carosi, F. Corsaro, L. Marescialli, P. Romanini, and A. Nanni, "MMIC chipset for wideband multifunction T/R module," in *2011 IEEE MTT-S International Microwave Symposium*, Baltimore, MD, Sep. 2011, pp. 1-4.
- [3] A. P. de Hek, M. Rodenburg, and F. E. van Vliet, "Low-cost S-band multi-function MMIC," in *2008 European Microwave Integrated Circuit Conference*, Amsterdam, Oct. 2008, pp. 262-265.
- [4] A. de Boer, K. Mouthaan, "GaAs mixed signal multi-function X-band MMIC with 7 bit phase and amplitude control and integrated serial to parallel converter," in *2000 30th European Microwave Conference*, Paris, France, Oct. 2000, pp. 1-4.
- [5] M. van Heijningen, A. De Boer, J. A. Hoogland, M. Van Wanum, A. P. De Hek, and F. Van Vliet, et al., "Multi function and high power amplifier chipset for X-band phased array frontends," in *2006 European Microwave Integrated Circuits Conference*, Manchester, Sep. 2006, pp. 237-240.
- [6] OMMIC, "CGY2179UH/C1, 4-bit Ku-Band Core Chip,"

표 4. 주파수대역 10.5~13 GHz에서 코아-칩 성능비교^[7]
Table 4. Comparison of core-chips with this work for 10.5~13 GHz.

Items	CGY2179HV	This work
Chip size	$2.1 \times 2.4 \text{ mm}^2$	$1.7 \times 1.7 \text{ mm}^2$
Package size	$4 \times 5 \text{ mm}^2$	$3 \times 3 \text{ mm}^2$
Gain	>10 dB	>10 dB
Noise figure	1.8~2.3 dB	<2 dB
S_{11}	<-10 dB	<-10 dB
S_{22}	<-10 dB	<-10 dB
Phase shifter	4 bit	4 bit
RMS phase error	9°	< 5°
Amplifier bias	2 V (55 mA)	5 V (30 mA)
SPC bias	5 V (12 mA)	5 V (7.2 mA)
	-5 V (5 mA)	-3 V (2.1 mA)

2014. Available: <http://www.ommic.com>.
- [7] OMMIC, "CGY2179HV, 4-bit Ku-Band Core Chip," 2014. Available: <http://www.ommic.com>.
- [8] WIN Semiconductor, PD25-00, 0.25 μm InGaAs pHEMT Enhancement/Depletion-Mode Device(E/D-Mode) Device Model Handbook, Ver. 1.4.2, Taoyuan City, Taiwan, Nov. 2013.
- [9] K. W. Yeom, *Microwave Circuit Design: A Practical*

- Approach using ADS*, Prentice Hall Press, 2015.
- [10] C. F. Campbell, S. A. Brown, "A compact 5-bit phase-shifter MMIC for K-band satellite communication systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 12, pp. 2652-2656, Dec. 2000.
- [11] 이창대, 이동현, 염경환, "GaAs pHEMT를 이용한 직-병렬변환기 설계," *한국전자과학회논문지*, 29(3), pp. 171-183, 2018년 3월.

김 동 석



1985년 3월~1989년 2월: 충남대학교 전자공학과 (공학사)
1989년 3월~1991년 2월: 충남대학교 전자공학과 (공학석사)
2015년 3월~현재: 충남대학교 전파공학과 박사과정
1991년 1월~1996년 5월: 국방과학연구소 레이더실 연구원

1996년 6월~2001년 12월: (주) 극동통신 연구소장
2001년 12월~현재: (주) 엠티지 대표이사
[주 관심분야] 안테나, 위상배열 안테나, AESA

이 동 현



2013년 2월: 충남대학교 전자전파정보통신공학과 (공학사)
2015년 2월: 충남대학교 전자전파정보통신공학과 (공학석사)
2015년 3월~현재: 충남대학교 전자전파정보통신공학과 박사과정
[주 관심분야] 초고주파 능동회로

이 창 대



2013년 2월: 충남대학교 전파공학과 (공학사)
2015년 3월~현재: 충남대학교 전자전파정보통신공학과 석사과정
[주 관심분야] 초고주파 능동회로, 능동 위상 배열 시스템

염 경 환



1976년~1980년: 서울대학교 전자공학과 (공학사)
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 MIC팀 팀장

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1995년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계