

GaAs pHEMT를 이용한 직-병렬변환기 설계

Design of a Serial-to-Parallel Converter Using GaAs pHEMT

이 창 대 · 이 동 현 · 염 경 환

Chang-Dae Lee · Dong-Hyun Lee · Kyung-Whan Yeom

요 약

본 논문에서는 $0.25 \mu\text{m}$ GaAs pHEMT 공정을 이용하여 직-병렬변환기(Serial to Parallel Converter: SPC)의 설계 및 제작을 보였다. 직-병렬변환기는 코아-칩에 사용되는 4개의 위상천이기를 제어하기 위하여 4-bit로 구성하였다. SPC는 외부로부터 받은 직렬데이터 신호를 SPC 내부의 레지스터에 저장하고, 저장된 데이터를 병렬데이터로 변환 출력한다. 변환 출력된 각각의 데이터는 4개의 위상천이기를 제어할 수 있다. 제작된 SPC의 크기는 $1,200 \times 480 \mu\text{m}^2$ 이며, 5 V 및 -3 V의 두 개 DC 전원을 사용한다. 각 DC 전원의 소모전류는 5 V는 7.1 mA, -3 V는 2.1 mA이다.

Abstract

Herein, we show the design and fabrication of a serial-to-parallel converter (SPC) using the $0.25\text{-}\mu\text{m}$ GaAs pHEMT process. The serial-to-parallel converter is composed of four bits to control the four phase shifters used in the core chip. The SPC stores the received serial data signal to a register in the SPC and converts the stored data into the parallel data. Each converted output data can control four phase shifters. The size of the fabricated SPC is $1,200 \times 480 \mu\text{m}^2$ and it uses two DC power supplies of 5 V and -3 V. The consumption current of each DC power supply is 7.1 mA for 5 V, and 2.1 mA for -3 V.

Key words: Core Chip, Serial-to-Parallel Converter

I. 서 론

기존의 레이다는 수동 위상 배열 안테나를 사용하였다. 이러한 수동 위상 배열 안테나는 진공관의 출력을 분기하는 형태의 시스템이다. 이 경우, 안테나 및 RF 전단부의 크기가 커질 뿐만 아니라 신속한 빔 조향이 어렵다. 이러한 문제를 개선하기 위한 방법으로 최근 군용레이다 분야에서는 능동 위상 배열 안테나(Active Electronically Steering Antenna: AESA)를 사용하여 시스템을 구성한다. 능동 위상 배열에 의한 방법은 코아-칩(core chip)이라고

불리는 반도체 집적회로를 적용한 송수신 모듈을 안테나 소자에 부착함으로써 수동 위상 배열 방식에 비해 RF 전단부의 크기가 작아지게 된다. 그리고 디지털신호를 통해 위상을 제어하기 때문에 신속한 빔 조향(beam forming)이 가능하다. 또한 능동 위상 배열 방식은 많은 수의 모듈을 사용하기 때문에 일부 모듈의 고장이 생기더라도 전체 시스템에는 큰 영향이 없는 장점이 있다^[1].

능동 위상 배열 안테나에서 안테나의 배열 간격은 빔 조향 범위와 동작 주파수에 의하여 결정된다. 안테나 소자의 간격이 동작 주파수 범위 내의 동작 최소 파장보다

「이 연구는 2017학년도 (주)MTG의 “Ku-band STD-Chip 및 RF 전단부 설계” 연구과제 수행으로 연구되었음.」

충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· Manuscript received December 28, 2017 ; Revised March 2, 2018 ; Accepted March 6, 2018. (ID No. 20171228-128)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

작아야 하기 때문에 안테나 소자 간의 간격이 좁게 된다. 안테나 소자 간의 간격이 좁아짐에 따라 작은 공간에 많은 수의 코아-칩을 적용시키기 위해 작은 사이즈를 가져야 한다. 코아-칩은 제어신호인 디지털 신호를 인가 받아 위상천이기를 제어하여 위상 배열 안테나의 크기와 위상을 변환시키는 동작을 하는 반도체 칩이다. 수신부에 사용되는 코아-칩은 저잡음증폭기(Low Noise Amplifier: LNA)와 여러 개의 위상천위기(phase shifter) 그리고 여러 위상천위기를 제어하기 위한 직-병렬변환기(Serial to Parallel Converter: SPC)로 구성되어 있고, 송신부의 코아-칩은 LNA가 구동증폭기(Driver Amplifier: DA)로 바뀌고 나머지 구성은 동일하다. 이 때 다수의 코아-칩이 적용됨으로 인해 많은 전력을 소모하게 되며, 이때 높은 열이 발생하게 된다. 이러한 높은 열을 줄일 수 있는 효과적인 방법은 송수신 모듈의 소모 전력을 줄이는 것이다.

본 논문에서는 WIN-Semiconductor사의 $0.25 \mu\text{m}$ pHEMT 상용공정^[7]을 이용하여 로직회로를 구성하는 인버터, NOR 게이트, D-FF(D-Flip Flop), 시프트-레지스터(shift register)와 입출력 전압레벨을 바꾸는 TTL-대-DCFL(Direct Coupled FET Logic) 변환기, DCFL-대-TTL 변환기, 위상천이기 구동회로에 대한 설계에 대해 기술하고, 이 구성을 포함하는 직-병렬변환기의 동작 여부를 시뮬레이션으로 확인하여, 제작된 직-병렬변환기의 측정결과를 제시하고자 한다.

II. 직-병렬변환기 설계

직-병렬변환기란 직렬데이터를 병렬데이터로 바꾸어 주는 로직 회로이다. 이 때 외부에서 입력되는 제어신호는 Clock, Data, Enable 세 가지 직렬 신호로 구성된다. 이 세 가지 신호는 logic 0 인 “0”에서 0 V, logic 1인 “1”에서 5 V의 전압레벨을 가지는 TTL 신호이다. 0~5 V의 전압레벨은 GaAs pHEMT로 구성된 로직을 동작시키기에 적합한 전압레벨이 아니므로 GaAs pHEMT로 구성된 디지털 로직회로를 동작시킬 수 있는 0~1 V의 전압레벨로 변환해주는 TTL-대-DCFL 변환기 회로를 사용한다. 로직 전압레벨로 변환된 신호는 직렬데이터를 저장하는 시프트-레지스터(shift register)로 인가된다. 시프트-레지스터는 D-FF(D-Flip Flop)단으로 구성되어 있고, D-FF는 Clock에 동기화 하여 직렬데이터를 저장한다. 사용자가 원하는 데

이터가 인가되었을 때 저장된 데이터를 인가 받는 D-FF에 Enable 신호를 인가하여 병렬로 데이터를 출력한다. 병렬로 출력된 신호의 전압레벨은 GaAs pHEMT 로직 전압레벨이므로 위상 천이기를 동작시키기 위한 전압레벨로 변환 출력하는 위상천이기 구동회로를 적용한다.

2-1 인버터

디지털 회로를 설계함에 있어 처음으로 실행되어야 할 부분은 인버터의 구조를 선택하거나 새로이 설계되어야 한다. 인버터를 기반으로 NOR, NAND와 같은 다른 디지털 논리 회로를 설계할 수 있다. 그림 1은 d-HEMT(depletion-mode HEMT)를 이용한 인버터의 구조이며, 그림 2는 e-HEMT(enhancement-mode HEMT)를 이용한 인버터의 구조를 보인다.

인버터의 구조에 선택에 따라 데이터의 처리 속도와 소모 전력이 달라진다. 본 논문에서 제작되어야 하는 주파수는 125 kHz이므로 구조적으로 복잡하고 많은 전력을 소모하는 구조 대신 구조적으로 간단하며, 적은 전력을 소모하는 구조를 고려하여 선택한다. 본 논문에서는 그림 2(a)의 DCFL 구조를 인버터로 선택하였다. 적용된 DCFL

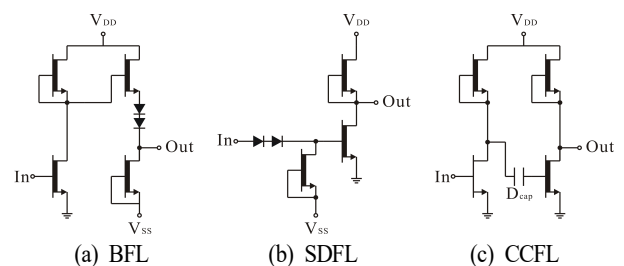


그림 1. d-HEMT 인버터

Fig. 1. d-HEMT inverter.

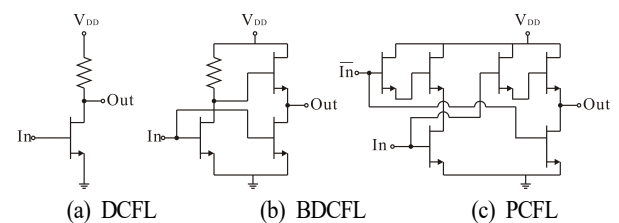


그림 2. e-HEMT 인버터

Fig. 2. e-HEMT inverter.

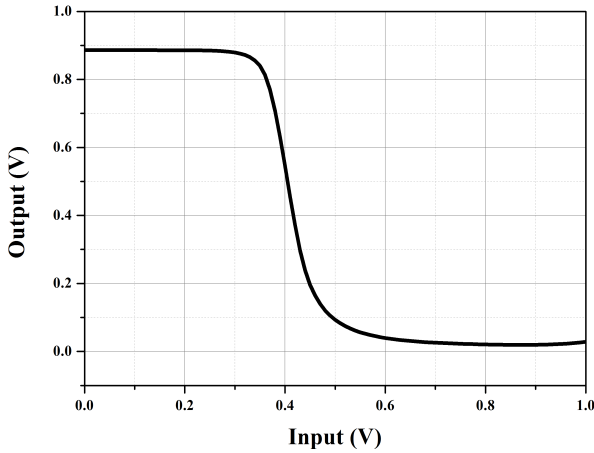


그림 3. DCFL 인버터의 입출력 특성 시뮬레이션 결과
Fig. 3. Simulation result of input/output characteristics of DCFL inverter.

구조의 경우 전파지연시간이 다른 구조에 비해 길어 데이터 처리속도는 느리지만 가장 간단한 구조를 가지며, 전력 소모가 적은 인버터의 구조이다^[2].

그림 3은 게이트-폭 $5\ \mu\text{m}$ 를 가지는 e-HEMT 인버터의 동작 그래프이며, 입력이 게이트로 들어오는 입력 전압 대 출력 그래프를 나타내었다. WIN-사의 공정에서 $5\ \mu\text{m}$ 가 가장 작은 게이트-폭으로, 작은 크기와 작은 전류 소모를 위해 게이트-폭 $5\ \mu\text{m}$ 를 가지는 e-HEMT를 표준 소자로 적용하였다. 그림 2(a)에서 사용된 저항 값은 $7.2\ \text{k}\Omega$ 이며, 그림 2의 V_{DD} 는 $1.0\ \text{V}$ 이다. 또한 그림 3의 특성을 계산하는데 그림 2(a)와 동일구조의 인버터가 부하로 연결된 상태에서 계산된 것이다. 이는 부하효과를 보기 위해서 이와 같이 계산하였다. 단일 인버터 회로에 대해서 계산할 경우 “1” 상태에서 전압은 V_{DD} 이지만, 부하가 연결된 상태에서는 뒷 단 게이트의 누설전류로 인해 저항에 전압강하가 나타나고 출력전압은 그림 3과 같이 $0.88\ \text{V}$ 를 보이게 된다. 특히 V_{gs} 가 $0.9\ \text{V}$ 이상이 될 경우 누설전류의 양이 급격히 증가하고, 이 누설전류로 인해 불필요한 전류를 소모하게 된다. 따라서 출력전압이 $1\ \text{V}$ 를 넘지 않도록 공급전압을 $1\ \text{V}$ 로 설정하였다.

2-2 2-입력 NOR 및 3-입력 NOR 게이트

2-입력 NOR와 3-입력 NOR는 DCFL 구조에서 e-HEMT

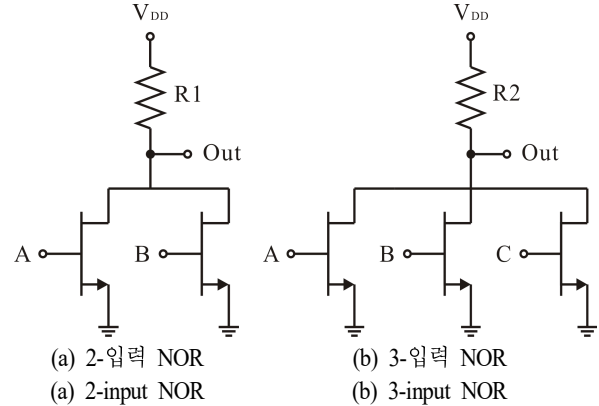


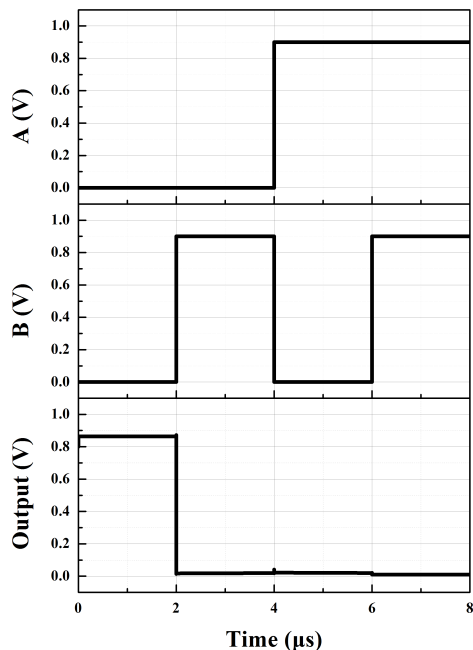
그림 4. DCFL 인버터를 이용한 2- 및 3-입력 NOR의 회로도
Fig. 4. Two, three-input NOR circuits using DCFL inverter.

를 추가하여 구성한다. 그림 4는 DCFL 인버터를 이용한 2-입력 NOR와 3-입력 NOR의 회로도이다.

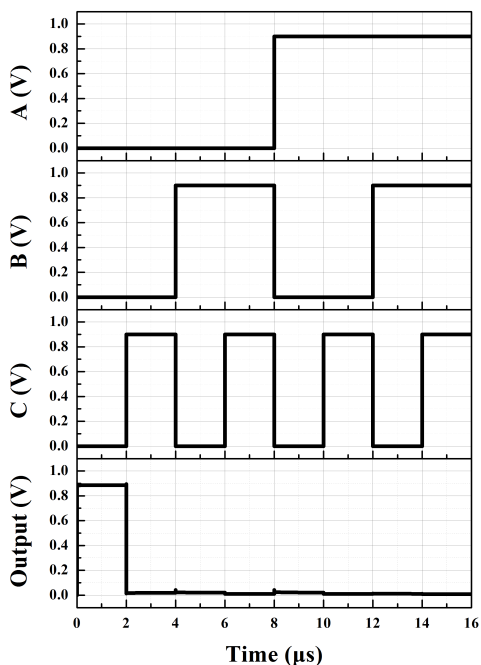
DCFL 인버터의 구조에 병렬로 e-HEMT를 달아 입력 포트를 늘려 NOR로 동작하도록 설계되었다. $R1$ 과 $R2$ 의 저항 값은 $7.2\ \text{k}\Omega$ 이며, 게이트-폭은 표준 소자인 $5\ \mu\text{m}$ 의 e-HEMT를 사용하였다. 2-입력 NOR의 입력 게이트에 logic 0인 “0”에 해당하는 전압이 들어갈 경우 e-HEMT는 off 상태를 유지하고 드레인과 저항사이의 전압이 출력되어 logic 1인 “1”에 해당하는 전압을 출력한다. 양 게이트중 하나의 게이트에 logic 1인 “1”에 해당하는 전압이 들어간다면, e-HEMT는 on 상태가 되지만 ground와 연결되어 logic 0인 “0”에 해당하는 전압을 출력한다. 그림 5(a)와 (b)에 보이는 입력에 대한 출력을 진리표를 표 1에 보였다.

2-3 시프트-레지스터

시프트-레지스터는 입력되는 데이터를 clock에 동기화하여 데이터를 순차적으로 저장하고 출력하는 회로이다. 시프트-레지스터는 D-FF단으로 구성이 되어있다. D-FF은 한 개의 3-입력 NOR와 5개의 2-입력 NOR로 구성되어 있다. 그림 6은 NOR를 이용하여 D-FF를 구성한 회로도를 나타낸다^[3]. 그림 6의 아래 보이는 두 개의 2-입력 NOR는 입력되는 데이터를 처리하고 중간의 하나의 3-입력 NOR와 2-입력 NOR는 Clock을 이용하여 D-FF에 저장하도록 제어하는 부분이며, 상단의 두 개의 2 입력 NOR는 D-FF



(a) 2-입력 NOR의 시뮬레이션 결과
(a) 2-input NOR simulation results



(b) 3-입력 NOR의 시뮬레이션 결과
(b) 3-input NOR simulation results

그림 5. NOR의 시뮬레이션 결과
Fig. 5. NOR simulation results.

표 1. 시뮬레이션 결과에 따른 2-입력 NOR 진리표
Table 1. Truth table of 2-input NOR simulation results.

A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

표 2. 시뮬레이션 결과에 따른 3-입력 NOR 진리표
Table 2. Truth table of 3-input NOR simulation results.

A	B	C	Output
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

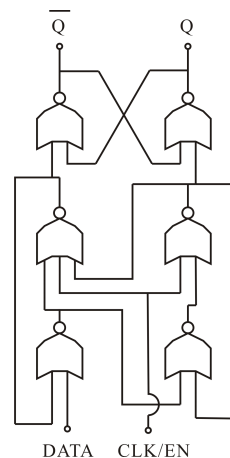


그림 6. NOR를 이용한 D-FF 회로도
Fig. 6. NOR-based D-Flip Flop architecture.

의 래치(latch)로 동작하는 출력부분이다. Clock이 입력될 때 Clock의 폴링에지에 동기화 하여 데이터를 저장하고 출력한다. 그림 7에는 D-FF를 시뮬레이션하여 전파지연 시간(propagation delay time)을 보였다.

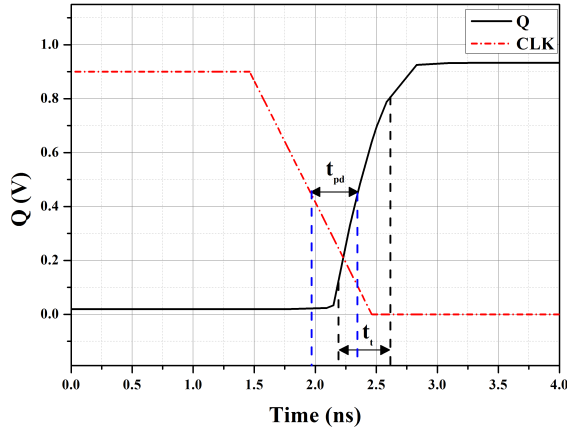


그림 7. D-FF의 전파 지연 시간 시뮬레이션 결과
Fig. 7. Simulation result of propagation delay time of D-FF.

그림 7의 T_{pd} (propagation delay time)은 385 ps T_t (transition time)은 397 ps 보이므로 안정적인 동작을 하기 위한 입력신호의 주파수는 최대 62.5 MHz 임을 알 수 있다.

그림 8은 시프트-레지스터의 블록도를 보였다. 설계된 D-FF를 연결하여 4-bit 시프트-레지스터를 설계하였다. 데이터를 저장하여 D-FF는 데이터를 인가 받으며, Clock에

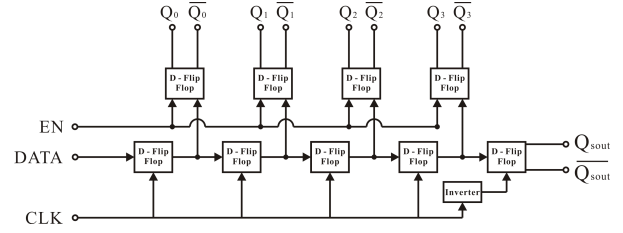
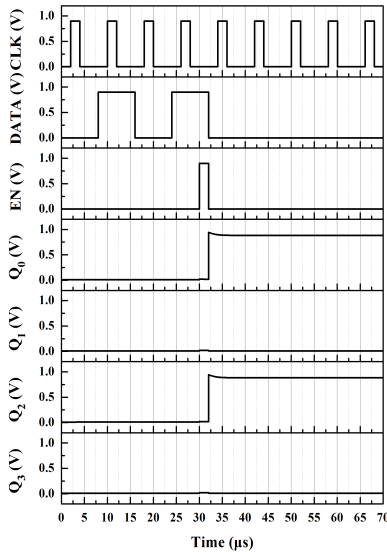


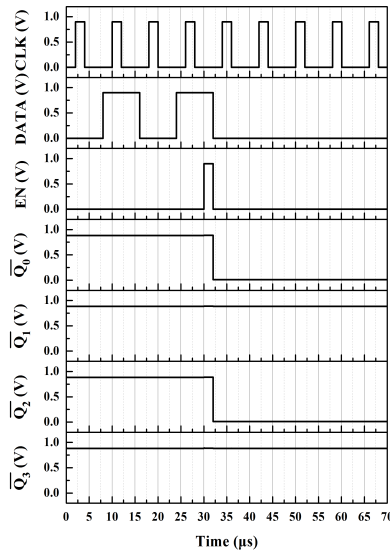
그림 8. 시프트-레지스터 블록도
Fig. 8. Shift register block diagram.

의해 제어되고, 순차적으로 출력한다. 또한 저장된 데이터를 동시에 출력하기 위해 Clock에 의해 제어되는 D-FF에 D-FF를 추가로 연결한다. 각 출력에 연결된 D-FF는 EN(Enable)신호에 의해 제어되며, EN 신호의 폴링에지에서 동시에 출력을 내보내 직렬데이터를 병렬데이터로 변환 출력하게 된다. 그림 9는 시프트-레지스터 시뮬레이션 결과를 보였다.

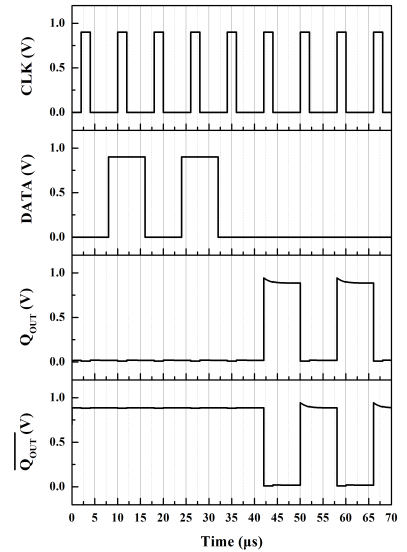
그림 9(a)의 $Q_0 \sim Q_3$ 는 입력된 직렬 데이터 0101을 병렬 데이터로 변환한 출력이다. 가장 입력이 빠른 데이터 0은 Q_0 에 출력되며, 가장 마지막에 입력된 데이터 1은 Q_3 에 출력된다. $Q_0 \sim Q_3$ 는 $Q_0 \sim Q_3$ 의 반전된 출력으로 그림 9(b)에



(a) 시프트-레지스터 출력 Q
(a) Shift register output Q



(b) 시프트-레지스터 출력 \bar{Q}
(b) Shift register output \bar{Q}



(c) 시프트-레지스터 출력 Q_{OUT} 및 \bar{Q}_{OUT}
(c) Shift register output Q_{OUT} and \bar{Q}_{OUT}

그림 9. 시프트-레지스터 시뮬레이션 결과
Fig. 9. Shift register simulation results.

보였다. 그림 9(c)의 Q_{OUT} 은 시프트-레지스터에 입력된 직렬 데이터가 clock에 동기 되어 4-bit 가 지연된 출력이다. Q_{OUT} 은 Q_{OUT} 의 반전된 출력이다. 입력된 데이터가 4번의 clock 이후에 출력되는 것을 확인 가능하다. 시프트-레지스터의 직렬데이터가 0000이 인가되었을 때 의 소모전류는 V_{DD} 에서 1 V, V_{SS} 에서 4.4 mA이다.

2.4 TTL 대 DCFL 변환기

TTL 신호는 logic 0인 “0”에서 0 V, logic 1인 “1”에서 5 V의 전압 값을 가진다. 하지만 로직을 동작하기 위한 전압 값은 보통 0 ~ 1 V 사이의 값을 가지고 현재 설계된 회로 또한 같은 전압 값을 가진다. 그러므로 5 V의 전압 신호를 1 V의 전압 값으로 바꾸어 주기 위한 회로가 필요하다. 전압을 다이오드를 사용하여 5 V에서 1 V로 강하게 하였다. 전압 강하를 할 때 저항을 달아 전압 강하를 손쉽게 할 수 있으나, 실제 제작 시 공정 오차가 심하여 시뮬레이션과 제작과의 오차가 적은 다이오드를 사용하였다.

그림 11에 출력은 입력 전압에 대한 출력전압을 나타낸 그래프이다. 그림 3의 그래프에 “0”으로 인식되는 입력 전압은 0~0.3 V이고, 0.5 V 이상이 “1”로 인식된다. TTL 대 DCFL 변환기의 입력이 0~3.5 V 는 “0”으로 판단되며, 4.5 V 이상이 인가될 시 0.5 V 이상이므로 “1”로 판단되는 전압이 출력된다.

2.5 위상천이기 구동회로

위상천이기 구동회로는 로직에서의 전압이 아닌 위상천이기에서 요구하는 전압으로 바꾸어 주기 위한 전압변환기이다. DCFL 인버터를 사용하여 위상천이기에 직접 연결할 경우 노이즈가 위상천이기에 영향을 주기 때문에 캐패시터를 병렬로 달아 노이즈를 제거한다. 이때 DCFL

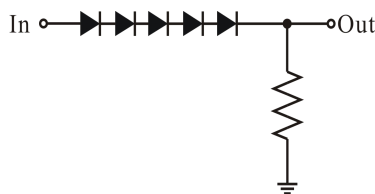


그림 10. TTL 대 DCFL 변환기 회로도
Fig. 10. TTL-to-DCFL architecture.

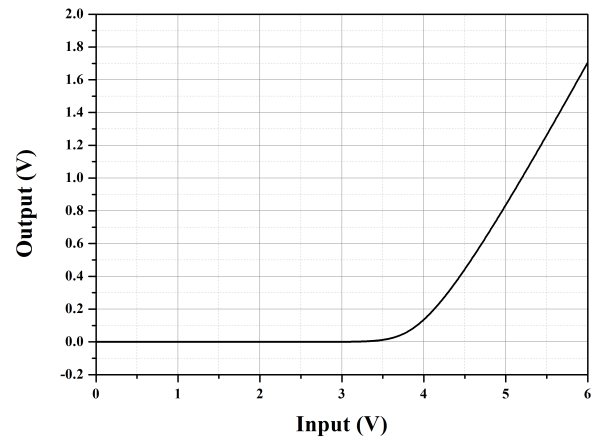


그림 11. TTL 대 DCFL 변환기 입출력 특성 시뮬레이션 결과
Fig. 11. Simulation result of TTL-to-DCFL converter input/output characteristics.

의 저항과 캐패시터가 연결되어 시정수의 영향을 받아 깨끗한 펄스(pulse)가 생성되지 않으며 출력전압이 감소한다. 이 영향을 개선하고 더욱 빠른 on/off 특성을 얻기 위하여 BDCFL 구조를 DCFL 구조 뒷단에 연결한다. BDCFL 구조는 DCFL 구조에 e-HEMT로 구성된 버퍼 단을 연결한 구조^[4]로 출력 이후의 회로에 영향을 받지 않아 깨끗한 신호와 감소되지 않는 출력전압을 얻을 수 있다. 위상천이기 구동회로의 회로를 그림 12에 보였다.

위상천이기에서 요구하는 전압은 “0”에서 -3 V와 “1”에서 전압 0.5~1 V이다. 회로의 R_1 은 9.3 k Ω , R_2 는 20 k Ω 을 사용하였으며, FET는 게이트-폭을 10 μm 를 설정하였다. 로직 레벨의 출력인 0~1 V의 입력이 -3~0.5 V의 출

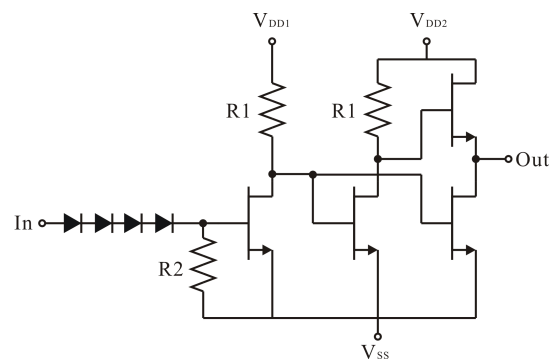


그림 12. 위상천이기 구동회로
Fig. 12. Phase shifter driver circuit.

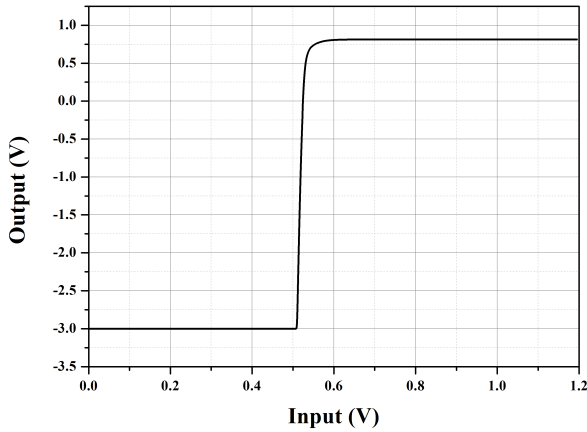


그림 13. 위상천이기 구동회로 시뮬레이션 결과
Fig. 13. Phase shifter driver circuit simulation result.

력으로 변환하기 위해 입력신호는 다이오드를 이용하여 $-3 \sim -2.2$ V의 값으로 강하시킨다. “0” 전압은 e-HEMT의 소스단자에 -3 V를 인가하고, “1” 전압은 V_{DD1} , V_{DD2} 에 각각 -1.7 V, 1 V의 전압을 인가한다. V_{DD1} , V_{DD2} 가 동일한 1 V의 전압이 인가된다면, DCFL의 출력이 $-3 \sim 1$ V되어 BDCFL 구조의 게이트에 인가된다. e-HEMT의 V_{gs} 는 1.0 V 이상 되면 게이트의 누설전류가 생겨 출력전압이 감소하며, 불필요한 전류를 소모하게 된다. V_{DD1} 에 -1.7 V를 인가하여 출력전압을 조정해 출력을 입력으로 받는 게이트의 누설전류를 줄일 수 있다. V_{DD2} 에 입력되는 1 V는 출력을 위해 입력되어 최종 출력으로 $-3 \sim 0.8$ V의 출력전압을 보인다. “0”의 입력이 인가되었을 때 V_{DD1} 인 -1.7 V에서는 $5 \mu\text{A}$ 의 전류를 소모하여 거의 전류소모가 없고, V_{DD2} 인 1 V에서 0.47 mA, V_{ss} 인 0.43 mA를 소모한다. “1”의 전압이 인가되었을 때, V_{DD2} 인 1 V에서 0.154 mA, V_{ss} 에서 e-HEMT가 off가 되어 전류를 거의 소모하지 않는다.

2-6 DCFL 대 TTL 변환기

DCFL 대 TTL 변환기는 로직 전압레벨인 $0 \sim 1$ V를 TTL 전압인 $0 \sim 5$ V로 변환하는 전압변환기이며, 출력된 신호를 다른 칩에 사용될 수 있도록 다음 칩에 들어가는데 필요한 전류를 생성해 주고, 이후 다이오드와 저항이 직렬로 연결될 때 서로간의 영향을 최소화하기 위하여 e-

HEMT와 d-HEMT를 같이 쓰는 DCFL 구조를 사용한다. 그림 14에 DCFL 대 TTL 변환기 회로도를 나타냈다.

이 구조의 경우, 직렬로 다른 회로와 연결될 시 전압강하 없이 5 V의 일정한 전압을 출력 가능하다. 또한 DCFL 대 TTL 변환기 회로에 현 회로의 신호가 인가될 때 0.16 mA의 전류 소모가 있어 이 전류를 내보내면서 5 V의 전압을 유지하는 것이 필요하다. 그래서 d-HEMT의 게이트와 소스를 연결하여 저항보다 많은 전류를 출력 가능하도록 하여, 5 V의 전압을 안정적으로 출력할 수 있다. 그에 따른 전류소모가 많아지며, V_{DD} 5 V에서 최대 2.4 mA의 전류를 소모한다. 그림 15에 DCFL 대 TTL 변환기의

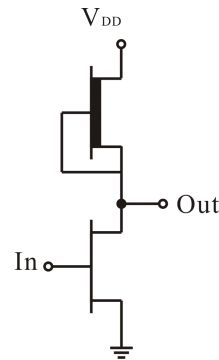


그림 14. DCFL 대 TTL 변환기 회로도
Fig. 14. DCFL-to-TTL converter circuit.

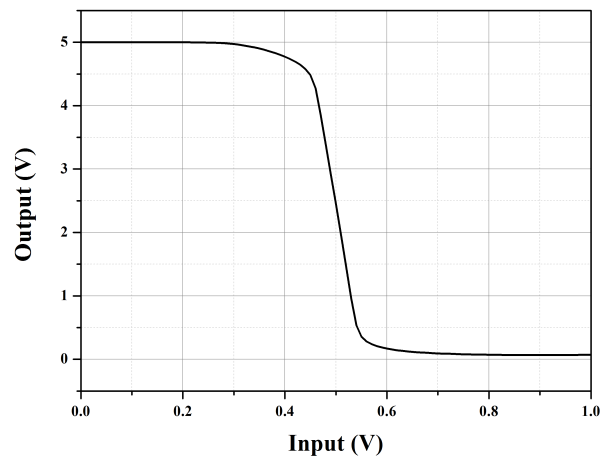


그림 15. DCFL 대 TTL 변환기 입출력 특성 시뮬레이션 결과
Fig. 15. Simulation result of DCFL-to-TTL converter input/output characteristics.

시뮬레이션 결과를 보였다.

DCFL 대 TTL 변환기는 인버터의 구조를 가지므로 입력을 시프트-레지스터의 출력 Q_{OUT} 에 인가한다. Q_{OUT} 는 직렬데이터가 반전된 출력이므로 DCFL 대 TTL 변환기 회로의 출력에서는 반전되지 않은 출력을 보인다.

2-7 직·병렬변환기

그림 16은 각 회로들을 결합하여 전체 직-병렬변환기를 구성한 블록도를 나타낸다.

직-병렬변환기를 구동하기 위한 외부 공급전압은 5 V와 -3 V가 인가된다. 5 V는 DCFL 대 TTL 변환기에 직접적

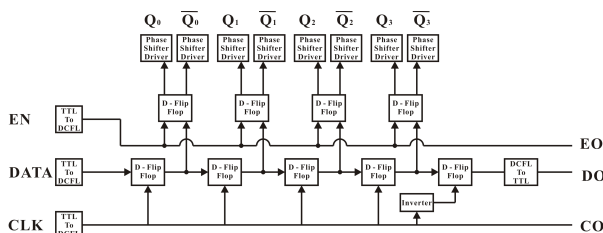


그림 16. 직-병렬변환기 블록도
Fig. 16. SPC block diagram.

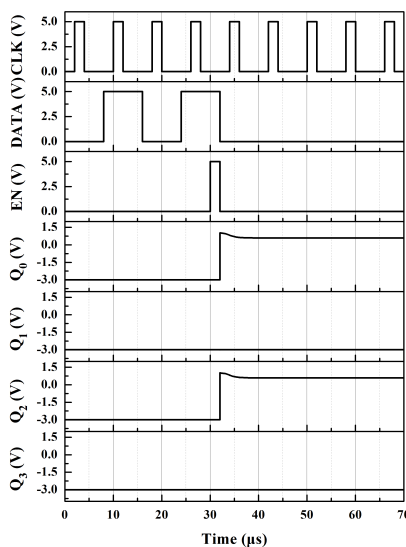
으로 인가되며, 시프트-레지스터와 위상천이기 구동회로에는 각각 다이오드로 전압 강하를 하여 인가한다. 그림 17은 직-병렬변환기의 시뮬레이션 결과를 보인다.

그림 17(a)를 보면 입력된 데이터는 0101의 데이터가 입력되었다. 입력된 데이터는 EN 신호의 폴링에지에 맞추어 동시에 출력이 되었으며, 출력된 전압은 logic 0인 “0”에서 -3 V, logic 1인 “1”에서 0.7 V의 출력결과를 보인다. 그림 17(b)는 그림 17(a)의 병렬데이터 출력이 반전된 출력으로 “0”에서 0.7 V, “1”에서 -3 V의 출력전압을 보인다. 시뮬레이션에서의 전류소모는 직렬데이터 0000의 입력에서 V_{DD} 8.6 mA, V_{SS} 2.7 mA를 소모하는 것으로 예상되었다.

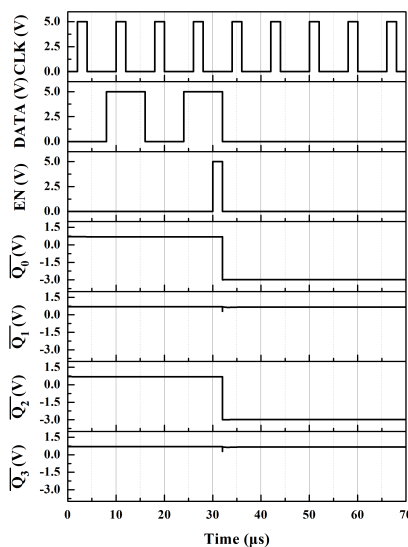
III. 제작 및 측정 결과

그림 18은 WIN-Semiconductor사의 $0.25\ \mu\text{m}$ GaAs pHEMT 공정을 이용하여 제작된 직-병렬변환기의 사진이다.

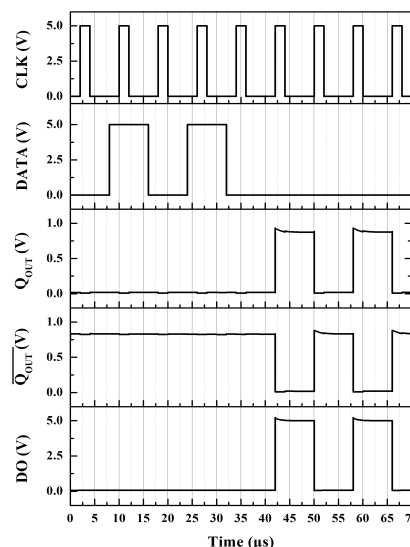
그림 18에 왼쪽의 패드는 외부로부터 CLK(Clock), DATA (Data), EN(Enable), 5 V, -3 V의 입력을 받게 되며, CO (Clock output), DO(Data output), EO(Enable output)의 출력을 보인다. 그림 18의 오른쪽의 패드는 직렬데이터가 병



(a) 직-병렬변환기 출력 Q
(a) SPC output Q



(b) 직-병렬변환기 출력 \bar{Q}
(b) SPC output \bar{O}



(c) Shifted serial data output

그림 17. 직-병렬변환기 시뮬레이션
Fig. 17. SPC simulation.

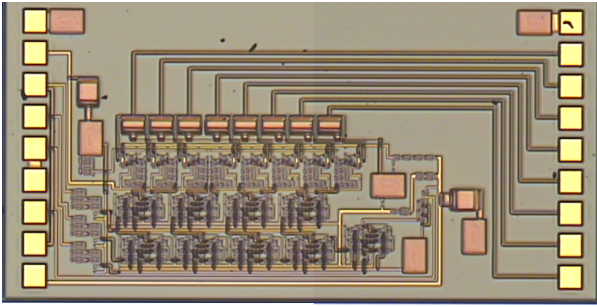


그림 18. 제작된 직-병렬변환기의 사진
Fig. 18. Photograph of the fabricated SPC.

렬데이터로 출력된 결과를 확인하기 위한 패드 부분이다. 병렬데이터 출력은 4bit이므로 $Q_0 \sim Q_3$, $Q_0 \sim Q_3$ 총 8개의 출력을 확인한다. 제작된 직-병렬변환기는 패드를 제외하였을 때 $1,200 \times 480 \mu\text{m}^2$ 의 크기를 가진다. 개별 부품의 측정은 각각의 test circuit을 제작하여 측정하였다.

3-1 TTL 대 DCFL 변환기 측정결과

제작된 TTL 대 DCFL 변환기의 측정에 대한 결과를 그림 19에 보였다.

그림 19는 TTL 대 DCFL 변환기의 입력전압 대 출력전압과 전류 소모량을 나타낸 그래프이다. 입력이 0~3.5 V까지는 logic 0인 “0”에서 0 V를 출력하며, 4.5 V부터 logic 1인 “1”에서 인식하는 0.5 V를 출력한다. 이 회로는

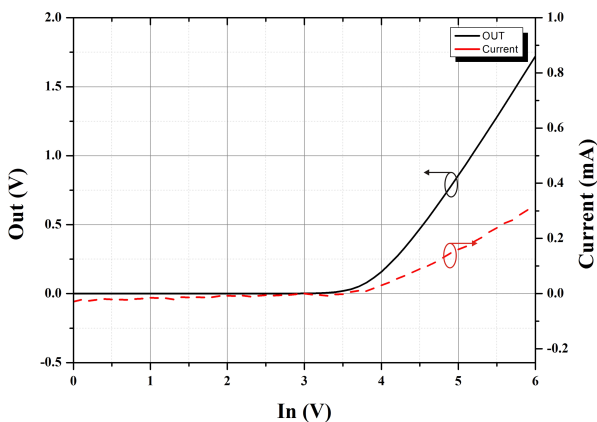


그림 19. TTL 대 DCFL 변환기의 전압 및 전류 입출력 특성
Fig. 19. Voltage and current input/output characteristics of TTL-to-DCFL converter.

5 V의 전압이 인가되었을 때 0.16 mA의 전류를 필요로 함으로 입력되는 제어신호와 DCFL 대 TTL 변환기의 출력은 0.16 mA의 전류를 공급하며, 5 V의 전압을 출력해야 한다.

3-2 시프트-레지스터 측정결과

그림 20은 제작된 시프트-레지스터의 측정 결과이다. V_{DD} 는 1 V의 전압이 인가되었으며, 입력되는 제어 신호의 입력 전압은 0~1 V로 인가되었다. 제어 신호 중 CLK의 주파수는 125 kHz이고, Data는 1111의 4-bit 데이터를 인가하였다.

시프트-레지스터의 출력은 $Q_0 \sim Q_3$ 의 출력이 “0”인 0 V에서 EN신호의 폴링에지가 인가된 뒤 “1”인 0.88 V의 출력으로 변환되었고, $Q_0 \sim Q_3$ 의 출력은 Q의 반전된 출력이므로 0.88 V의 출력을 보이다 EN의 폴링에지가 인가된 뒤 0 V로 변환되는 것을 확인하였다. 외부에서 입력되는 제어신호인 CLK, DATA, EN의 전압크기에 따라 시프트-레지스터의 출력전압은 0.88 V로 일정하여 외부 신호에 따라 신호의 크기가 영향을 받지 않는다.

3-3 위상천이기 구동회로 측정결과

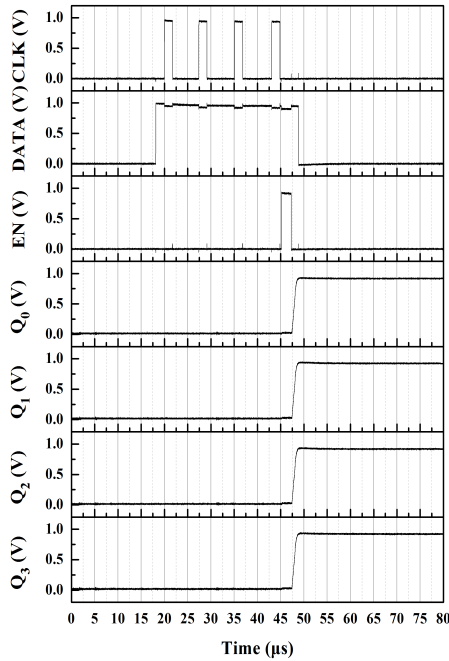
시프트-레지스터의 펄스 출력이 위상천이기 구동회로로 입력되므로 logic 0인 “0”을 V_L , logic 1인 “1”을 V_H 라 할 때, 입력 펄스의 V_H 에 대한 위상천이기 구동회로의 출력을 그림 21에 나타냈다.

제작된 시프트-레지스터의 출력은 그림 20과 같이 공급전압 1 V일 때 “0”의 전압은 0 V, “1”의 출력은 0.88 V의 전압이 출력된다. 이 출력이 위상천이기 구동회로의 입력이 되며, 그림 21에 나타낸 바와 같이 V_H 의 입력이 0~0.5 V에서 “0”의 값인 -3 V를 출력하고, 0.7 V 이상의 전압에는 “1”전압인 0.7 V를 출력한다.

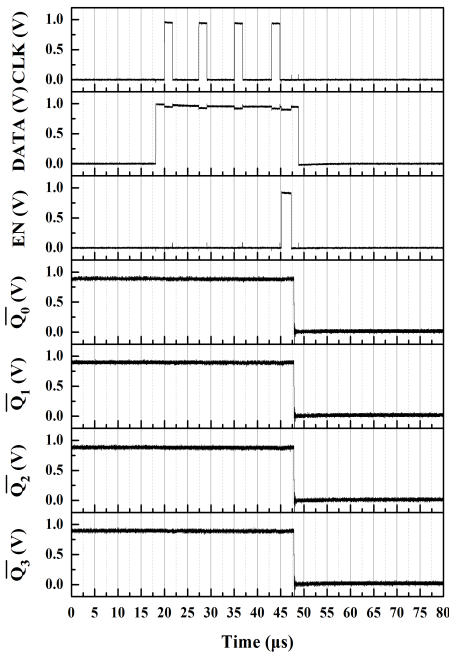
3-4 DCFL 대 TTL 변환기 측정결과

그림 22는 제작된 DCFL 대 TTL 변환기의 측정결과를 나타낸다.

그림 22에 보이는 바와 같이 입력신호가 0~0.3 V에서는 TTL 신호의 “1”의 값인 5 V를 출력하고, 0.6 V 이상에서는 “0” 값인 0 V를 출력하는 것을 확인할 수 있다.



(a) 측정된 시프트-레지스터의 Q의 출력그래프
(a) The measured shift register output Q



(b) 측정된 시프트-레지스터의 \bar{Q} 의 출력그래프
(b) The measured shift register output \bar{Q}

그림 20. 제작된 시프트-레지스터의 측정 결과
Fig. 20. Measurement results of the fabricated shift-register.

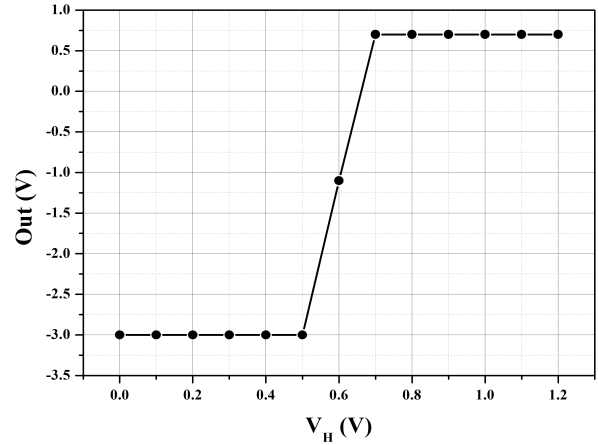


그림 21. 입력 신호 V_H 에 대한 제작된 위상천이기 구동 회로의 출력

Fig. 21. Output of fabricated phase shifter driver for input signal V_H .

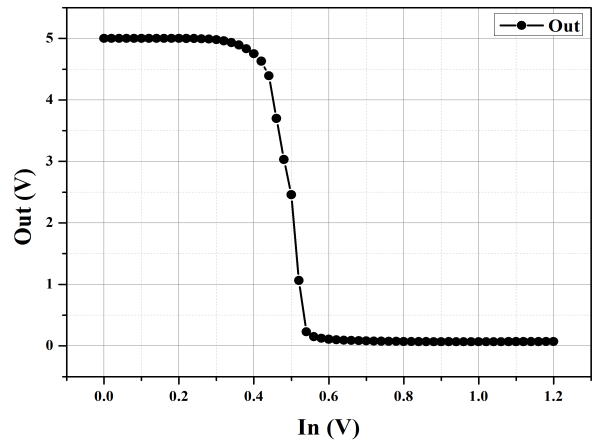


그림 22. 제작된 DCFL 대 TTL 변환기의 측정결과

Fig. 22. Measurement result of fabricated DCFL-to-TTL.

그림 23은 제작된 DCFL 대 TTL 변환기의 출력전류에 따른 전압변화를 나타냈다. 출력전류의 변화는 회로의 출력에 저항을 삽입한 뒤 저항 값을 바꾸어 측정하였다. 그림 23를 보면 0.2 mA까지 5 V의 값을 출력하며, 이후 서서히 감소한다. 그림 19의 TTL 대 DCFL 변환기 소모전류를 보면 5 V의 전압이 인가될 때 0.16 mA를 소모하게 되므로 직-병렬변환기를 데이지체인(Daisy chain)으로 연결하여 사용이 가능하다.

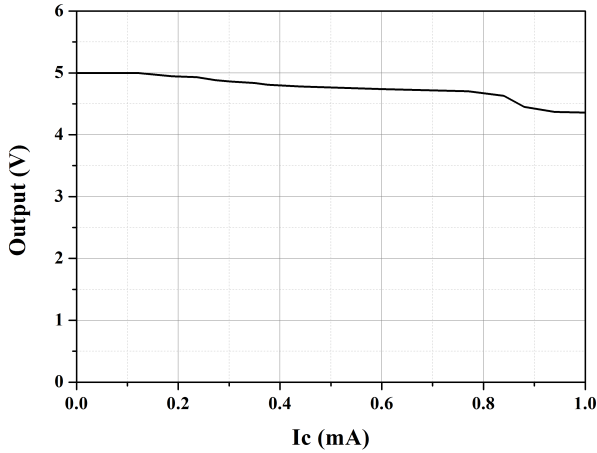


그림 23. 제작된 DCFL 대 TTL 변환기의 출력전류에 따른 전압변화

Fig. 23. Voltage change according to output current of the fabricated DCFL-to-TTL.

3-5 직-병렬변환기 측정 결과

제작된 직-병렬변환기를 그림 17에 보였으며, 그림 17의

보이는 회로를 측정한 결과를 그림 24에 보였다.

그림 24(a), (b)를 보면 제어신호는 TTL 신호레벨로 입력되었으며, 입력된 CLK의 주파수는 125 kHz이고, 직렬 데이터는 0011를 인가하였다. 직-병렬전환기의 출력은 EN 데이터의 폴링에지가 인가되었을 때 “0”에서 -3 V, “1”에서 0.68 V의 전압 값을 보인다. 동작특성은 처음으로 인가된 데이터 0은 Q_3 에서 출력을 보이고, 마지막으로 인가된 데이터 1은 Q_0 에서 출력을 보인다. 그림 24(c)에는 CLK에 동기화되어 4-bit 지연된 데이터가 출력되며, 출력 전압은 TTL 신호레벨인 5 V를 가진다. 그림 25는 제작된 코아-칩을 보인다.

그림 26은 제작된 코아-칩의 4-bit 16 상태에 따른 위상 천이를 측정한 결과그래프이다. 16개의 상태를 직-병렬변환기에서 출력하였을 때 각각의 위상천이기가 동작하여 위상 천이가 되는 것을 보이므로, 직-병렬변환기가 정상 동작하는 것을 확인하였다.

제작된 직-병렬변환기의 소모전류는 V_{DD} 에서 7.2 mA, V_{SS} 에서 2.1 mA를 소모한다. 상용제품과의 소모전류 값

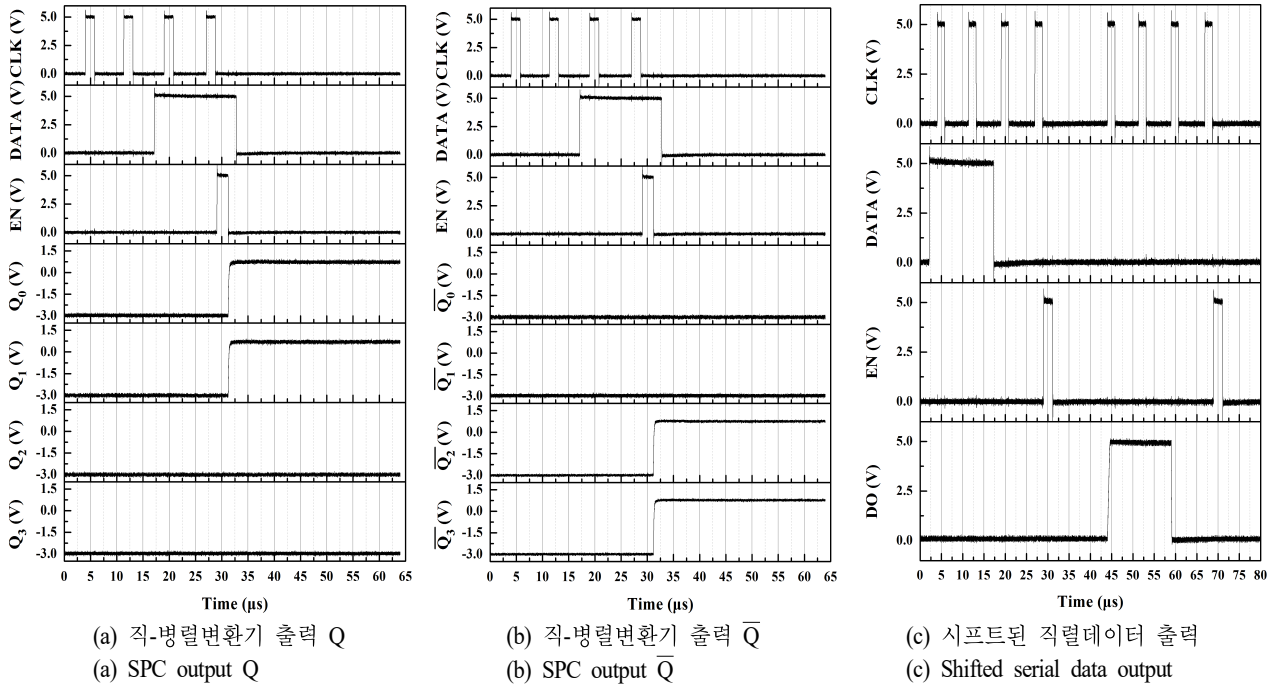


그림 24. 제작된 직-병렬변환기 측정결과

Fig. 24. The fabricated SPC measurement results.

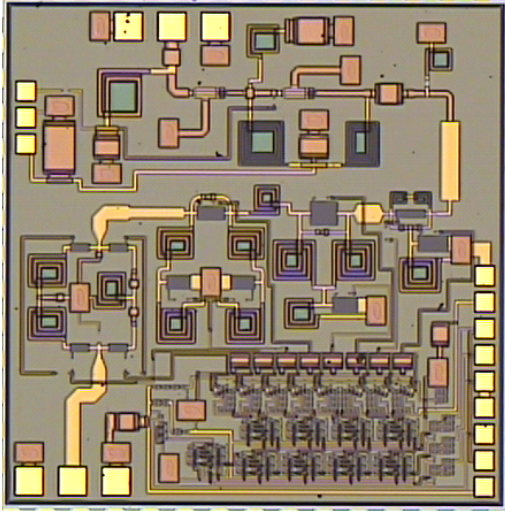


그림 25. 제작된 코아-칩

Fig. 25. The fabricated core chip.

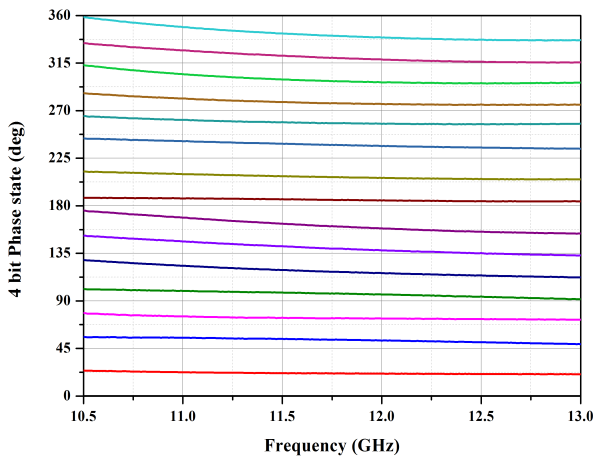


그림 26. 제작된 코아-칩의 4-bit 16 상태에 따른 위상 천이 측정결과

Fig. 26. Phase shift measurement result of 4-bit 16 state of the fabricated core chip.

을 표 3에 보였다.

IV. 결 론

본 논문에서는 $0.25 \mu\text{m}$ GaAs pHEMT 공정을 사용하여 코아-칩에 사용되는 4-bit 직-병렬변환기를 설계 및 제작하였다. 직-병렬변환기를 GaAs로 디지털 로직회로를 구

표 3. 상용제품과의 소모전류 비교

Table 3. Comparison of current consumption with the similar product.

	Ref.[5]	This work
V_{DD}	5 V (12 mA)	5 V (7.2 mA)
V_{SS}	-5 V (5 mA)	-3 (2.1 mA)
Data rate	Typ. 10 MHz	Typ. 125 kHz Max 62.5 MHz
사용 공정	$0.18 \mu\text{m}$ GaAs pHEMT	$0.25 \mu\text{m}$ GaAs pHEMT
Size	$1,535 \times 630 \mu\text{m}^2$	$1,200 \times 480 \mu\text{m}^2$

성함에 있어 가장 간단하며, 적은 전력을 소모하는 DCFL을 적용하여 직-병렬변환기를 구성하였고, 시뮬레이션과 제작된 직-병렬변환기를 측정하여 동작 여부를 확인하였다. 직-병렬변환기의 측정결과, 4-bit의 직렬데이터를 병렬데이터로 변환 출력하였으며, 위상천이기에 요구되는 전압값을 출력하였다. 또한 코아-칩을 데이지체인(Daisy chain)으로 연결하여 사용할 수 있도록 4-bit이 지연된 직렬데이터를 TTL 신호로 출력한다. 전류소모는 각각 V_{DD} 7.2 mA, V_{SS} 2.1 mA를 소모하여 좋은 결과를 보였다. 직-병렬변환기로 디지털 제어가 필요한 다양한 시스템에 적은 전력을 사용하여 효과적으로 적용될 수 있을 것으로 본다.

References

- [1] 전상미, 나형기, 김수범, 이정원, 김동윤, 김선주, 안창수, 이창희, "평면형 능동 위상 배열 레이더용 안테나 시스템 개발," 한국전자과학회논문지, 20(12), pp. 1340-1350, 2009년 12월.
- [2] K. Lehouec, R. Zuleeg, "Analysis of GaAs FET's for integrated logic," *IEEE Transactions on Electron Devices*, vol. 6, no. 6, pp. 1074-1091, Jun. 1980.
- [3] A. Bentini, B. Pasciuto, W. Ciccognani, E. Limiti, A. Nanni, and P. Romanini, "Design and realization of GaAs digital circuit for mixed signal MMIC implementation in AESA applications," *International Journal of Microwave Science and Technology*, vol. 2011, p. 387137, 2011.
- [4] T. Nilsson, C. Samuelsson, "Design of MMIC serial to parallel converter in gallium arsenide," B.E. Thesis, Lin-

koping University, Sweden, Nov. 2001.

[5] CGY2179UH/C1, Corechips. Available: <http://www.ommic.fr>.

[6] 정진철, 신동환, 주인권, 염인복, "X-대역 능동 위상 배열 레이더 시스템용 디지털 직병렬 변환기를 포함한

GaAs MMIC 다기능 칩," 한국전자과학회논문지, 12(6), pp. 613-624, 2011년 6월.

[7] Win Semiconductors corp. Available: <http://www.winfoundry.com>.

이 창 대



2013년 2월: 충남대학교 전파공학과 (공학사)
2015년 3월~현재: 충남대학교 전자전파
정보통신공학과 석사과정
[주 관심분야] 초고주파 능동회로, 능동 위
상 배열 시스템

염 경 환



1976년~1980년: 서울대학교 전자공학과 (공학사)
1980년~1982년: 한국과학기술원 전기 및
전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및
전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품 연구
소 선임연구원 (MIC팀 팀장)
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1995년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계

이 동 현



2013년 2월: 충남대학교 전자전파정보통신
공학과 (공학사)
2015년 2월: 충남대학교 전자전파정보통신
공학과 (공학석사)
2015년 3월~현재: 충남대학교 전자전파정
보통신공학과 박사과정
[주 관심분야] 초고주파 능동회로