

24 GHz 1Tx 2Rx FMCW 송수신기 설계

Design of 24-GHz 1Tx 2Rx FMCW Transceiver

김태현 · 권오윤 · 김준성 · 박재현 · 김병성

Tae-Hyun Kim · Oh-Yun Kwon · Jun-Seong Kim · Jae-Hyun Park · Byung-Sung Kim

요 약

본 논문은 65-nm Complementary Metal-Oxide-Semiconductor(CMOS) 공정으로 설계한 송신 1채널, 수신 2채널을 내장한 24 GHz 송수신 칩과 이 칩을 이용하여 제작한 24 GHz Frequency Modulated Continuous Wave(FMCW) 레이더 모듈을 제시한다. CMOS 송수신 칩은 14채배기, 저잡음 증폭기, 하향 변환 믹서, 전력 증폭기를 포함하고 있다. 송신 출력은 23.8~24.36 GHz 대역에서 10 dBm 이상이며, 위상 잡음은 1 MHz 오프셋에서 -97.3 dBc/Hz이다. 수신기는 25.2 dB의 변환 이득과 -31.7 dBm의 P_{1dB} 를 갖는다. 송수신 칩은 모두 합해 295 mW를 소모하고 1.63×1.6 mm²의 면적을 차지한다. 레이더 시스템은 FR4 기판과 저손실 듀로이드 기판을 적층하여, 저손실 기판위에 칩과 안테나 및 고주파 전송선을 배치하고, 바이어스 회로와 이득 블록, FMCW 신호 발생 블록은 FR4 기판에 집적하여 하나의 레이더 모듈을 구성하였다. 안테나는 패치 형태로 송신 안테나는 4×4 패치 안테나로 14.76 dBi의 안테나 이득을 수신 안테나는 4×2 패치 안테나로 11.77 dBi의 안테나 이득을 구현하였다. 코너 리플렉터를 사용하여 거리 및 방위각 탐지 실험을 수행하였고, 정상 동작을 확인하였다.

Abstract

This paper presents a 24-GHz frequency-modulated continuous wave(FMCW) radar transceiver with two Rx and one Tx channels in 65-nm complementary metal-oxide-semiconductor(CMOS) process and implemented it on a radar system using the developed transceiver chip. The transceiver chip includes a 14× frequency multiplier, low-noise amplifier, down-conversion mixer, and power amplifier(PA). The transmitter achieves >10 dBm output power from 23.8 to 24.36 GHz and the phase noise is -97.3 GHz/Hz at a 1-MHz offset. The receiver achieves 25.2 dB conversion gain and output P_{1dB} of -31.7 dBm. The transceiver consumes 295 mW of power and occupies an area of 1.63×1.6 mm². The radar system is fabricated on a low-loss Duroid printed circuit board(PCB) stacked on the low-cost FR4 PCBs. The chip and antenna are placed on the Duroid PCB with interconnects and bias, gain blocks and FMCW signal-generating circuitry are mounted on the FR4 PCB. The transmit antenna is a 4×4 patch array with 14.76 dBi gain and receiving antennas are two 4×2 patch antennas with a gain of 11.77 dBi. The operation of the radar is evaluated and confirmed by detecting the range and azimuthal angle of the corner reflectors.

Key words: CMOS, FMCW Radar, Transceiver, 24 GHz

I. 서 론

최근 운전자의 편의와 안전을 위해 주행 환경을 미리

「이 연구는 2018년도 인하대학교 산학협력단의 지원을 받아 산업기술혁신사업으로 연구되었음(No. 20002712).」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

· Manuscript received September 4, 2018 ; Revised September 28, 2018 ; Accepted October 10, 2018. (ID No. 20180904-093)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

파악할 수 있는 센서와 위험 상황을 사전에 파악할 수 있는 ADAS(Advanced Driver Assistance System)가 개발되고 있다. 낮과 밤뿐만 아니라, 눈, 비, 안개와 같은 악천후 상황에서도 문제없이 사물을 인식할 수 있는 레이더가 자율 주행 시스템에서 핵심적인 센서로 사용된다. 특히 24 GHz 대역은 주변 물체의 속도와 거리를 탐지하기 위해 측방과 후방의 근거리 레이더에 사용되고 있으며, 자동차뿐만 아니라, 생활 감시 레이더로서도 활발히 연구되고 있다^{[1]~[4]}. 본 논문에서는 65-nm CMOS 공정으로 개발한 FMCW 레이더 송수신기 칩과 이 칩을 이용하여 개발한 24 GHz FMCW 레이더 모듈을 제시한다.

II. 송수신기 설계

그림 1에서 제안된 1Tx 2Rx FMCW 송수신기 구조는 국부 발진기(Local Oscillator: LO)를 만들기 위한 7배배기와 3개의 주파수 더블러(frequency doubler)가 있고, 리시버 체인을 위한 두 개의 저잡음 증폭기(low noise amplifier: LNA)와 하향 변환 믹서, 그리고 하나의 전력 증폭기로 구성되어 있다. 외부 모듈에서 생성된 기준 주파수는 FMCW 신호를 만들고, $\times 14$ 배배기를 통해 체배된다^[7].

2-1 주파수 체배기 설계

주파수 체배기는 높은 주파수 신호에서 위상잡음과 크기를 줄이는데 유리하다^[5]. 그림 1은 $\times 14$ 주파수 체배기의 블록다이어그램을 보여준다. $\times 14$ 주파수 체배기는 단일 대 차동(single-to-differential: STD) 변환기, 차동 7상 주입 잠금 링 발진기, seven-push 주파수 가산기, 공통 소스

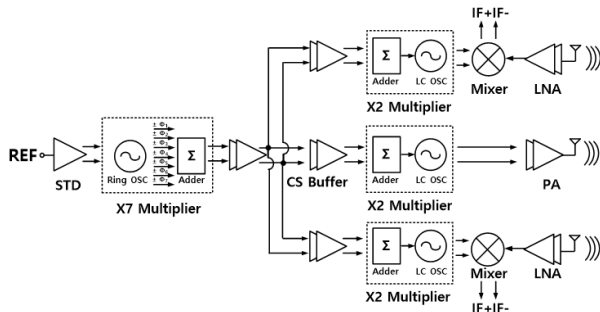


그림 1. 1Tx 2Rx 레이더 송수신기 구조
Fig. 1. 1Tx 2Rx radar transceiver architecture.

(common-source: CS) 버퍼, push-push 주파수 더블러로 구성되어 있다. 외부에서 받은 1.71 GHz 싱글 엔드형 신호는 STD 변환기를 통해 차동 신호로 바뀐다. 차동 신호는 링 발진기의 주파수 잠금을 위해 링 발진기 셀 중 하나에 공급된다. 7개 셀의 링 발진기에 공급된 전류는 $2\pi/7$ 의 위상 오프셋을 가지고 7개의 차동 신호를 발생시킨다. 자유 발진 주파수는 후미 전류를 바꿔주면서 조절한다. 링 발진기에서 나오는 1.71 GHz 전압 신호는 가산 증폭기에 의해 전류 영역에서 결합된다. 그림 2에서 가산기는 출력 부하를 공유하는 7개의 CS 차동 증폭기이다. 원칙적으로 하모닉 전류는 가산기의 공통 출력단에서 결합되고, 구조상으로 7 이상 차수의 하모닉들만 더해지고, 다른 낮은 차수의 하모닉들은 제거된다^[6]. Class AB 바이어스 가산 증폭기는 7차 하모닉 성분을 강화한다. 7차 하모닉 전류는 교차 결합쌍(cross-coupled pair)과 공진 부하를 기반으로 한 변압기에 의해 추가적으로 증폭된다. 공진 부하는 위상과 진폭의 미스매치로 인해 발생하는 원치 않는 하모닉들과 스퍼들을 차단한다. 버퍼 단은 세 방향으로 신

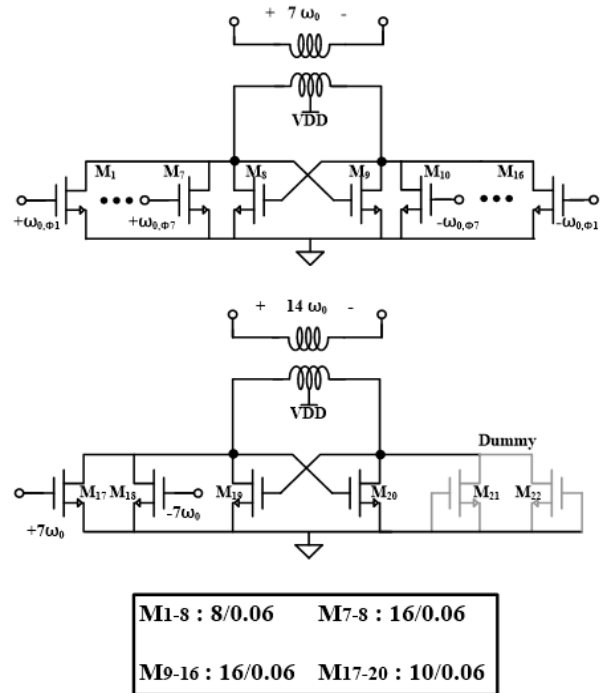


그림 2. 주파수 체배기의 구성도
Fig. 2. Schematic of frequency multiplier.

호를 나누고, 큰 신호를 주파수 더블러에 전달해준다. 나눠진 신호 중 두 개는 믹서를 구동하는 주파수 더블러에 전달되고, 나머지 하나의 신호는 전력 증폭기를 구동하는 주파수 더블러에 전달된다. 주파수 더블러는 CS 차동 쌍의 드레인 노드를 묶고, 트랜스포머로 구성된 두 번째 하모닉 공진 탱크에 이 노드를 로딩한다. 공통 노드에서 발생하는 두 번째 하모닉 신호는 차동 출력 신호를 얻기 위해 발진기로 연결된다.

2.2 수신기 설계

그림 3은 주파수의 하향 변환을 위한 LNA와 믹서를 포함하는 송신기의 구성도이다. LNA는 싱글 엔드형 두 단으로 되어 있다. 첫째 단에서 CS 구조를 사용하여 위상 잡음을 낮췄고, 둘째 단에서 캐스코드 구조를 사용하여 전압이득과 안전성을 향상시켰다. 믹서는 싱글 밸런스 수동 믹서 구조이다. $\times 14$ 주파수 배배기의 출력 신호와 LNA에서 송신된 신호는 믹서를 거쳐 중간 주파수(intermediate frequency: IF) 신호로 출력된다. 하향 변환 신호는 공통 게이트 버퍼 단계에 의해 증폭된다.

2.3 송신기 설계

그림 4는 송신기의 구성도를 보여준다. $\times 14$ 주파수 배배기의 24 GHz 출력신호는 트랜스포머에 의해 전력 증폭기에 결합된다. 첫째 단에서 싱글 엔드형 캐스코드 구조를 사용하여 전압이득과 안전성을 높이고, 둘째 단에서 차동 CS 구조를 사용하여 선형성과 전력을 높였다. 변압

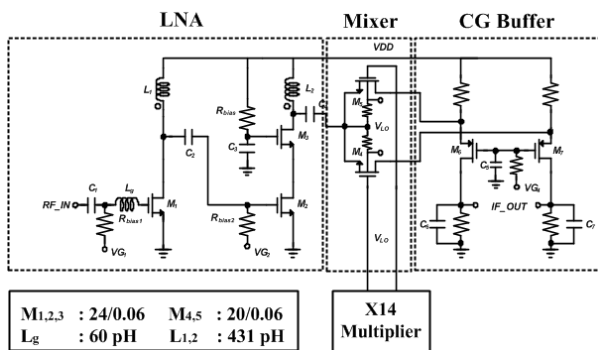


그림 3. 수신기의 구성도
Fig. 3. Schematic of receiver.

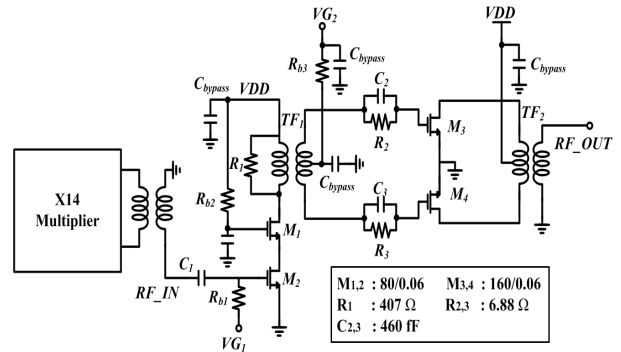


그림 4. 송신기의 구성도
Fig. 4. Schematic of transmitter.

기들은 단계 간의 매칭과 전력 매칭을 위해 사용되었다. 둘째 단의 입력에 저항과 캐패시터를 병렬로 연결하여 낮은 주파수에서 안정성을 향상시켰다.

송수신기는 65-nm CMOS 기술로 집적되었다. 그림 5에서 송수신기 칩은 정전기방지(electrostatic discharge: ESD) 패드를 포함하여 $1.63 \times 1.6 \text{ mm}^2$ 의 크기이다. 송수신기 칩은 DC 바이어싱을 위해 PCB 기판 위에 부착하여 LNA 입력과 전력 증폭기의 출력을 온 웨이퍼 프로빙으로 측정하였다. 주파수 합성기는 그림 6(a), 그림 6(b)에서 볼 수 있듯이 1 MHz 오프셋에서 -90 dBc/Hz , 10 MHz 오프셋에서 -115 dBc/Hz 의 위상 잡음을 가진다. 수신기는 24 GHz에서 25.2 dB의 변환 이득과 -31.7 dBm 의 출력 P_{IDB}

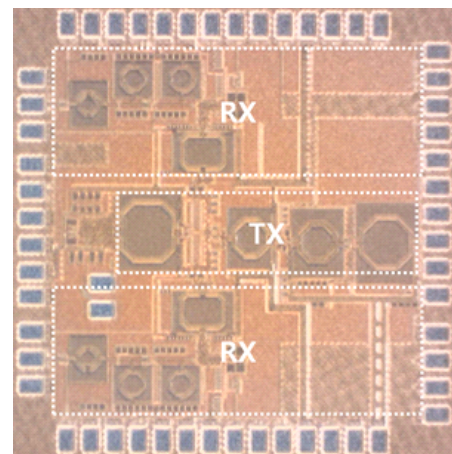
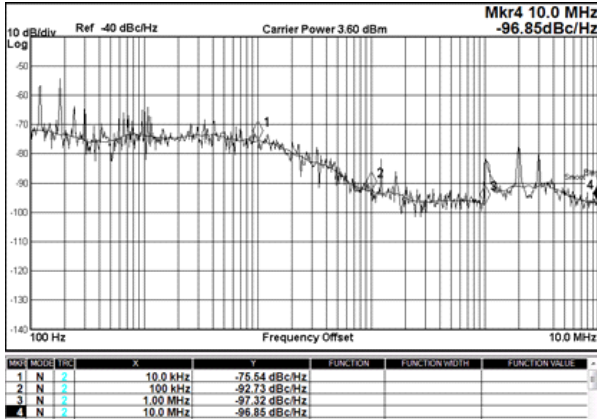
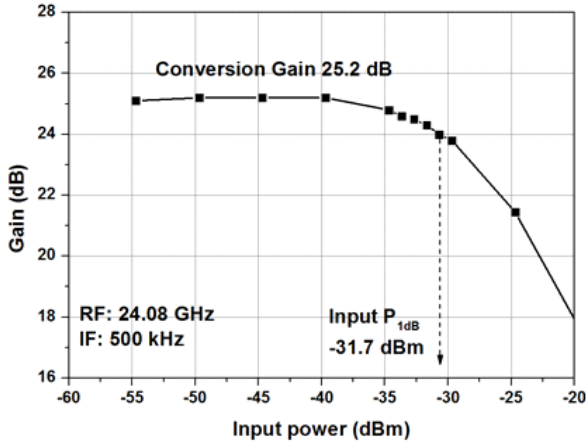


그림 5. 송수신기 칩
Fig. 5. Transceiver chip.



(a) 위상 잡음

(a) Phase noise



(b) 하향 변환 이득

(b) Down conversion gain

그림 6. 송수신기 칩 측정 결과

Fig. 6. Measurement results of transceiver chip.

를 가진다. 전력 증폭기는 14 % 피크 전력 부가 효율 (PAE), 11.8 dBm의 포화 전력과 7.65 dBm의 출력 P_{1dB} 를 가진다. 송수신기는 주파수 합성기에서 168 mW, LNA에서 13.8 mW, 전력 증폭기에서 100 mW를 소모하여 총 295 mW의 전력을 소모한다.

III. 안테나 및 mm파 패키지 설계

3-1 안테나 설계

본 논문에서는 모듈 구성을 쉽게 하기 위해 안테나는 패

치 안테나로 설계하였다. 패치 안테나는 그림 9와 같이 레이다 모듈의 상부에 배치되며, 패턴은 동일한 송수신 안테나를 독립적으로 제작하여 측정하였다. 송수신 패치 안테나의 기판은 2.2의 유전율을 가지고 두께가 15 mil인 Roger 5880 RT Duroid 기판을 사용하였다. 안테나 이득을 증가시키기 위해 송신 단의 안테나는 4×4 패치 배열로 설계하였고, 수신 단의 안테나는 4×2 패치 배열로 설계하였다^{[8],[9]}. 패치 안테나의 폭과 길이는 식 (1), (2)를 이용하여 4.9 mm, 3.9 mm로 설계하였고, 급전은 패치 안테나와 전송선의 임피던스 매칭을 위해 인셋 피딩(inset feeding)을 사용하였다.

$$W = \frac{c}{2f} \sqrt{\frac{2}{\epsilon_r + 1}} = 4.9 \text{ mm} \quad (1)$$

$$L = 0.49 \frac{\lambda}{\sqrt{\epsilon_r}} = 3.9 \text{ mm} \quad (2)$$

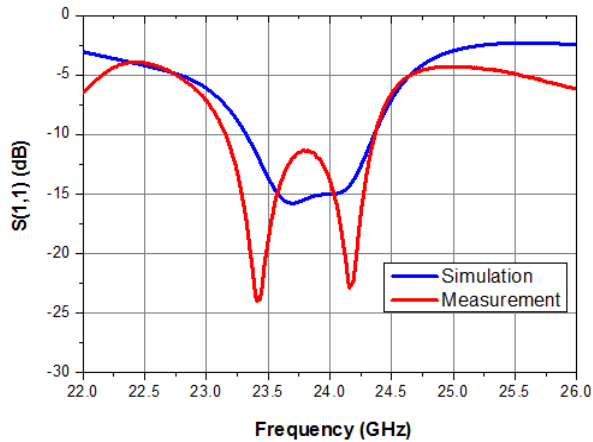
측정은 측정용 송신부와 수신부를 따로 만들어 측정을 진행하였다. 그림 7(a), 그림 7(b)는 송신 단의 안테나 이득과 반사 계수이다. 24 GHz에서 공진점을 형성했고 안테나 이득은 14.76 dBi이다. 그림 8(a), 그림 8(b)는 수신 단의 안테나 이득과 반사 계수이다. 24 GHz에서 공진점을 형성했고, 안테나의 이득은 11.77 dBi이다.

3-2 밀리미터파 패키지 설계

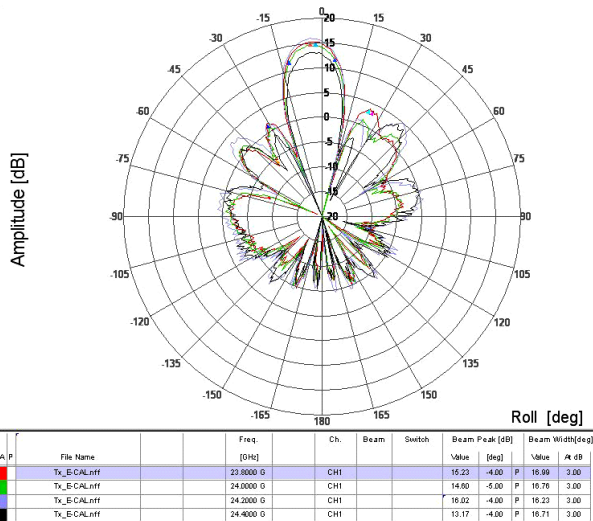
안테나를 통해 송수신되는 신호는 전송선을 통해 칩으로 전달된다. 24 GHz의 고주파 신호가 전달되어야 하기 때문에 안테나, 전송선, 칩 사이의 임피던스 매칭이 필수적이다. 본 논문에서 사용된 CMOS 송수신기 칩의 전력 증폭기와 LNA는 50 Ω 부하 조건을 기준으로 설계되었다. 송수신기의 안테나의 입력 임피던스도 칩의 부하조건을 고려해서 설계했기 때문에 송신 단과 수신 단의 전송선의 특성 임피던스도 50 Ω으로 설계하였다. 그러나 전송선 중간에 꺾이는 부분에서 불연속성이 생기고, 칩과 전송선을 연결하는 본딩 부분에서 인덕턴스 성분이 발생되어 오픈 스태브(open stub) 구조를 사용하여 이를 상쇄시켰다.

IV. 레이다 모듈 설계 및 필드 테스트

그림 9는 제작된 24 GHz 레이다 모듈의 전체 모습을



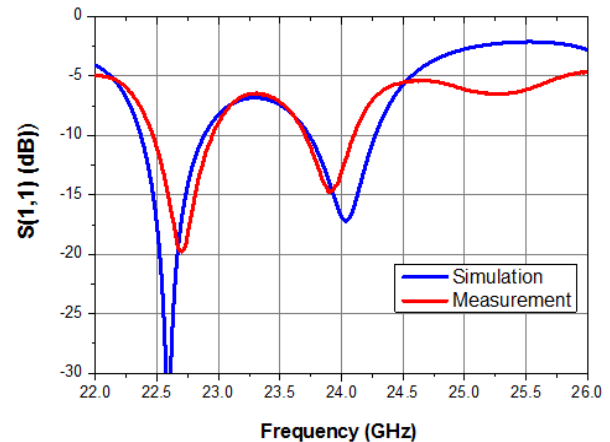
(a) 반사 계수
(a) Reflection coefficient



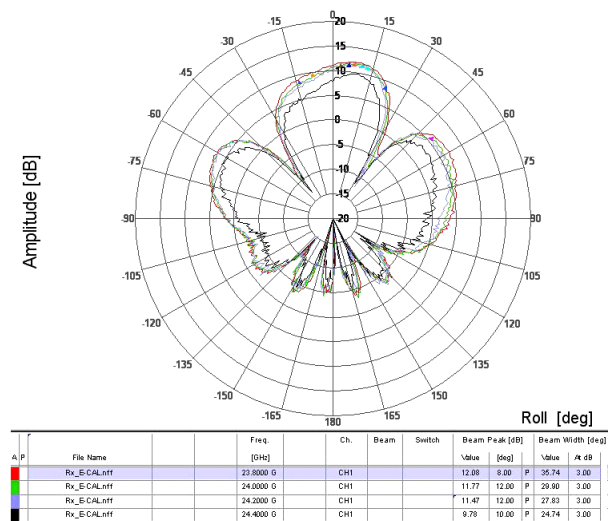
(b) 안테나 이득
(b) Antenna gain

그림 7. 송신 단 4×4 패치 배열 안테나 파라미터
Fig. 7. Parameter of 4×4 patch array antenna in transmitter part.

보여준다. 접합 공정을 통하여 FR4 재질의 바이어스 및 베이스밴드 회로와 듀로이드 기판의 패치 안테나, 레이다 칩 셋 및 전송선을 12.5 cm×10 cm 크기의 단일 기판으로 시스템을 구성하였다. 한 면은 1Tx2Rx 패치 안테나, 레이다 칩 셋 그리고 전송선으로 구성된 저 손실 듀로이드 기판을 나타내며, 반대 면은 FR4 재질의 바이어스 회로와 이득 블록, FMCW 신호 발생 블록으로 구성된다.



(a) 반사 계수
(a) Reflection coefficient



(b) 안테나 이득
(b) Antenna gain

그림 8. 수신 단 4×2 패치 배열 안테나 파라미터
Fig. 8. Parameter of 4×2 patch array antenna in receiver part.

그림 10에서 필드 테스트는 24 GHz FMCW 레이다 모듈을 이용하여 실내에서 측정을 진행하였다. 표적으로 0.35 m², 8.9 m²의 RCS(Radar Cross Section)를 가지는 코너 리플렉터(corner reflector)를 사용하였고, 거리와 코너 리플렉터 종류를 바꿔가며 반사된 신호에서 하향 변환된 IF 신호를 스펙트럼 분석기를 이용하여 확인하였다. 송신 신호는 스위칭 시간 10 msec, 대역폭 250 MHz으로 설정하였

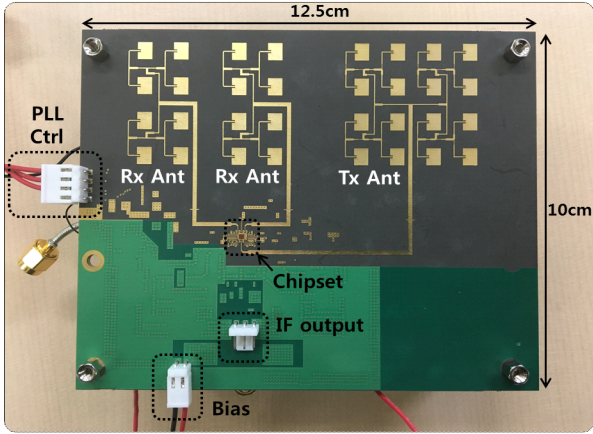


그림 9. 24 GHz FMCW 레이다 모듈
Fig. 9. 24 GHz FMCW radar module.



(a) 거리
(a) Range

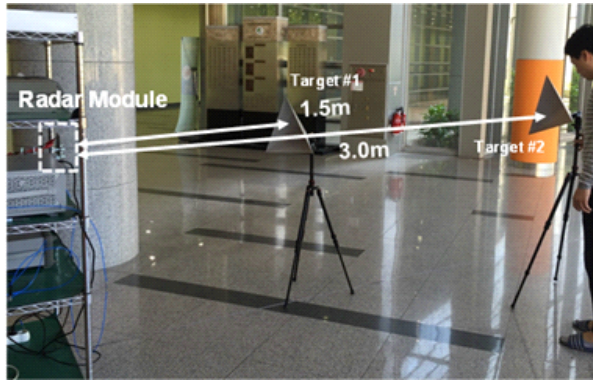
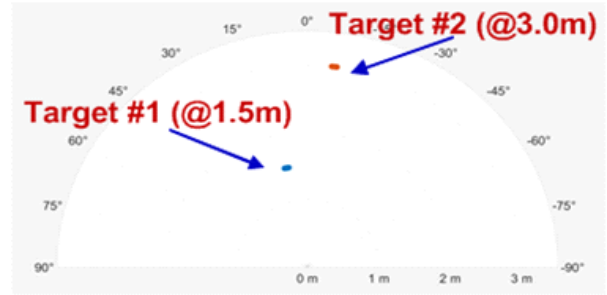


그림 10. 측정 환경
Fig. 10. Measurement environment.



(b) 각도
(b) Angle

그림 11. 측정 결과
Fig. 11. Measurement results.

고, 측정된 IF 신호를 이용하여 표적과의 거리를 계산하였다. 또한 타겟의 각도는 두 송신 안테나에서 측정된 신호들의 위상 차이와 전파 거리 차이의 비를 이용하여 계산하였다.

그림 11(a), (b)는 1.5 m 거리에 0.35 m²의 RCS를 갖는 표적을 놓고, 3 m 거리에 8.9 m²의 RCS를 놓은 후 레이다로 측정한 거리와 각도 측정 결과이다. 각 표적에 대해 거리는 IF 주파수를 이용하여 계산하였고, 2채널 수신기 출력의 위상 차로부터 각도를 추정하였다. 수신 전력은 식 (3)으로 계산된다.

$$P_r = \frac{P_t G_t G_r \lambda^2 \sigma}{64\pi^3 r^4} \quad (3)$$

P_r : 수신 전력

P_t : 송신 전력

G_t : 송신 안테나 이득

G_r : 수신 안테나 이득

σ : 타겟의 RCS

r : 안테나와 타겟 간의 거리

수신 전력에 하향 변환 이득을 더하면 표적 1은 -21.1 dBm, 표적 2는 -17.9 dBm으로 계산값과 측정값이 유사함을 알 수 있다.

V. 결 론

본 논문은 삼성 65-nm CMOS 공정을 이용하여 개발한

24 GHz 1Tx-2Rx FMCW 칩을 설계 및 제작하였다. 또한 송수신 패치 배열 안테나와 자체 제작한 레이더 칩을 저손실 기판 동평면에 배치하고, 저주파의 바이어스 회로 및 FMCW 신호 발생 회로는 FR4 기판에 장착한 후 두 기판을 적층하여 mm파 비아 공정 없이 레이더 모듈을 제작하고 정상 동작을 확인하였다. 2채널 수신기를 내장하여 거리와 함께 표적의 방향각도 측정 가능함을 실험적으로 검증하였다.

References

- [1] H. Krishnaswamy, H. Hashemi, "A 4-channel 4-beam 24-to-26 GHz spatio-temporal RAKE radar transceiver in 90 nm CMOS for vehicular radar applications," in *2010 IEEE International Solid-State Circuits Conference*, San Francisco, CA, Feb. 2010, pp. 214-215.
- [2] R. Ebelt, A. Hamidian, D. Shmakov, T. Zhang, V. Subramanian, and G. Boeck, et al., "Cooperative indoor localization using 24-GHz CMOS radar transceivers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 9, pp. 2193-2203, Sep. 2014.
- [3] G. Pyo, C. Y. Kim, and S. Hong, "Single-antenna FMCW radar CMOS transceiver IC," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 3, pp. 945-954, Mar. 2017.
- [4] S. K. Kim, C. Cui, B. S. Kim, and S. Y. Kim, "A fully-integrated low power K-band radar transceiver in 130 nm CMOS technology," *Journal of Semiconductor Technology and Science*, vol. 12, no. 4, pp. 426-432, Dec. 2012.
- [5] C. Cui, S. K. Kim, R. Song, J. H. Song, S. Nam, and B. S. Kim, "A 77-GHz FMCW radar system using on-chip waveguide feeders in 65-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 11, pp. 3736-3746, Nov. 2015.
- [6] S. C. Yen, T. H. Chu, "An Nth-harmonic oscillator using a N-push coupled oscillator array with voltage-clamping circuits," in *Microwave Symposium Digest, 2003 IEEE MTT-S International*, Jun. 2003, vol. 3, pp. 2169-2172.
- [7] 남병창, 채규수, "24 GHz 대역 CW 레이더 송수신기 설계," *한국산학기술학회논문지*, 10(7), pp. 1532-1535, 2009년.
- [8] 원영진, 이영주, 공영균, 김영수, "자동 주행 차량을 위한 24 GHz 3-beam scan 안테나의 설계 및 제작," *한국전자과학회논문지*, 14(1), pp. 81-88, 2003년 1월.
- [9] 주현모, 박병철, 계영철, 이정해, "단일 급전부를 갖는 레이더 디렉터용 X, K 밴드 배열 안테나," *한국전자과학회논문지*, 23(5), pp. 559-569, 2012년.

김 태 현 [성균관대학교/석사과정]



2017년 2월: 성균관대학교 반도체시스템 공학과 (공학사)
2017년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 석사과정
[주 관심분야] RFIC 레이더 시스템

권 오 윤 [성균관대학교/박사과정]



2011년 2월: 광운대학교 전자재료공학과 (공학사)
2013년 2월: 광운대학교 전자재료공학과 (공학석사)
2014년 9월~현재: 성균관대학교 전자전기 컴퓨터공학과 박사과정
[주 관심분야] RFIC 레이더 시스템

김 준 성 [성균관대학교/석박사 통합과정]



2014년 2월: 광운대학교 전자재료공학과 (공학사)
2014년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석박사 통합과정
[주 관심분야] RFIC 레이더 시스템

김 병 성 [성균관대학교/교수]



1989년 2월: 서울대학교 전자공학과 (공학사)
1991년 2월: 서울대학교 전자공학과 (공학석사)
1997년 2월: 서울대학교 전자공학과 (공학박사)
1997년 3월~현재: 성균관대학교 정보통신대학 교수

[주 관심분야] RFIC 설계, RF 소자모델링

박 재 현 [성균관대학교/석박사 통합과정]



2016년 2월: 성균관대학교 전자전기공학과 (공학사)
2016년 3월~현재: 성균관대학교 전자전기공학과 석박사 통합과정
[주 관심분야] RFIC 레이더 시스템