

레이다용 C-대역 GaN 기반 고출력전력증폭장치 설계 및 제작

Design and Fabrication of C-Band GaN Based on Solid State High Power Amplifier Unit for a Radar System

정형진 · 박지웅 · 진형석 · 임재환 · 박세준 · 강민우 · 강현철*

Hyoung Jin Jung · Ji Woong Park · Hyoung SeokJin · Jae Hwan Lim ·
Se Jun Park · Min Woo Kang · Hyun Chul Kang*

요 약

본 논문에서는 탐색 레이다에서 사용되는 C-대역의 고출력전력증폭장치 및 구성품의 설계, 제작과 측정에 대하여 기술하였다. 반도체 소자인 GaN(질화갈륨)을 적용하여 반도체전력증폭조립체를 설계 및 제작하였고, 설계 제작된 도파관 형태의 송신신호결합조립체를 통해 병렬로 구성된 반도체전력증폭조립체의 송신신호 출력을 결합하여 고출력 송신신호 출력을 발생한다. 제작된 고출력전력증폭장치는 C-대역 500 MHz 대역폭, 최대 10.5 % 듀티, 송신펄스폭 0.0~0.000 μ s에서 송신출력 44.98 kW(76.53 dBm) 이상이다.

Abstract

In this paper, it is presented the result of design and fabrication for C-band solid state high power amplifier unit and components using in search radar. The solid state power amplifier(SSPA) assembly was fabricated using GaN(Gallium Nitride), which is semiconductor device, and the transmit signal output power of the solid state high power amplifier unit is generated by combining the transmit signal power of the solid state power amplifier configured in parallel through a design and fabricated waveguide type transmit signal combine assembler. Designed solid state high power amplifier unit demonstrated C-band 500 MHz bandwidth, maximum 10.5 % duty cycle, transmit pulse width from 0.0 μ s ~ 0.000 μ s, and transmit signal power is 44.98 kW(76.53 dBm).

Key words: Solid State Power Amplifier, SSPA, GaN, C-Band, Search Radar

I. 서 론

최근 레이다 시스템에서 송신신호를 증폭하는 전력증폭기 형태가 진공 소자에서 반도체 소자로 변화하고 있다. 진공관 전력증폭기는 TWT(Travelling Wave Tube), 마그네트론(Magnetron), 클라이스트론(Klystron) 등 단일 송신

기 형태로 송신신호를 증폭할 수 있으나, 낮은 MTBF (Mean Time Between Failure), 수 kV의 높은 동작 전압이 필요하며, 효율성과 신뢰성이 낮은 단점이 있다^{[1],[2]}. 반도체 소자를 이용한 전력증폭기인 SSPA(Solid State Power Amplifier), TRM(Transmitter Receiver Module)의 단일 소자 출력은 진공 소자보다 낮은 수십 V의 비교적 낮은 동작 전압,

LIG넥스원 레이다연구소(Radar R&D Lab., LIGNex1)

*알에프에이치아이씨(RFHIC)

· Manuscript received July, 18, 2017 ; Revised September, 18, 2017 ; Accepted September, 18, 2017. (ID No. 20170718-068)

· Corresponding Author: Hyoung Jin Jung (e-mail: hyoungjin.jung@lignex1.com)

소형화, 경량화 그리고 여러 개의 증폭기를 병렬로 결합하기 때문에 증폭기 일부가 고장이 나더라도 전체 성능에 치명적인 영향을 주지 않고 기능을 수행할 수 있는 장점을 보유하고 있다^{3)[4]}. 또한 반도체 소자를 이용한 증폭기는 진공관 형태의 전력증폭기보다 선형성이 뛰어나며, 고조파(Harmonic) 및 상호변조(Intermodulation) 왜곡현상이 적어 전력을 효과적으로 사용할 수 있다^{5]}.

반도체 소자 중 GaN(Gallium Nitride)는 Wide Band Gap 특성으로 인해 GaAs(Gallium Arsenide), Silicon 소자보다 높은 항복 전압을 가지고 있어 높은 출력과 고효율의 장점을 가질 수 있다. 높은 열전달계수를 가지고 있어 방열에 있어서도 유리하다. 이러한 GaN 소자를 이용하여 높은 출력과 효율을 갖는 반도체 전력증폭기 구현이 가능하게 되었다^{6]}.

본 논문에서는 탐색 레이다용 C-대역 00 kW의 송신출력을 생성하기 위한 GaN 기반의 국내 최초 고출력전력증폭장치를 구현하였다. 고출력전력증폭장치의 구성품은 그림 1과 같이 송신신호분배조립체, 송신신호결합조립체, 고출력전력증폭장치제어조립체와 2.8 kW급 반도체전력증폭조립체 16개로 구성되어 있다. 외부 송수신장치에서 인가 받은 C-대역 펄스형태 RF 신호를 상용 분배기로 구성된 송신신호분배조립체에서 16개로 분기해 16개의 반도체전력증폭조립체의 입력으로 인가하고 반도체전력증폭조립체를 통해 증폭된 송신출력을 도파관 형태 송신신

호 조립체에서 결합하여 목표요구 성능인 00 kW급의 송신출력을 발생하게 된다. 또한 고출력전력증폭장치제어조립체에서는 외부 송수신장치와 RS-422통신을 통해 타이밍, 제어명령 그리고 구성품의 BIT(Built in Test) 정보를 주고받는 역할을 수행한다.

II. 2.8 kW급 반도체전력증폭조립체 설계

본 반도체전력증폭조립체는 C-대역 Pulse 형태의 RF 송신신호를 입력받아 최대 듀티 10.5 %의 펄스신호 2.8 kW(64.74 dBm)의 송신출력을 생성한다. 반도체전력증폭조립체의 구성은 800 W(59.03 dBm)급 4개의 단위전력증폭모듈, 외부에서 입력받은 신호를 단위전력증폭모듈의 입력신호 레벨까지 증폭시키는 구동증폭모듈, 구동증폭모듈 출력을 분배하여 단위전력증폭모듈의 입력으로 전달하기 위한 4-Way분배기로 구성되며, 고출력전력증폭장치제어조립체와 고속의 LVDS(Low Voltage Differential Signaling) 통신을 이용해 송신펄스폭, duty cycle 등 제어명령 및 출력신호감시, 입력전원감시, 온도감시 기능 등과 같은 상태 정보를 송수신하는 제어모듈, 반도체전력증폭조립체 구성품의 전원을 인가 및 생성하는 전원생성모듈과 단위전력증폭모듈의 송신출력을 결합하는 단위전력증폭모듈 송신출력결합기로 구성되어 있으며, 그림 2와 같다. 제작한 반도체전력증폭조립체는 정비성 향상을 위해 내부 기능별 모듈

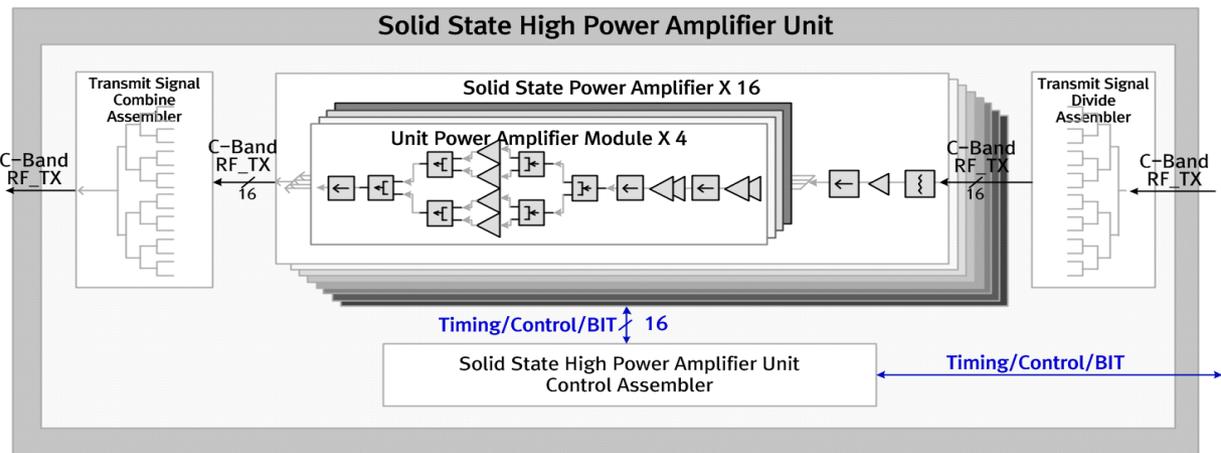


그림 1. 고출력전력증폭장치 기능 블록도
Fig. 1. Block diagram of solid state high power amplifier unit.

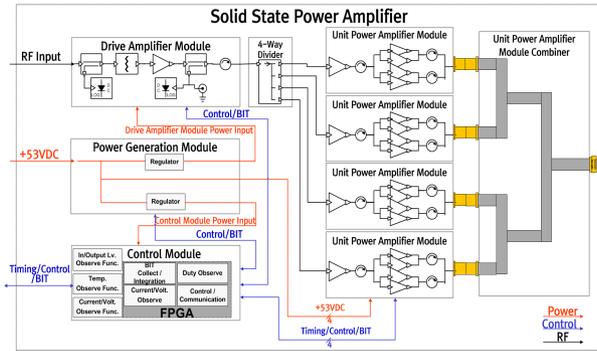


그림 2. 반도체전력증폭조립체 기능 블록도
Fig. 2. Block diagram of solid state power amplifier.

화를 하였으며, 모듈별 고장 유무를 판단하기 위한 BIT 정보를 고툰력전력증폭장치제어조립체에 전송하고, 고장 유무를 반도체전력증폭조립체 전면 LED를 통해 전시한다. 또한 반도체전력증폭조립체를 캐비닛에 쉽게 탈착하기 위해 블라인드 메이트(blind-mate) 형태로 설계하였다(그림 3).

2-1 단위전력증폭모듈 설계 및 제작

단위전력증폭모듈은 800 W(59.03 dBm) 이상 송신출력을 발생하기 위하여 18 dBm 입력신호를 초단, 구동단, 고툰력단을 거쳐 증폭한다. 단위전력증폭모듈은 그림 4와 같이 총 5단으로 RFHIC社의 증폭기로 설계하였다. 초단 증폭기,1,2는 10 W급 증폭기, 구동단증폭기1은 40 W급 증폭기이며, 구동단증폭기2와 고툰력단에 사용되는 전력증

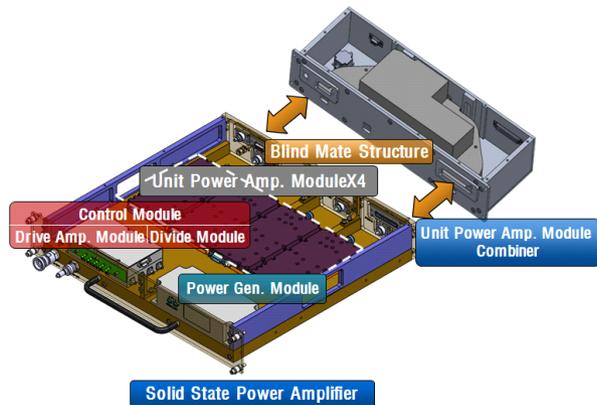
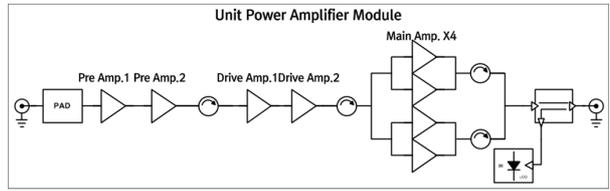


그림 3. 반도체전력증폭기 모델링 형상
Fig. 3. Modeling of solid state power amplifier.



Unit Power Amplifier Module Budget

Item	PF Input	PAD	Pre Amp.1	Pre Amp.2	Isolator	Drive Amp.1	Drive Amp.2	Isolator
Gain (dB)	-	-3	10	10	-0.3	9.8	8.2	-0.3
Output Power (dBm)	18.0	15.0	25.0	35.0	34.7	45.5	52.7	52.4

Item	2-way Divider	2-way Divider	Main Amp.(x4)	2-way Combiner	Isolator	2-way Combiner	Coupler	Output Connector
Gain (dB)	-3.2	-3.2	8.2	2.7	-0.3	2.8	-0.1	-0.2
Output Power (dBm)	49.2	45.9	54.1	56.8	56.5	59.3	59.2	59.0

그림 4. 단위전력증폭모듈 블록도 및 버짓
Fig. 4. The block diagram and budget of unit power amplifier module.

폭기는 240 W급 전력증폭기이다. RFHIC社의 전력증폭기는 Cree社 GaN HEMP 공정을 이용하여 제작한 Bare Die TR과 자체적으로 매칭회로를 설계하여 Package Type으로 제작하였다. 초단 및 구동단의 전력증폭기에서 송신신호를 증폭 후 병렬 구조로 되어 있는 240 W급 4개 고툰력단의 전력증폭기를 통해 800 W 이상 송신신호를 증폭할 수 있도록 구성하였다. 고툰력 증폭기의 최종 출력은 종단 결합기의 손실을 최소화하는 것이 필요하다. 그러므로 T-Junction 타입의 결합기를 사용하여 최종 결합 시의 손실을 최소화 하였다. 고툰력단 후단에 위치한 절연기(isolator)는 단위전력증폭모듈이 정상동작을 하지 않았을 경우, 인접해 정상동작하는 단위전력증폭모듈의 송신출력이 역으로 유입되어 고툰력단 전력증폭기에 손상을 방지하기 위해 배치하였다. 또한 절연기를 병렬구조로 배치해 유입되는 신호를 반으로 감소시켜 절연기의 불량 발생을 방지하였다. 최종단에 위치한 커플러는 단위전력증폭모듈의 출력을 감시하기 위한 용도로 고툰력단 전력증폭기 불량으로 인해 송신출력이 떨어졌을 때 고장 BIT를 발생시켜 고장 유무를 판별할 수 있게 제작하였다.

그림 6과 같이 제작된 단위전력증폭모듈의 설계 목표와 측정치는 표 1과 같다. 그림 6은 단위전력증폭모듈의 송신 출력을 측정한 결과이다. 출력은 설계 목표 대역폭

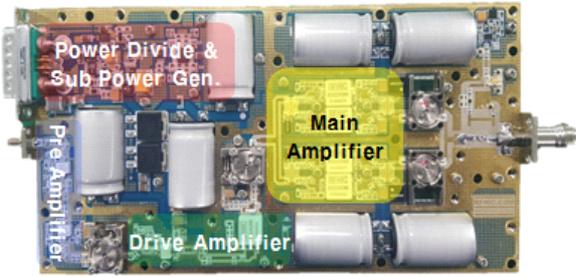


그림 5. 단위전력증폭모듈 제작 사진
Fig. 5. Photo for unit power amplifier module.

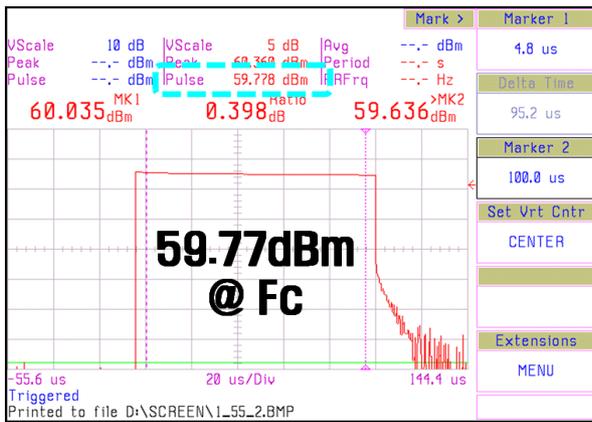


그림 6. 단위전력증폭모듈 송신출력
Fig. 6. The measurement of unit power amplifier module's transmit pulse average power.

표 1. 단위전력증폭모듈 설계 목표 및 측정결과
Table 1. The specification and test result of unit power amplifier module.

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Output power	800 W(59.03 dBm) Over	59.47 dBm @ F_C
Duty	10.5 %	10.5 %
Pulse width	0.0~000 μ s	0.0~000 μ s
Peak power change by freq.	± 0.5 dB under	± 0.265 dB (Max.) @ 000 μ s
Pulse rising / Falling time	30 ns under	7.49 ns /24.32 ns (Max.) @ 0.0 μ s
Harmonic	-45 dBc under	-50.65 dBc (Min.)
Spurious	-60 dBc under	-68.05 dBc (Min.)
Efficiency	15 % over	29.53 %

내에서 10.5 %의 듀티를 가지도록 펄스폭 000 μ s, PRI 1 ms로 송신 시 C-대역 대역폭 500 MHz 중 F_C 에서 59.47 dBm 이상으로 측정되어 송신 성능을 확인하였다. 주파수별 침투전력변화는 송신펄스폭 000 μ s에서 최대 ± 0.265 dB로 측정되었다. 펄스의 상승시간과 하강시간은 송신펄스폭 0.0 μ s에서 각각 7.49 ns, 24.32 ns이다. 고조파는 -50.65 dBc, 불요파는 -68.05 dBc로 측정되었다.

2-2 구동증폭모듈 설계 및 제작

구동증폭모듈은 외부에서 인가되는 반도체전력증폭조립체의 RF 입력신호를 4개의 단위전력증폭모듈의 필요 입력신호 레벨로 증폭하는 기능을 수행한다. 구동증폭모듈의 전력증폭기는 MMIC 형태의 GaAs 전력증폭기로 Pout 29 dBm, 이득 17 dB, PAE 38 %인 Hittite社 HMC406 MS8G를 이용하여 그림 7과 같이 설계하였다. 입출력단의 최종단에 위치한 커플러는 구동증폭모듈의 입출력 신호 레벨을 감시하기 위한 용도로 외부에서 입력되는 RF 신호와 전력증폭기의 상태를 점검하여 고장 BIT로 모듈의 고장 유무를 판별할 수 있게 제작하였다. 또한 출력 모니터링 단자를 반도체전력증폭조립체 전면의 점검단자로 배치하여 장치 외부에서 구동증폭모듈을 점검할 수 있다. 그림 8과 같이 제작된 구동증폭모듈의 설계 목표와 측정치는 표 2와 같다. 구동증폭모듈은 설계 목표 C-대역 대역폭 500 MHz 중 F_C 에서 24.99 dBm 이상으로 측정되어

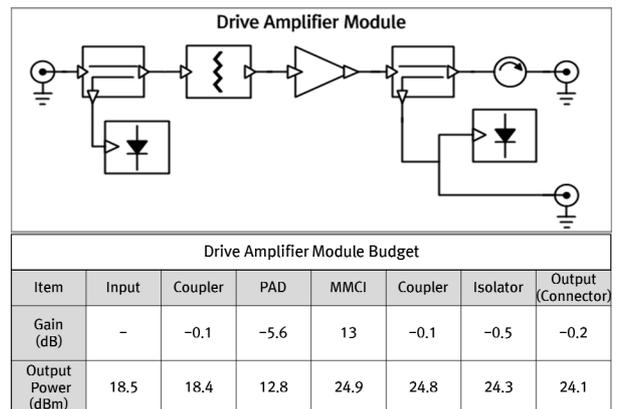


그림 7. 구동증폭모듈 블록도 및 버짓
Fig. 7. The block diagram and budget of drive amplifier module.



그림 8. 구동증폭모듈 제작 사진
Fig. 8. Photo for drive amplifier module.

표 2. 구동증폭모듈 설계 목표 및 측정결과
Table 2. The specification and test result of drive amplifier module.

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Output power	25.1±1 dBm	24.99 dBm @ F_C
Peak power change by freq.	±0.5 dB under	±0.125 dB (Max.)
VSWR	1.5 : 1	1.42 : 1 (Max.)

송신 성능을 확인하였다. 주파수별 첨두전력변화는 최대 ±0.125 dB로 측정되었다. 입출력 VSWR은 최대 1.42:1로 측정되었다.

2-3 제어 및 전원생성모듈 설계 및 제작

제어모듈은 상위 장치 제어기에서 LVDS 통신을 통해 송신펄스폭, duty cycle 등의 제어명령을 받아 반도체전력증폭조립체의 구성품을 제어한다. 과/저 전압감시, 과전류 감시, RF입력신호 감시, 4개의 단위전력증폭모듈 온도 감시, 송신출력 감시, 구동모듈 출력감시, 제어모듈 메모리 점검 및 차단 동작 및 수행 등의 기능을 보유하고 있으며, 그림 9와 같이 제작하였다.

제어모듈의 동작 상태는 일반상태, 보호상태, 안전상태, 비상상태로 4가지 상태로 분류된다. 일반상태는 일반



그림 9. 제어모듈 제작 사진
Fig. 9. Photo for control module.

적으로 반도체전력증폭조립체가 정상 동작하는 상태, 보호상태는 오동작 및 손상이 발생할 수 있는 경우를 일시적으로 보호하는 상태, 안전상태는 반도체전력증폭조립체에 치명적인 손상을 가져올 수 있는 경우, 차단하는 상태이며, 비상상태는 상위 장치에 치명적인 문제를 일으킬 수 있는 조건을 제외한 나머지 차단조건을 해제하는 상태로, 예를 들어 일부 BIT 발생 시 송신을 차단하나, 전시와 같은 특수 상황에는 차단동작을 수행하지 않고 송신 동작을 수행해야 한다.

전원생성모듈은 그림 10과 같이 반도체전력증폭조립체 구성품 전원을 공급 또는 변환하는 기능을 수행한다. 외부 장치에서 입력받은 +50 V 전원을 단위전력증폭모듈에 공급해 주고, 전원을 +8 V, +6 V로 변환해 제어모듈로 공급한다. 또한 4개의 단위전력증폭모듈 과전류 감시, 단위전력증폭모듈 전원 On/Off 기능을 보유하도록 제작하

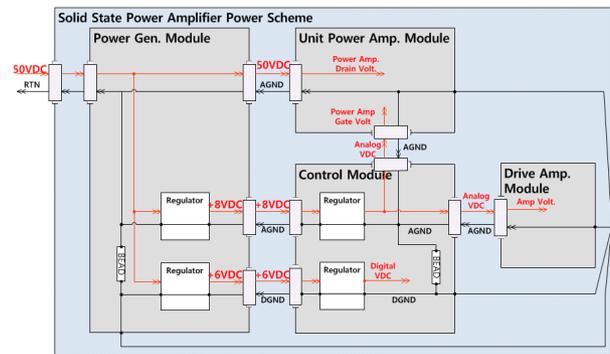


그림 10. 반도체전력증폭조립체 전원계통도
Fig. 10. The power scheme of solid state power amplifier.

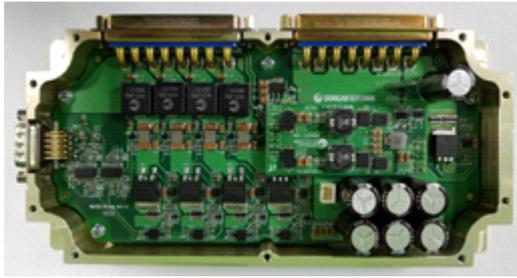


그림 11. 전원생성모듈 제작 사진
Fig. 11. Photo for power generation module.

였다(그림 11).

2.4 단위전력증폭모듈 송신출력결합기 설계 및 제작

단위전력증폭모듈 4개의 출력채널을 결합하기 위해서는 결합기가 필요로 한다. 각 채널 당 800 W에 해당하는 높은 전력을 결합하며, 반도체전력증폭조립체의 효율을 높이기 위해서 삽입손실을 최소화 되어야 한다. 저 손실, 입출력 포트간 임피던스 평형 유지, 채널 간 격리도가 높은 저항성 전력 결합기 구조인 도파관 형태의 Wilkinson combiner를 설계하였다. T-Junction 구조의 전력 결합기는 저 손실로 전력을 결합할 수 있으나, 반도체전력증폭조립체 내부 4개의 단위전력증폭모듈 중 1개의 단위전력증폭모듈이 동작을 하지 않을 경우, 인접한 단위전력증폭모듈의



그림 12. 단위전력증폭모듈 송신출력결합기 시뮬레이션 결과
Fig. 12. The simulation result of unit power amplifier module combiner.

출력이 유입되어서 손상이 발생하는 것을 방지할 수 있다. 또한 Wilkinson combiner 구조로 인해 임의의 단위전력증폭모듈이 동작을 하지 않을 경우, 인접한 단위전력증폭모듈의 출력이 load로 인가되어 발생하는 열을 방열하기 위해 load에 전도성의 구조물을 설치하여 열적 안정성도 확보하였다.

그림 13은 단위전력증폭모듈 송신출력결합기 시뮬레이션 결과이며, 삽입손실은 C-대역 500 MHz에서 0.05 dB 이하의 결과로 설계하였다.

그림 13과 같이 제작된 단위전력증폭모듈 송신출력결합기의 설계 목표와 측정치는 표 3과 같다. 단위전력증폭모듈 송신출력결합기는 설계 목표 C-대역 대역폭 500 MHz 전 채널에서 삽입손실이 0.3 dB 이하, 입출력 VSWR 1.3:1, 채널별이득정합도 ± 0.2 dB 이하, 채널별 위상정합도 $\pm 3^\circ$ 이하로 측정되었다(그림 14).

III. 2.8 kW급 반도체전력증폭조립체 제작 및 측정

반도체전력증폭조립체는 그림 15와 같이 제작을 하였다. 기능별 모듈화로 설계하여 단위전력증폭모듈, 구동증폭모듈, 분배모듈, 제어모듈, 전원생성모듈이 반도체전력증폭조립체를 구성하게 된다. 크기는 522×533×88.5 mm이고, 캐비닛에 쉽게 탈착하기 위해 RF입출력, 전원, 제어 커넥터를 후면에 위치하였으며, 정비성 향상을 위해 블라인드 메이트 커넥터를 적용하였다. 커넥터들이 캐비닛에 정확히 장착되도록 가이드 핀을 배치하여 먼저 반도체전력증폭조립체의 위치를 잡고, 커넥터 암수가 장착되게 제작하였다. 반도체전력증폭조립체 내부에서 발생하는 열로 인

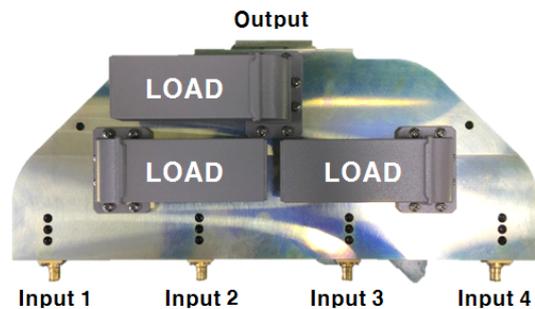


그림 13. 단위전력증폭모듈 송신출력결합기 제작 사진
Fig. 13. Photo for unit power amplifier module combiner.

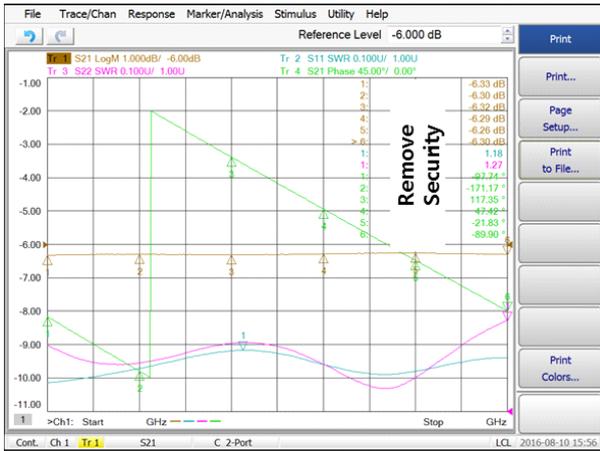


그림 14. 단위전력증폭모듈 송신출력결합기 측정결과
Fig. 14. The measurement of unit power amplifier module combiner.

표 3. 단위전력증폭모듈 송신출력결합기 설계 목표 및 측정결과

Table 3. The specification and test result of unit power amplifier module combiner.

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Number of input channels	4 EA	4EA
Insertion loss	0.5 dB under	0.3 dB under
VSWR	1.5 : 1 under	1.3 : 1 (Max.)
Gain accuracy by channels	± 0.5 dB under	± 0.2 dB under
Phase accuracy by channels	± 5° under	± 3° under

하여 발생하는 RF 증폭기 이득이 저하, 구성부품 수명 단축 등의 문제를 방지하며, 효과적으로 방열하기 위해 조립체 내부 구성품의 발열량을 계산하고, 기계구조적 시뮬레이션을 진행하여 냉각방식을 수랭으로 하였다(그림 16). 조립체 내부로 입력되는 냉각유체의 관로는 전면에 배치하였고, 이 또한 쿼커플러를 이용해 관로 탈착에 용이도록 설계하였다.

제작된 반도체전력증폭조립체의 설계목표와 측정결과는 표 4와 같다. 출력은 설계 목표 대역폭 내에서 10.5%의 듀티를 가지도록 펄스폭 000 μs, PRI 1 ms로 송신

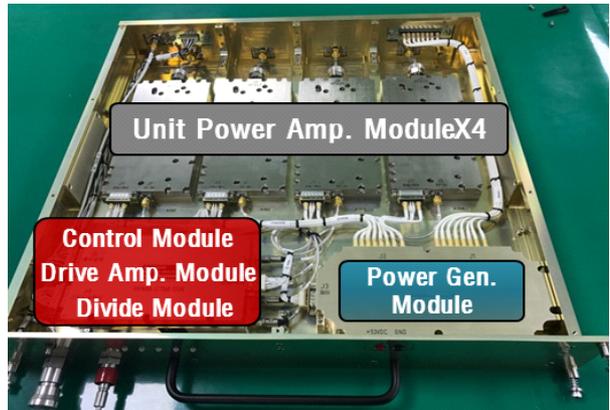


그림 15. 반도체전력증폭조립체 제작 사진
Fig. 15. Photo for solid state power amplifier.

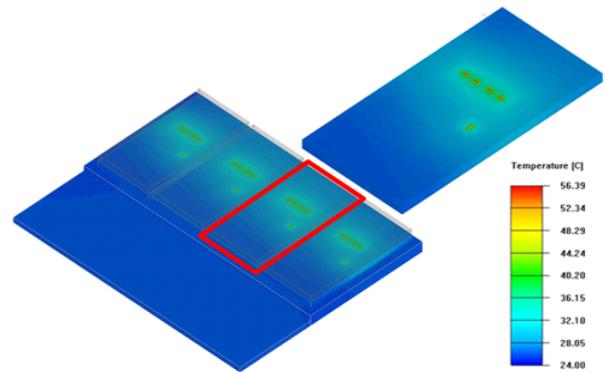


그림 16. 반도체전력증폭조립체 열 해석
Fig. 16. The thermal analysis of solid state power amplifier.

시 C-대역 대역폭 500 MHz 중 F_C 에서 65.4 dBm으로 측정되어 송신 성능을 확인하였다(그림 17). 고조파는 -63.72 dBc, 불요파는 -69.79 dBc로 측정되었다. 또한, 송신기의 펄스 간 안정도는 송신펄스 신호의 크기와 위상변화량을 측정하며, 변화량이 적을수록 펄스 간 안정도는 개선된다. 펄스간 안정도를 측정과 계산하여 MTI(Moving Target Indication) 개선도를 얻을 수 있으며, 레이다 시스템에서 MTI 향상은 클러터와 타깃을 구별할 수 있는 능력이 향상되는 것이다. MTI 개선도는 식 (1)에 의해 분석된다^[10].

$$\frac{I}{I_F} = \frac{1}{I_1} + \frac{1}{I_2} + \frac{1}{I_3} + \frac{1}{I_4} + \frac{1}{I_5} + \frac{1}{I_6} + \frac{1}{I_7} \quad (1)$$

여기서, I_1 : Pulse to pulse phase change

- I_2 : Pulse to pulse amplitude change
- I_3 : Pulse width
- I_4 : Pulse timing
- I_5 : Frequency change of STALO
- I_6 : Phase change of STALO
- I_7 : Quantization noise of DAC

이 중 송신기와 관련된 요소는 I_1 과 I_2 이며, 이들 조합으로부터 반도체전력증폭조립체의 펄스 간 안정도를 계산할 수 있다. I_1 과 I_2 는 식 (2), (3)으로부터 구할 수 있다.

$$I_1 = 20\log[1/\Delta\Phi] \quad (2)$$

여기서, $\Delta\Phi$: Interpulse phase change[radian]

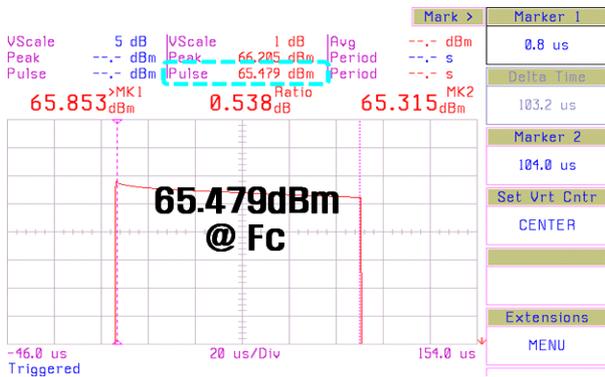


그림 17. 반도체전력증폭조립체 송신출력
Fig. 17. The measurement of solid state power amplifier's transmit pulse average power.

$$I_2 = 20\log[A/\Delta A] \quad (3)$$

여기서, A : Pulse amplitude [V]

ΔA : Interpulse amplitude change[V]

식 (2)와 (3)에 입력되는 $\Delta\Phi$ 와 ΔA 는 그림 18에서 측정된 송신 펄스 간 크기와 위상의 표준편차를 적용하게 되면 각각 75 dB 이상의 MTI 개선도를 얻을 수 있다. 또한 최대 듀티 10.5 %에서 반도체전력증폭조립체 내부 최대 온도는 40°C 이하의 결과를 확인하였다.

국내 레이더용 SSPA는 GaN를 이용하여 S-대역 SSPA 4 kW, X-대역 SSPA 300 W 개발 성과가 있었으나, C-대역

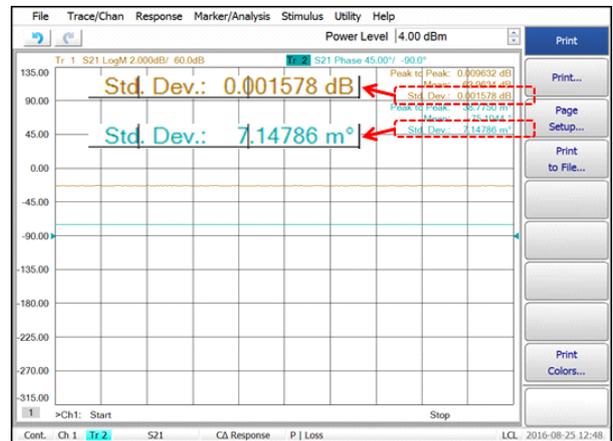


그림 18. 송신펄스 안정도 측정결과
Fig. 18. The measurements of transmit pulse stability.

표 4. 반도체전력증폭조립체 설계 목표 및 측정결과

Table 4. The specification and test result of solid state power amplifier.

Item	Target	Measurement	Ref. [7]	Ref. [8]	Ref. [9]
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz	S-Band	S-Band	X-Band
Output power	2.8 kW (64.4 dBm) Over	3.46 kW (65.4 dBm) @ F_C	4 kW	1.8 kW	300 W
Duty	10.5 %	10.5 %	10 %	10 %	26 %
Pulse width	0.0 μs ~ 000 μs	0.0 μs ~ 000 μs	200 μs	100 μs	50 ns ~ 100 μs
Harmonic	-45 dBc Under	-63.72 dBc (Min.)	-	-	-
Spurious	-60 dBc Under	-69.79 dBc (Min.)	-	-	-
VSWR	1.5:1 Under	1.37:1 (Max.)	-	-	-
Inter Pulse stability	Amplitude / Phase 60 dB Over	75.25/78.26 dB	-	-	77.19/74.33 dB
Efficiency	20 % Over	29.2 %	25 %	25 %	-

의 2.8 kW 이상의 송신출력을 내는 모듈화 형식의 반도체 전력증폭조립체는 본 연구에서 국내 최초로 개발되었다.

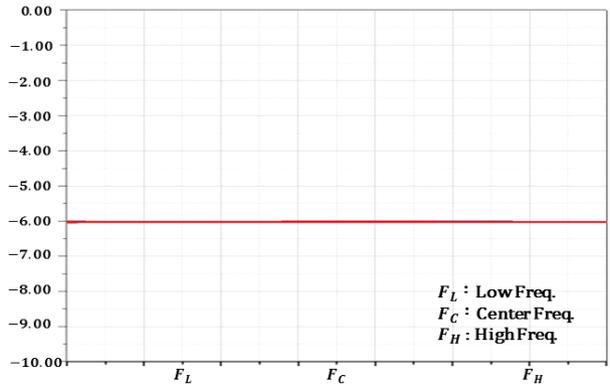
IV. 송신신호결합조립체 설계 및 제작

송신신호결합조립체는 16개의 반도체전력증폭조립체의 송신출력을 결합하여 목표 송신출력 00 kW를 생성하는 기능을 하며, 4개의 SSPA 결합모듈과 1개의 도파관결합 모듈로 구성되어 있고 2.8 kW 이상 반도체전력증폭조립체의 높은 전력을 결합하기 위해 결합 형태에서 발생하는 입력포트간 격리도 성능, 결합기 입력 케이블의 Power rating, 발열문제를 해결 및 송신출력의 결합손실을 최소화 할 수 있도록 도파관 형태의 T-Junction 구조의 전력 결합기로 설계를 하였다. 그림 19는 SSPA 결합모듈, 도파관결합 모듈의 시뮬레이션 결과이며, 삽입손실은 목표 주파수대역 500 MHz에서 0.03 dB 이하의 결과로 설계하였다.

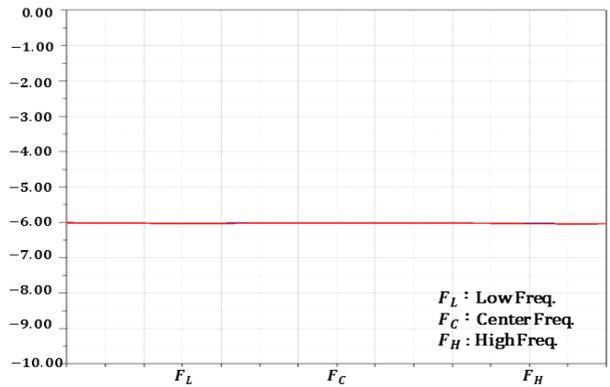
그림 20과 같이 제작된 SSPA 결합모듈과 도파관결합 모듈의 설계 목표와 측정치는 표 5와 같다. SSPA 결합모듈은 설계 목표 C-대역 대역폭 500 MHz 전 채널에서 삽입손실이 0.29 dB 이하, 입출력 VSWR 각각 5.92 :1, 1.22:1, 채널별 이득정합도 ± 0.23 dB 이하, 채널별 위상정합도 $\pm 3.8^\circ$ 이하로 측정되었으며, 도파관결합모듈은 설계 목표 C-대역 대역폭 500 MHz 전 채널에서 삽입손실이 0.71 dB 이하, 입출력 VSWR 각각 6.47 :1, 1.23:1, 채널별이득정합도 ± 0.23 dB 이하, 채널별 위상정합도 $\pm 1.92^\circ$ 이하로 측정되었다(그림 21).

V. 고출력전력증폭장치 제작 및 측정

고출력전력증폭장치는 그림 22와 같이 크기 1155×1869×950 mm³로 제작을 하였다. 실내 장비이며, 이동성을 고려해 캐비닛 형태로 설계하였으며, 고출력전력증폭장치 전면에서 16개 블라인트메이트 형태의 반도체전력증폭조립체와 이를 제어 및 BIT 취합하는 고출력전력증폭장치 제어조립체를 직접 장착할 수 있는 구조로 제작하였다. 조립체의 장착 시 기계적으로 정확히 장착될 수 있게 가이드핀 및 레일을 캐비닛에 포함하였다. 송신신호결합조립체도 캐비닛 내부에 기계구조물을 통해 고정되어 있으며, 캐비닛 최상단에 송풍기를 위해서 캐비닛 내부 공기를



(a) SSPA 결합모듈 삽입손실 S_{21} (dB)
(a) The insertion loss S_{21} (dB) of SSPA combine module



(b) 도파관결합모듈 삽입손실 S_{21} (dB)
(b) The insertion loss S_{21} (dB) of waveguide combine module

그림 19. 송신신호결합조립체 시뮬레이션 결과
Fig. 19. The simulation result of transmit signal combine assembler.

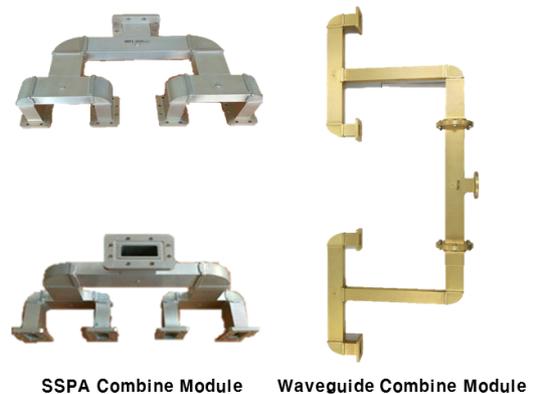
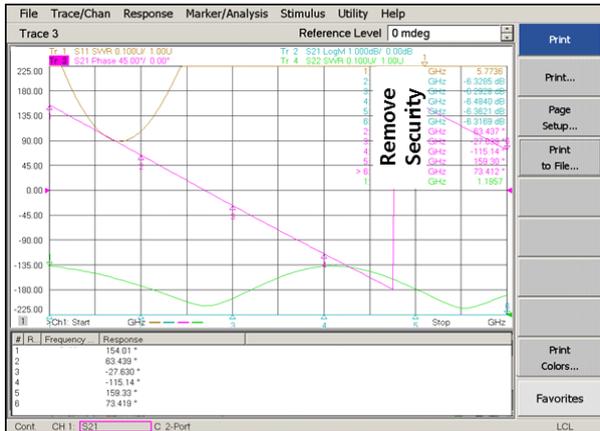
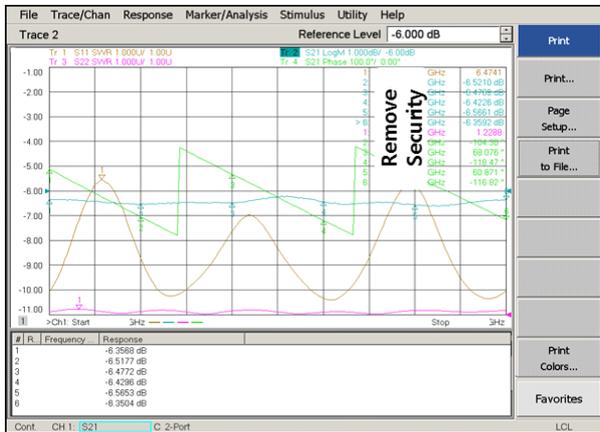


그림 20. 송신신호결합조립체 제작 사진
Fig. 20. Photo for transmit signal combine assembler.



(a) SSPA 결합모듈
(a) SSPA combine module



(b) 도파관결합모듈
(b) Waveguide combine module

그림 21. 송신신호결합조립체 측정결과
Fig. 21. The measurement of transmit signal combine assembler.

대류하는 역할을 수행하게 된다. 전원, 입력 RF 신호, 제어 신호는 캐비닛 후면에서 장치 내부로 입력된다. 또한 반도체전력증폭조립체의 방열을 위한 냉각유체도 캐비닛 후면에서 입력받아 기계적인 설계를 거쳐 동일한 유량으로 분배해 캐비닛 전면 호스를 통해 반도체전력증폭조립체 전면으로 공급된다(그림 23).

제작된 고출력전력증폭장치의 설계목표와 측정결과를 표 6과 같다. 출력은 설계 목표 대역폭 내에서 10.5 %의 듀티로 송신 시 C-대역 대역폭 500 MHz 중 F_C 에서 44.98 kW(76.53 dBm)으로 측정되어 목표규격 00 kW 이상의

표 5. 송신신호결합조립체 설계 목표 및 측정결과
Table 5. The specification and test result of transmit signal combine assembler.

SSPA combine module

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Number of input channels	4 EA	4 EA
Insertion loss	1 dB Under	0.67 dB under
VSWR	6.5:1 / 1.5:1 under	5.92:1 / 1.22:1 (Max.)
Gain accuracy by channels	± 0.5 dB under	± 0.23 dB under
Phase accuracy by channels	± 5° under	± 3.8° under

Waveguide combine module

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Number of input channels	4 EA	4 EA
Insertion loss	1 dB Under	0.71 dB under
VSWR	6.5:1 / 1.5:1 Under	6.47:1 / 1.23:1 (Max.)
Gain accuracy by channels	± 0.5 dB Under	± 0.23 dB under
Phase accuracy by channels	± 5° Under	± 1.92° under

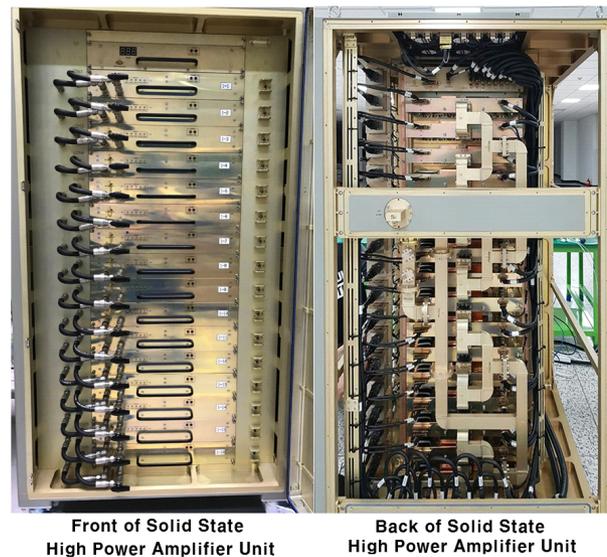


그림 22. 고출력전력증폭장치 제작 사진
Fig. 22. Photo for solid state high power amplifier unit.

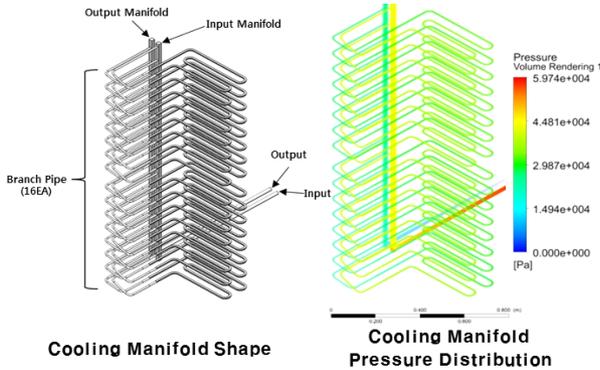


그림 23. 고출력전력증폭장치 냉각유체 유동 해석
 Fig. 23. The flow analysis of solid state high power amplifier unit's cooling fluid.

표 6. 고출력전력증폭장치 설계 목표 및 측정결과
 Table 6. The specification and test result of solid state high power amplifier unit.

Item	Target	Measurement
Freq./ Bandwidth	C-Band 500 MHz	C-Band 500 MHz
Output power	OO kW Over	44.98 kW (76.53 dBm) @ F_C
Duty	10.5 %	10.5 %
Pulse width	0.0 μ s ~ 000 μ s	0.0 μ s ~ 000 μ s
Peak power change by freq.	± 0.5 dB under	± 0.14 dB @ 000us (Max.)
Pulse rising / Falling time	30 ns under	6.1 ns / 21.1 ns @ 0.0 μ s (Max.)
Harmonic	-50 dBc under	-62.90 dBc (Min.)
Spurious	-60 dBc under	-69.54 dBc (Min.)
VSWR	1.5:1 under	1.43:1/1.41:1 (Max.)
Inter pulse stability	Amplitude / Phase 60 dB Over	62.79 / 64.04 dB

송신 성능을 확인하였다. 주파수별 침투전력변화는 송신 펄스폭 000 μ s에서 최대 ± 0.14 dB로 측정되었으며, 고조파는 -62.90 dBc, 불요파는 -69.54 dBc로 측정되었다. 펄스안정도는 각각 62.79, 64.04 dB의 결과를 확인하였다(그림 24).

VI. 결 론

본 논문에서는 레이더 시스템에 적용할 C-대역의 GaN

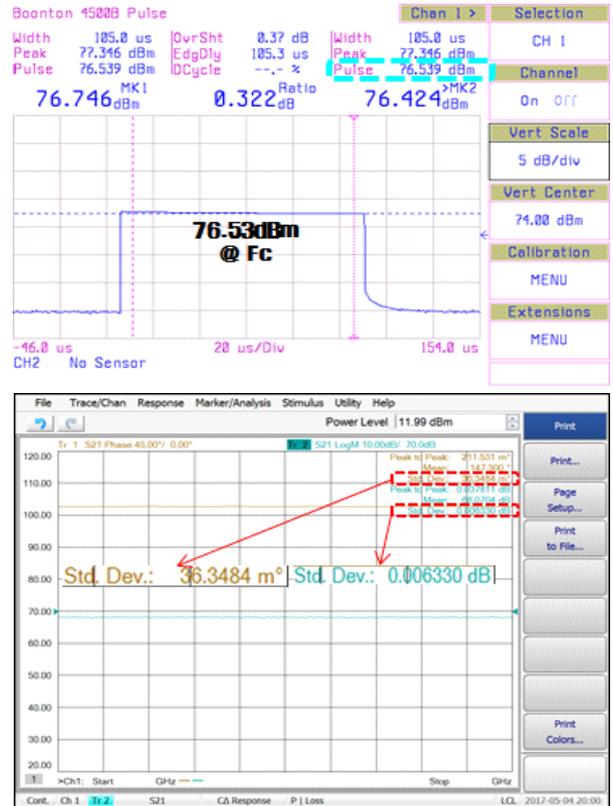


그림 24. 고출력전력증폭장치 측정결과
 Fig. 24. The measurement of solid state high power amplifier unit.

반도체 소자를 이용하여 44.98 kW의 송신출력을 내는 고출력전력증폭장치를 설계 및 제작하였다. GaN 기반 16개의 2.8 kW급 반도체전력증폭조립체의 송신출력을 설계 및 제작한 도파관 형태의 송신신호결합조립체를 통해 결합하여 목표성능 10.5 % Duty, 송신펄스폭 0.0~000 μ s에서 44.98 kW급의 송신출력을 증폭하였다.

표 4에서 기 개발된 반도체전력증폭기와 본 연구를 통해 제작한 반도체전력증폭조립체와 성능을 비교하였을 때, C-대역의 2.8 kW 이상의 송신출력 반도체증폭기는 본 연구에서 국내 최초로 제작이 되었으며, 이 반도체전력증폭조립체의 송신출력을 결합한 44.98 kW급의 C-대역 고출력전력증폭장치 또한 국내 최초로 제작이 되었다. 기존 진공관 전력증폭기를 이용해 송신신호를 증폭한 레이더 시스템에서 낮은 동작 전압, 소형화, 경량화 그리고 일부가 고장이 나더라도 전체 성능에 치명적인 영향을 주지 않

고, 기능을 수행할 수 있는 장점을 보유한 반도체 전력증폭 방식으로 성능 개선에 유용할 것으로 기대된다.

References

- [1] A. Mizuhara, "Bandwidth and group delay extension for an X-band 250 kW C W klystron for JPL/NASA deep space radar", *IEEE International Vacuum Electronics Conf.*, pp. 77-88, Apr. 2004.
- [2] R. Dionisio, G. Andriolo, "High power X-band helix TWT for airborne radar applications", *IEEE International Vacuum Electronics Conf.*, pp. 357-358, Apr. 2002.
- [3] Michael Hanczor, Mahesh Kumar, "12-kW S-band solid-state transmitter for modern radar system", *IEEE Transactions on Microwave Theory and Techniques*, vol. 41, no. 12, pp. 2237-2242, 1993.
- [4] A. R. Barnes, M. T. Moore, M. B. Allenson, and R. G. Davis, "A compact 6 to 18 GHz power amplifier module with 10 W output power", *1999 IEEE MTT-S International Microwave Symposium Digest*, Anaheim, USA, vol. 3, pp. 959-962, Jun. 1999.
- [5] 김민수, 이춘성, 이상록, 이영철, "X-대역 펄스압축 solid state radar를 위한 200W SSPA 개발", *대한전자공학회 논문지*, 46(12), pp.22-29, 2009년 12월.
- [6] U. K. Mishra, P. Parikh, and Wu Yi-Feng, "AlGaIn/GaN HEMTs-an overview of device operation applications", *Proc. of IEEE*, vol. 90. no. 6, pp. 1022-1031, Jun. 2002.
- [7] 이정원, 임재환, 강명일, 한재섭, 김종필, 이수호, "레이더용 S대역 GaN 반도체 전력 증폭 장치 설계 및 제작", *한국전자과학기술논문지*, 22(12), pp.1139-1147, 2011년 12월.
- [8] K. H. Kim, Y. R. Lee, and J. H. Joo, "1.5 kW S-band solid-state pulsed power amplifier with digitally controlled automatic gain equalizer circuit", *Proceedings of Asia-Pacific Microwave Conference*, 2006.
- [9] 허전, 진형석, 장호기, 김보균, 조숙희, "선박 레이더용 X-대역 300 W급 GaN HEMT 반도체 전력 증폭 장치 설계 및 제작", *한국전자과학기술논문지*, 23(11), pp. 1239-1247, 2012년 11월.
- [10] 임재환, 진형석, 유성현, 박종선, 김태훈, 임덕희, "레이더용 X대역 GaN 반도체 송수신기 설계 및 제작", *한국전자과학기술논문지* 25(2), pp.172-182, 2014년 2월.

정 형 진



2013년 2월: 연세대학교 전기전자공학과 (공학석사)
 2013년 1월~현재: LIG넥스원 레이더연구소 선임연구원
 [주 관심분야] RF Power Amplifier, 디지털 레이더 송수신 하드웨어 등

박 지 응



1998년 2월: 한양대학교 전파공학과 (공학석사)
 1998년 3월~현재: LIG넥스원 레이더연구소 수석연구원
 [주 관심분야] 초고주파 능동 회로 및 송수신기 설계, 디지털레이더 시스템 등

진 형 석



2000년 8월: 광운대학교 전자공학과 (공학석사)
2000년 8월~현재: LIG넥스원 레이더연구소 수석연구원
[주 관심분야] 초고주파 능동 회로 및 송수신기 설계, 디지털레이더 시스템 등

강 민 우



2012년 2월: 단국대학교 전기공학과 (공학사)
2013년 1월~현재: LIG넥스원 레이더연구소 선임연구원
[주 관심분야] 송수신모듈 회로설계, 디지털레이더 송수신 하드웨어 등

임 재 환



2006년 2월: 연세대학교 전기전자공학과 (공학석사)
2006년 2월~2008년 1월: 삼성전자 무선사업부
2008년 2월~현재: LIG넥스원 레이더연구소 수석연구원
[주 관심분야] 초고주파 능동 회로 및 송수신기 설계, 디지털레이더 송수신 하드웨어 등

강 현 철



1998년 2월: 경기대학교 전자공학과 (공학사)
1999년 1월~2000년 11월: 테크메이트
2000년 12월~현재: RFIC 연구기획실장
[주 관심분야] RF Power Amplifier, 레이더 시스템

박 세 준



2013년 2월: 경북대학교 전자공학부 (공학사)
2013년 1월~현재: LIG넥스원 레이더연구소 선임연구원
[주 관심분야] 송수신모듈 회로설계, 디지털레이더 송수신 하드웨어 등