

차동 저 잡음 증폭기의 입력 발룬 설계 최적화 기법

Input Balun Design Method for CMOS Differential LNA

윤 재 혁

Jae-Hyuk Yoon

요 약

본 논문에서 제시하는 내용은 수신단의 관문 역할을 담당하는 차동 저 잡음 증폭기를 구현 시, 필연적으로 설계가 필요한 발룬에 대한 분석 내용이다. 발룬은 안테나로부터 입력된 단일 신호를 차동 신호로 변환시켜줌으로써 차동 증폭기의 입력으로 사용될 수 있도록 하는 역할을 담당한다. 이 뿐만 아니라, 안테나를 통해서 들어오는 ESD(Electrostatic Discharge)로부터 회로를 보호하고, 입력 정합에 도움을 준다. 하지만, 일반적으로 사용되는 수동형 발룬의 경우, 두 금속선 사이에 형성되는 전자기적 결합을 통해 교류 신호를 전달하는 방식이므로 이득없이 손실을 가지게 될 뿐 아니라 결론적으로 수신단 전체 잡음 지수 저하에 가장 큰 영향을 미치게 된다. 그러므로, 저 잡음 증폭기에서 발룬의 설계는 매우 중요하며, 선로의 폭, 선로 간격, 권선수, 반경, 그리고 레이아웃의 대칭 구조 등을 고려하여 높은 양호도(quality factor)와 차동 신호의 역위상을 만들어내야만 한다. 본문에서 발룬의 양호도를 높이기 위해 고려해야할 요소들을 정리하고, 설계 요소변경에 따른 발룬의 저항, 인덕턴스, 그리고 캐패시턴스의 변화 경향성을 분석하였다. 분석 결과를 바탕으로 입력 발룬을 설계함으로써 이득 24 dB, 잡음 지수 2.51 dB의 저잡음, 고 이득 차동 증폭기 설계가 가능함을 증명하였다.

Abstract

In this paper, the analysis of baluns that are inevitably required to design a differential low noise amplifier, The balun converts a single signal input from the antenna into a differential signal, which serves as an input to the differential amplifier. In addition, it protects the circuit from ESD(Electrostatic Discharge) coming through the antenna and helps with input matching. However, in the case of a passive balun used in general, since the AC signal is transmitted through electromagnetic coupling formed between two metal lines, it not only has loss without gain but also has the greatest influence on the total noise figure of the receiving end. Therefore, the design of a balun in a low-noise amplifier is very important, and it is important to design a balun in consideration of line width, line spacing, winding, radius, and layout symmetry that are necessary. In this paper, the factors to be considered for improving the quality factor of balun are summarized, and the tendency of variation of resistance, inductance, and capacitance of the balun according to design element change is analyzed. Based on the analysis results, it is proved that the design of input balun allows the design of low noise, high gain differential amplifier with gain of 24 dB and noise figure of 2.51 dB.

Key words: Balun, LNA, Differential, Phase Difference, Radar

I. 서 론

오늘날 반도체 공정 기술의 발달과 레이더 분야 또는

「이 연구는 국방과학연구소 연구비의 지원으로 연구되었음.」

국방과학연구소(Agency for Defence Development)

· Manuscript received March 20, 2017 ; Revised April 28, 2017 ; Accepted May 10, 2017. (ID No. 20170320-023)

· Corresponding Author: Jae-Hyuk Yoon (e-mail: jh_yoon@add.re.kr)

무선 통신 분야의 송수신기 소형화 및 가격 인하 추세로 인하여 CMOS(Complementary Metal-Oxide Semiconductor)를 이용한 집적회로의 연구가 활발히 진행되고 있다. 매우 다양한 응용 분야의 출현으로 RF front-end 설계의 수요가 폭발적으로 증가하고 있으며, 이러한 수요에 따라 CMOS 공정을 이용한 RF 회로는 아날로그 회로 및 디지털 회로와의 집적화의 장점을 가지기 때문에 가격 인하, 면적 감소와 같은 장점에 의하여 중요성이 증가하는 실정이다. 수신단의 첫 번째 관문 역할을 하는 저 잡음 증폭기는 안테나를 통해 입력된 미약한 신호를 추가적인 잡음발생 없이 증폭하여 수신단에서 무사히 검출될 수 있도록 하는 역할을 한다. 이 때, 수신단의 잡음지수가 중요하게 되는데, 이는 수신된 소신호에 잡음이 더해지게 되면 미약해진 신호가 잡음 신호에 의해 검출하기 어려워지기 때문이다. 그러므로 저 잡음 증폭기라는 이름과 마찬가지로 추가적인 잡음을 최소화하며, 수신된 신호만을 증폭하는 것이 주된 역할이라 할 수 있다. 이러한 저 잡음 증폭기에서 차동 구조가 필요한 이유도 이와 같은 맥락에서 기인한다. 이론적으로 잡음지수가 상대적으로 낮은 단일 신호 구조는 외부로부터의 영향인 전원, 접지, 외부 회로 등으로부터 입력되는 잡음에 대한 면역력이 약하다. RFIC는 아날로그, 디지털 회로단과 통합되어 동작함에 따라 단독 회로 설계 및 검증을 통해 얻은 결과와 다르게 실제로 외부로부터 잡음 및 간섭에 영향으로 성능이 저하될 수 있다. 하지만, 차동 신호 구조의 경우, 외부로부터 들어온 잡음이나 간섭에 대해서 공통모드 동작을 통해 제거할 수 있을 뿐 아니라, 짝수 차 고조파 제거와 같은 추가적인 이점을 취하고, 단일 신호 구조에 비해 약 2배의 이득 값을 얻을 수 있는 장점이 있다. 이러한 장점을 취하기 위해선 단일 신호를 차동 신호로 변환하는 발룬의 역할이 커지며, 본문에서 발룬의 설계에서 중요한 요소인 양호도(quality factor)와 차동 신호간의 위상차 분석을 통해 차동 저 잡음 증폭기를 구현하는 방법을 소개한다.

II. 수동발룬의 특성 분석

2-1 양호도

안테나로부터 입력된 단일 신호는 차동 증폭기의 입력

으로 사용되기 위하여 차동 신호로 변환되어야만 한다. 이러한 기능을 수행하는 소자를 발룬이라 부르며, 발룬은 크게 수동형 발룬과 능동형 발룬으로 구분된다. 본 논문에선 수동형 발룬 분석에 초점을 맞추어 소개하고자 한다. 수동형 발룬은 교류 신호에 의해 발생하는 자기장 결합을 통해 신호를 전달하며, 회로단에서 구성되는 위치에 따라 입력 혹은 출력 정합 역할을 수행하고, 외부로부터의 ESD(Electrostatic Discharge) 방지 역할 또한 수행한다. 하지만, 높지 않은 주파수 대역에서 동작하는 회로 상에서 큰 면적을 차지하게 되어 비용이 증가할 뿐 아니라, 회로 내부에 구현된 발룬의 경우 CMOS 반도체 공정의 문제점인 기판의 낮은 저항에 의해 손실이 더욱 가중된다. 그 이유는 발룬의 금속선에 교류 신호가 흐르게 되면, 전자기 결합에 의해 기판에 맴돌이 전류가 흐르게 되고, 이는 결국 열에너지로 손실되기 때문이다. 또한, 금속선 내부에서 존재하는 기생 성분에도 의한 양호도(quality factor)의 감소는 신호 손실을 유도하는데 일조한다. 금속선에서의 기생 저항 성분이 식 (1)과 같이 열잡음을 생성하는 원인으로 작용한다.

$$V_n = \sqrt{4kTBR} \quad (1)$$

k : 볼츠만 상수

T : 절대온도

B : 대역폭

R : 금속저항

$$\begin{aligned} NF_D &= 1 + (L_{IN} - 1) + \frac{NF_{LNA} - 1}{L_{IN}^{-1}} + \frac{L_{OUT} - 1}{G_D L_{IN}^{-1}} \\ &= L_{IN} \left(NF_{LNA} + \frac{L_{OUT} - 1}{G_D} \right) \end{aligned} \quad (2)$$

NF_D : 발룬을 포함한 차동 구조 저 잡음 증폭기의 전체 잡음 지수

L_{IN} : 입력 발룬에 의한 손실

NF_{LNA} : 증폭기의 잡음지수

G_D : 증폭기의 이득

L_{OUT} : 출력 발룬에 의한 손실

증폭기의 입력단에서 사용된 발룬으로부터 생성된 잡음은 수신단 전체 잡음 지수에 가장 큰 악영향을 미치게 되며, 전체 잡음 지수 공식을 그림 1과 같이 발룬이 포함된 저 잡음 증폭기 블록에 맞게 유도하였을 때 발룬의 손

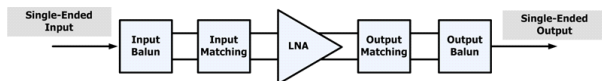


그림 1. 차동 증폭기의 회로 블록도

Fig. 1. The block diagram of differential amplifier.

실은 식 (2)의 LIN에 해당한다. 이를 통해 입력 발룬의 손실이 수신단 전체 잡음지수에 얼마나 큰 영향을 미치는지를 알 수 있다.

기 언급한 손실에 의한 잡음 발생을 최대한 억제하기 위해 설계 시 고려해야 할 점은 선로 폭, 선 간격, 권선 수, 발룬의 내부 직경, 발룬의 형태 등이 있다. 그리고 이러한 요소들을 최적화하여 양호도를 개선하여야만 한다. 발룬의 형태를 보면 대부분은 정방형 모양의 평면 나선형으로 설계하지만, 양호도를 증가시키기 위해서 원형 나선 형태나 팔각 형태로도 발룬을 설계하고 있다. 그 이유는 표피 효과에 의해 높은 주파수 신호용으로 설계된 회로 상에서 전류가 흐를 때 선로가 꺾이는 지점에서 그림 2와 같이 선로의 전체 면적을 활용하지 못하고, 도선 외곽으로만 흐르려고 하는 성질로 인해 저항값이 높아지기 때문이다. 이러한 표피효과를 최소화하는 방법은 꺾이는 지점은 최대한 원형에 가깝게 설계하는 것이다^[1]. 원형에 가까울수록 양호도는 증가하지만, 발표된 논문에 따르면 팔각형 나선 형태와 원형 나선 형태의 양호도 차이는 거의 없는데 반하여, 사각형 나선 형태와는 10 % 차이가 있는 것으로 보고되었다^[2]. 그림 3은 수동형 발룬의 모델링 결과이며, 이를 설계 시 고려해야 하는 선로폭, 감은비, 반경이 변화함에 따라 인덕턴스, 캐패시턴스, 그리고 저

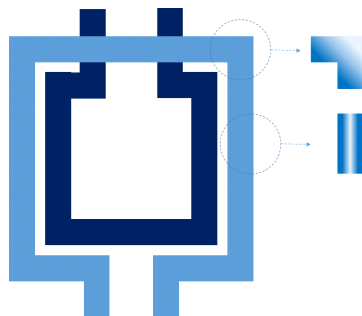


그림 2. 표피 효과에 의한 전류의 흐름

Fig. 2. The current flow by skin effect.

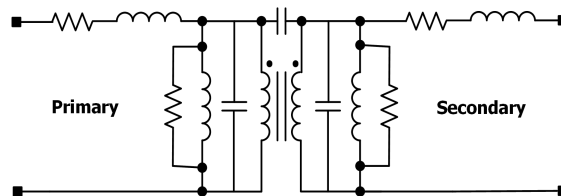


그림 3. 수동형 발룬의 모델링

Fig. 3. The modeling for passive balun.

항 값의 변화하게 되는데, 모의실험을 통해 얻은 경향성을 표 1에 정리하였다.

먼저, 금속 폭은 기판과의 캐패시턴스 값과 선로의 저항에 영향을 주고, 금속 도선간의 간격은 상호 인덕턴스에 영향을 주는 부분이다. 발룬의 내부 직경은 직경이 크면 클수록 인덕턴스와 캐패시턴스가 증가하지만 저항이 증가한다. 감은비, 반경이 고정된 상황을 가정하고 선로폭이 넓어질수록 기판과 마주 보는 금속선의 면적이 넓어지게 되어 캐패시턴스가 증가하고 저항값이 낮아지며, 인덕턴스가 감소하게 된다. 두 번째로 선로폭, 반경을 고정하고 감은비를 높일수록 선로의 길이가 증가할 뿐만 아니라, 기판을 마주 보는 면적이 넓어지므로 인덕턴스, 캐패시턴스, 그리고 저항이 모두 증가하는 결과를 얻을 수 있었다. 마지막으로, 선로폭과 감은비를 고정하고 반경을 늘릴 경우, 결국 선로가 더 길어지는 결과를 얻을 수 있기 때문에 감은비 변화를 주며, 모의 실험한 결과와 같은 결과를 얻을 수 있었다. 단, 반경이 너무 커지게 되면 인덕턴스가 오히려 작아질 수 있다.

상기에서 분석한 경향성을 통해 설계 시 고려해야 하는 요소별 변화에 따른 양호도의 변화를 어느 정도 예측할 수 있다. 하지만, 이는 단순 경향성을 분석한 내용으로 모든 기생 성분의 변화를 예측하고 설계하기 어렵기 때문에, 표 1에 기입한 경향성을 기반으로 다수의 EM 모의

표 1. 설계 변화에 따른 임피던스 변화

Table 1. Impedance change due to design.

	선로폭 증가	감은비 증가	반경 증가
인덕턴스	감소	증가	증가
캐패시턴스	증가	증가	증가
저항	감소	증가	증가

실험을 통해 설계하는 것이 바람직하다.

2-2 차동 신호의 위상차

발룬의 역할인 단일 신호를 차동 신호로 변환하는데 또 하나의 중요한 요소는 차동 신호의 위상차이다. 단일 신호는 고정된 하나의 전압에 대해 측정되는 신호로 정의된다. 차동 신호는 고정전압에 대해 크기가 같고, 극성이 반대인 신호를 가진 두 노드 사이에 측정되는 신호로 정의된다. 엄밀하게 말해서, 이 두 노드는 고정전압에 대해서 같은 임피던스를 갖도록 설계되어야만 한다는 것을 의미한다. 그림 4는 이 두 가지 형태의 신호를 개념적으로 묘사하고 있다. 차동 신호 구조에서 중심 전위를 “공통 모드(common mode)” 레벨이라고 부른다. 차동 증폭기의 장점을 서술하자면 많은 요소들이 있지만, 가장 큰 장점은 공통 모드 잡음에 대한 면역력과 짝수 차 고조파 억제력이 단일 신호 구조에 비해 뛰어나다는 점이다. 공통 모드 잡음을 유발하는 요인은 여러 종류가 있지만, 회로가 외부와 전자기적으로 잘 분리되어 있어도 전원, 바이어스 전압, 그리고 접지로부터 입력되는 잡음은 피할 수 없다. 이러한 공통 모드 잡음은 차동 입력 양단에 같은 크기만큼 영향을 미치게 되나, 출력단에서 두 차동 모드 잡음은 두 신호의 차이기 때문에 제거될 수 있다.

기 언급한 공통 모드 동작을 위해선 설계 시, 차동 신호 입력단 간의 입력 임피던스가 동일하게 설계되어야하고, 이는 결국 대칭적인 구조로 설계되어야함을 의미한다. 감은비가 1:1의 발룬을 설계 시, 완벽한 대칭 구조 설계가 가능하므로 차동 신호의 역위상을 만들기 상대적으로 쉽

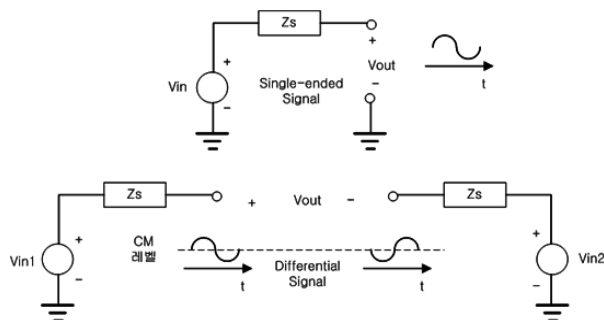


그림 4. 차동 구조의 신호 흐름
Fig. 4. Signal flow of differential structure.

다. 하지만, 현실적으로 발룬의 기생 커패시턴스, 공정오차 등에 의한 이유로 정확한 역위상의 신호를 만들어내기 힘들다. 또한, 입력 또는 출력 정합과 양호도를 고려하면 언제나 1:1비로 설계하는 것이 불가능하다는 한계점이 존재한다. 현재도 이러한 비대칭성에 의해 나타나는 위상차 보정을 위해 많은 연구가 진행되고 있다^{[3][4]}.

Ⅲ. 수동 발룬을 이용한 5 GHz CMOS 저 잡음 증폭기 회로 설계

본 논문에선 메탈 6층의 공정을 제공하는 RFCMOS 0.18 μm 공정을 이용하여 차동 구조 증폭기를 설계하였으며, 제 2장에서 설명한 양호도와 위상차 최적화를 위해 직접 제작한 발룬을 입력단과 출력단에 적용하였다. 전체적인 회로 구조는 믹서에서 역으로 유입되는 신호의 차폐를 위해 캐스코드 구조를 선택했으며, 높은 이득값을 위해 2단 증폭 구조로 설계하였으며, 그림 5를 통해서 확인할 수 있다. 첫 번째 증폭단은 선형성 확보에 중점을 두어 설계하였으며, 선형성을 올리기 위해 소스 축퇴 인덕터를 삽입하였다. 두 번째 증폭단은 단순 증폭에 초점을 맞추어 설계하여 첫 번째 증폭단만으로 부족했던 이득값을 확보할 수 있었다. 입력과 출력단에 사용된 수동형 발룬은 그림 6과 같이 설계하였고, 동작 주파수에서 최대한 적은 손실 값을 가지며, 차동 신호의 위상차를 최소화하는 것을 목표로 하였다. 상기의 모의실험을 통해 얻은 양호도 변화에 대한 경향성을 토대로 선로폭 10 μm , 선간 간격 3 μm , 그리고 감은비 2:3의 비율로 결정하였다. 입력 발룬의 경우, 최대한 원형 구조에 가깝게 설계하기 위해 팔각형 구조로 설계하였으며, 이를 통해 표피 효과에 따른 양호도 감소를 최소화하였다. 출력 발룬은 첫 단의 증폭기 전압 이득에 의해 전체 잡음 지수에 큰 영향이 없

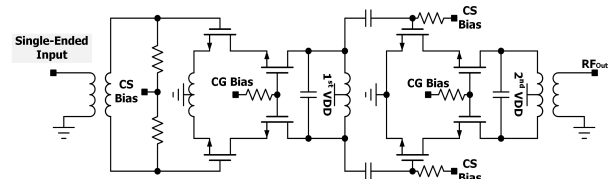


그림 5. 2단 캐스코드 차동 저 잡음 증폭기 회로도
Fig. 5. 2 stage cascode differential LNA.

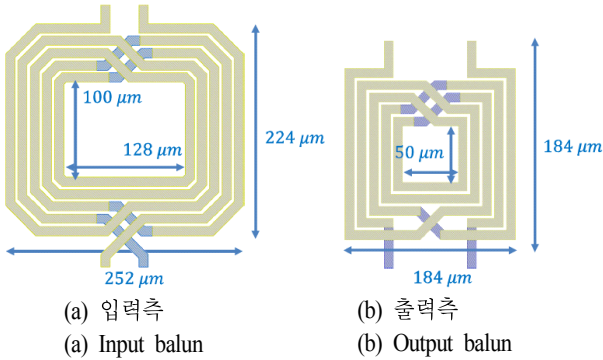


그림 6. 설계한 발룬 레이아웃
Fig. 6. Designed layout of balun.

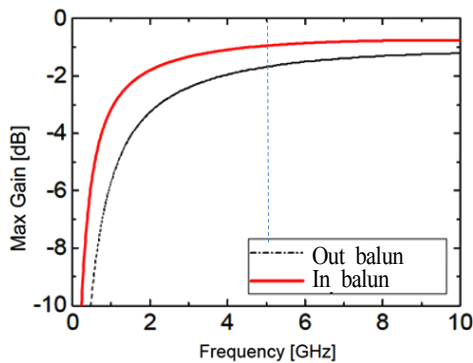


그림 7. 입력측 발룬과 출력측 발룬의 max gain
Fig. 7. Max gain for input and output balun.

을 것으로 판단하고, 팔각형이 아닌 사각 형태로 설계하였다. 모의 실험을 통해 동작 주파수인 5 GHz 기준으로 입력 발룬의 MAG는 -0.95 dB, 출력 발룬은 -1.69 dB로 손실을 최소 설계되었으며, 결과는 그림 7을 통해서 확인할 수 있다. 발룬에 의해 차동 신호로 변환된 신호의 위상차는 그림 8을 통해 확인할 수 있으며, 변환되어 첫 번째 CS(Common Source) 증폭기의 게이트 입력으로 사용되었을 때, 약 2.4 정도의 위상차가 생기고, 증폭된 이후 1.3° 정도의 작은 위상차가 나는 것을 확인할 수 있다.

IV. 수동 발룬 내장형 저 잡음 증폭기 레이아웃 기법 및 측정 결과

실제 제작한 차동 구조 증폭기의 칩 사진은 그림 9를 통해 확인할 수 있으며, 입력 발룬과 출력 발룬을 포함하

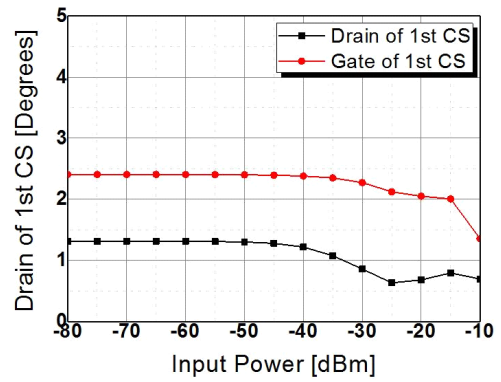


그림 8. 입력 발룬의 2차측 입력전력 대 위상차
Fig. 8. Input balun's phase difference versus input power.

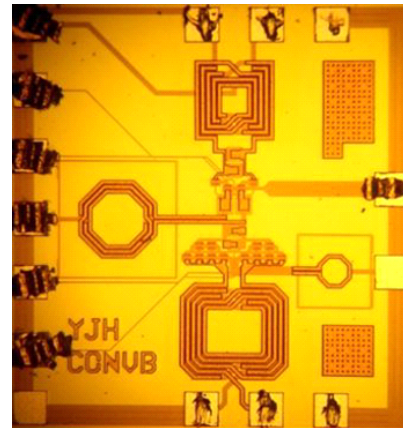


그림 9. 실제 제작된 칩 사진
Fig. 9. Photo of designed chip.

여 제작하였음을 확인할 수 있다. 레이아웃 과정에서 소자 간 거리를 최대한 가깝게 배치함으로써 연결 금속선에 의해 기생성분이 발생하는 것을 최소화하였다. 이것은 모의실험을 통해 최적화하여 정의한 소자값이 기생성분에 의해 변화되는 것을 막음으로써 모의실험결과와 최대한 유사한 측정결과를 얻는데 도움을 줄 수 있다. 공통모드 동작을 위해 각 소자와 금속 연결선을 병렬로 가깝게 배치함으로써 세 가지 장점을 취할 수 있었다. 첫 번째, 외부 잡음으로부터의 면역력 증가이다. 회로의 전원, 접지 또는 외부로부터 잡음이 들어왔을 때 차동 신호 모두에 같은 양만큼 영향을 받기 때문에 추후 차동 증폭단에서 상쇄되어 제거될 수 있다. 두 번째, 전력 소모량을 줄

일 수 있다. CMOS 공정의 경우, 낮은 기판 저항 값을 갖기 때문에 신호 금속선에 고주파 신호가 흐를 때 기판에 맴돌이 전류가 흐르게 되며, 이는 누설 전류로 전력 소모량을 증가시키는 주범이 된다. 하지만, 차동 신호 금속선을 병렬로 가깝게 배치하게 되면, 이러한 누설 전류가 상쇄되는 방향으로 자기장이 형성되어 이러한 영향을 줄일 수가 있었다. 마지막으로, 소자 간 연결하는 금속선간 발생하는 인덕턴스를 줄이는 효과를 볼 수 있으며, 이는 실제 회로를 제작하고 측정하였을 때 시뮬레이션 결과와 최대한 유사한 결과를 도출하는데 도움이 되었다. 그림 9를 보면 알 수 있듯이, 소자간의 간격이 매우 좁고, 이에 의한 기생성분을 최소화함으로써 측정결과 역시 시뮬레이션 결과와 비슷한 값을 얻을 수 있었다. 첫 번째 증폭단의 소스 측퇴 인덕터에서 접지까지 와이어 본딩 연결 시, 공통 소스부터 접지까지의 인덕턴스를 계산할 수 없어

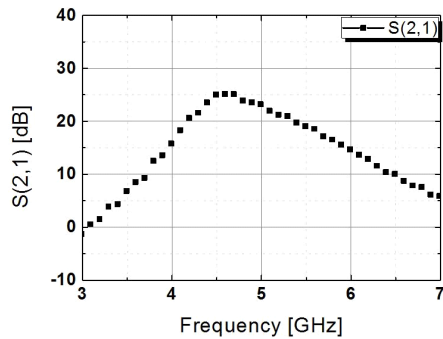


그림 10. 이득값(S_{21})
Fig. 10. Gain(S_{21}).

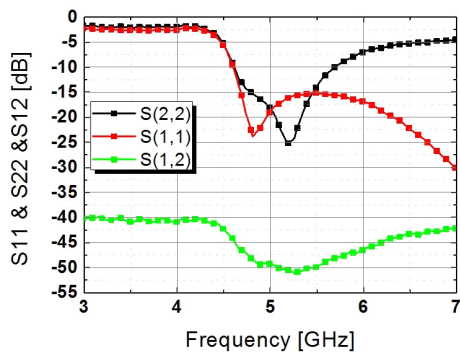


그림 11. S_{11} , S_{22} , S_{12}
Fig. 11. S_{11} , S_{22} , S_{12} .

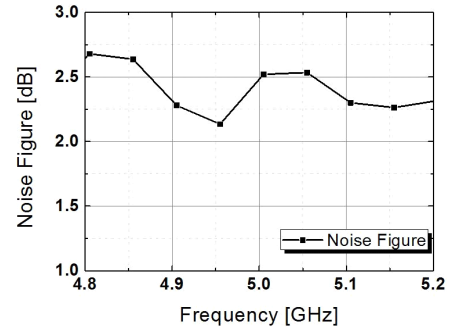


그림 12. 잡음 지수
Fig. 12. Noise figure.

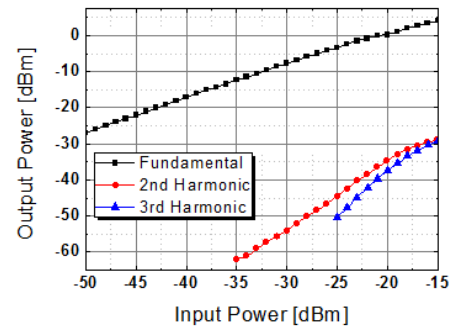


그림 13. 고조파 측정 결과
Fig. 13. Measured harmonics.

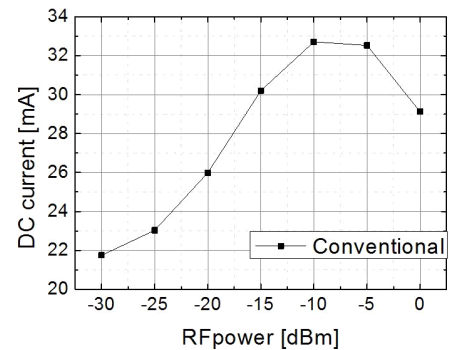


그림 14. 입력 전력 대비 전력 소모량
Fig. 14. Power dissipation versus input power.

모의실험 시, 소스 측퇴 인덕턴스의 값을 정의하기 어렵다. 그러므로 이러한 설계 이후 오차를 최소화하기 위하여 소스 측퇴 인덕터를 접지 패드와 직접 연결하였다. 측정결과는 표 2를 통해 확인할 수 있다.

표 2. 실제 제작된 칩 측정 결과

Table 2. Measurement results.

	단위	Ref [5]	Ref [6]	This work
Structure	—	Differential w/o balun	Differential w/o balun	Differential w/o balun
Freq.	GHz	5.2	5	5
Tech.	μm	0.13	0.13	0.18
Gain	dB	21	18	23.9
NF	dB	2.9	2.62	2.52
P_{DC}	mW	8	10.3	45
Size	mm^2	818	1,300	892

V. 결 론

기존의 차동 저 잡음 증폭기 설계 시 잡음 지수에 가장 큰 영향을 미치는 발룬 설계 요소에 대해서 분석하였고, 이를 기반으로 차동 저 잡음 증폭기를 설계함으로써 저 잡음, 고 이득 증폭기를 설계할 수 있었다. TSMC 메탈 6층 RF CMOS 0.18 μm 공정을 이용하여 설계하였고, 증폭기 구조는 2단 캐스코드 구조를 선택하였다. 발룬의 경우, 목표 주파수인 5 GHz에서 -0.95 dB, 출력 차동 신호간 위상차는 3 degree로 설계하였다. 최종적으로 설계된 5 GHz CMOS 저 잡음 증폭기는 측정값 기준 이득 24 dB, 잡음 지수 2.51 dB의 우수한 성능을 보임을 검증할 수 있었다.

윤 재 혁



2006년 3월: 숭실대학교 정보통신전자공학부 (공학사)

2012년 3월: 숭실대학교 정보통신공학과 (공학석사)

2014년 6월~2016년 10월: National Instruments Applications Engineer

2016년 10월~현재: 국방과학연구소 연구원

[주 관심분야] 초고주파 회로설계, 레이더 시스템, 통신 알고리즘 설계

References

- [1] S. Y. Kim, "Engineering electromagnetics", *SciTech*, Jan. 2009.
- [2] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, and B. Nauta, "Wideband balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling", *Proc. IEEE J. Solid-State Circuit*, vol. 43, no. 6, pp. 1341-1350, Jun. 2008.
- [3] J. Park, H. Jin, and C. Cho, "0.6~2.0 GHz wideband active balun using advanced phase correction architecture", *Journal of the Korea Electromagnetic Engineering Society*, vol. 25, no. 3, pp. 289-295, Mar. 2014.
- [4] H. H. Chiang, F. C. Huang, C. S. Wang, and C. K. Wang, "A 90 nm CMOS V-band low noise active balun with broadband phase correction technique", *IEEE J. Solid State Circuit*, vol. 46, no. 11, pp. 2583-2591, Nov. 2011.
- [5] M. Arsalan, A. Shamim, L. Roy, and M. Shams, "A fully differential monolithic LNA with on-chip antenna for a short range wireless receiver", *IEEE Microw. Wireless Compon. Lett.*, vol. 19, no. 10, pp. 674-676, Sep. 2009.
- [6] Y. W. Hsiao, M. D. Ker, "An ESD-protected 5-GHz differential low-noise amplifier in a 130-nm CMOS process", in *Proc. Custom Integrated Circuits Conf. (CICC)*, pp. 233-236, Sep. 2008.