

## UHF FRS 대역 CMOS PLL 주파수 합성기 설계

## Design of a CMOS Frequency Synthesizer for FRS Band

이 정 진 · 김 영 식

Jeung-Jin Lee · Young-Sik Kim

## 요 약

본 논문에서는  $0.35\mu\text{m}$  CMOS 공정으로 FRS 대역 무전기용 반송파 신호를 쿼드러처(Quadrature) 형식으로 출력하는 Fractional-N 위상 고정루프(PLL) 주파수 합성기를 설계 및 제작하였다. 설계한 주파수 합성기의 주요 블록은 전압 제어 발진기(VCO), 전하 펌프(CP), 루프 필터(LF), 위상 주파수 검출기(PFD) 그리고 주파수 분주기이다. VCO는 우수한 위상잡음과 전력 특성을 얻을 수 있는 LC 공진 방식으로 설계했고, CP는 참조 주파수에 따라 펌핑 전류를 조절할 수 있도록 설계하였다. 주파수 분주기는 16분주의 전치 분주기와 3차 델타-시그마 모듈레이터(3<sup>rd</sup> DSM) 방식의 Fractional-N 분주기로 설계하였다. LF는 외부의 3차 RC 루프 필터로 구성하였다. 측정결과, 주파수 합성기의 동작 주파수 영역은 최소 460 MHz에서 최대 510 MHz이고, 출력전력으로는 약 -3.86 dBm을 얻었다. 출력의 위상잡음은 100 Hz offset 주파수에서 -94.8 dBc/Hz이며 위상 루프 고착 시간은 약  $300\mu\text{s}$ 이다.

## Abstract

This paper reports a fractional-N phase-locked-loop(PLL) frequency synthesizer that is implemented in a  $0.35\text{-}\mu\text{m}$  standard CMOS process and generates a quadrature signal for an FRS terminal. The synthesizer consists of a voltage-controlled oscillator(VCO), a charge pump(CP), loop filter(LF), a phase frequency detector(PFD), and a frequency divider. The VCO has been designed with an LC resonant circuit to provide better phase noise and power characteristics, and the CP is designed to be able to adjust the pumping current according to the PFD output. The frequency divider has been designed by a 16-divider pre-scaler and fractional-N divider based on the third delta-sigma modulator(3<sup>rd</sup> DSM). The LF is a third-order RC filter. The measured results show that the proposed device has a dynamic frequency range of 460~510 MHz and -3.86 dBm radio-frequency output power. The phase noise of the output signal is -94.8 dBc/Hz, and the lock-in time is  $300\mu\text{s}$ .

Key words: Fractional-N, Frequency Synthesizer, PLL, LC VCO, Phase Noise

## I. 서 론

최근 모든 분야에서 기기 간 통신의 다양화 및 대중화로 인하여 빠르게 성장하고 있는 무선 통신 기술은 이전보다도 더 필수적으로 발전을 필요로 하고 있는 분야가 되었다. 무선 통신을 위해서는 송·수신기에서 사용할

수 있는 정밀한 반송파 신호를 생성해 주어야 한다. 주파수 합성기는 기준 발진기(Reference Oscillator: RO)와 분주된 반송파의 주파수 및 위상을 동기화하여, 국부 발진기(Local Oscillator: LO) 신호를 만들어 주는 역할을 한다. 주파수 합성기에는 합성 방식에 따라 PLL, DDS(Direct Digital Frequency Synthesizer), 체배기(Multiplier) 합

「이 연구는 2017년도 IDEC(반도체설계교육센터)의 MPW 프로그램 지원으로 연구되었음.」

한동대학교 정보통신공학과(Department of Information Communication Engineering, Handong University)

· Manuscript received September, 22, 2017 ; Revised November, 13, 2017 ; Accepted November, 21, 2017. (ID No. 20170922-100)

· Corresponding Author: Young-Sik Kim (e-mail: [young@handong.edu](mailto:young@handong.edu))

성 등 여러 종류가 있다. 그중에서도 위상 고정 루프(Phase Locked Loop: PLL) 주파수 합성기는 비교적 간단한 구조를 가지며 저전력이기 때문에 일반적으로 가장 많이 채택되는 방식이다. 본 연구에서는 휴대 생활 무전에 적합한 UHF FRS 대역에 응용할 수 있는 460 MHz에서 510 MHz 대역을 기준으로 0.35  $\mu$ m CMOS 공정의 PLL 주파수 합성기를 설계하였다.

주파수 합성기의 주요한 특성은 전압 제어 발진기(Voltage-Controlled Oscillator: VCO) 출력 신호의 위상잡음, 고착 시간(lock-in time) 그리고 주파수 분해능이다. 이 때문에 본 연구에서는 상대적으로 다른 구조보다 높은 주파수에서 적은 전류 소모로 안정적인 출력을 얻을 수 있는 LC tank 구조의 VCO를 선택하였다<sup>[1]</sup>. 또한 FM 변복조를 위해 두 개의 다른 전압 제어 발진기의 common mode 연결을 통해 각각 90°의 위상차를 가지는 발진기를 설계했다<sup>[2]</sup>. 전하 펌프(Charge Pump: CP)는 최적화된 고착시간을 얻기 위해 펌핑 전류의 크기를 가변할 수 있도록 하였고, 주파수 합성기의 채널 주파수 분해능을 높이기 위해 외부의 FPGA 보드를 이용하여 3차 델타-시그마 모듈레이터(3<sup>rd</sup> Delta-Sigma Modulator, 3<sup>rd</sup> DSM) Fractional-N 분주기를 설계하여 구현하였다.

## II. Fractional-N PLL 주파수 합성기

### 2-1 주파수 합성기 전체 구조

그림 1은 구현한 Fractional-N PLL 주파수 합성기의 전체 블록도이다. 설계한 주파수 합성기는 칩 내부의 VCO, CP, 위상 주파수 검출기(Phase Frequency Detector: PFD), 전치 분주기(pre-scaler)와 외부의 루프 필터(Loop Filter: LF)와 Fractional-N 분주기로 구성되어 있다<sup>[3]</sup>.

주파수 합성기는 VCO의 출력 신호( $f_{vco}$ )를 안정적으로 고정된 주파수로 내보내는 것을 목적으로 한다. 고주파 출력 신호인  $f_{vco}$ 는 위상잡음(phase noise)을 포함하고 있다. PLL은 VCO에 포함된 위상잡음을 줄이기 위해  $f_{vco}$ 의 위상을 RO 신호( $f_{ref}$ )의 위상과 동기화시키는 피드백 구조로 이루어져 있고, 피드백 루프로부터 얻는 루프 이득(loop gain)을 통해 위상잡음을 낮출 수 있다.  $f_{ref}$ 로는 일정한 주파수를 생성하는 수정발진기(crystal

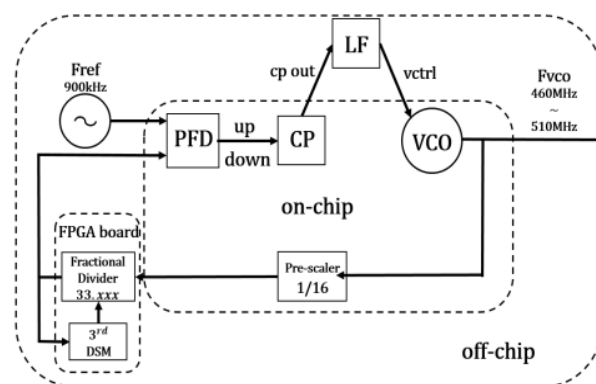


그림 1. Fractional-N PLL 주파수 합성기 전체 블록도

Fig. 1. Block diagram of the Fractional-N PLL frequency synthesizer.

oscillator)의 출력신호를 분주하여 사용하며, PFD를 통해  $f_{vco}$ 와  $f_{ref}$ 의 위상차를 검출하고, CP와 LF를 이용하여  $v_{ctrl}$ 를 생성한다.

VCO는 인가받는 제어 전압( $v_{ctrl}$ )의 크기에 따라서 가변하는  $f_{vco}$ 를 출력한다. 출력된 신호는 고주파 분주를 위한 Pre-scaler와 저주파 분주를 위한 Fractional-N 분주기를 통해 분주되어 PFD로 인가되고, 외부로부터 입력받는  $f_{ref}$ 와 위상을 비교하게 된다.  $f_{vco}$ 는 외부의 프로그래밍이 가능한 Fractional-N 분주기를 통해 다양하게 K/M 분주가 가능하다. PFD는 입력받은 두 신호의 위상을 비교하고, 그 차이만큼을  $f_{vco}$ 의 위상이  $f_{ref}$ 의 위상보다 높으면 UP에 해당하는 펄스 신호를, 낮다면 DOWN에 해당하는 펄스 신호를 출력한다. CP는 UP·DOWN 신호를 입력 받아 각 펄스 신호의 너비에 따라 전하를 밀거나 당겨주는 push/pull current 구조로 이루어져 있으며, 그에 따라 생성되는 전류를 LF로 내보낸다. LF는 입력받은 CP의 전류를 축적 혹은 방출함으로써 상승 또는 하강하는 전압으로 변환한다. VCO는 LF로부터 생성되는 전압을  $v_{ctrl}$ 로 인가받는다.  $v_{ctrl}$ 은 잡음 없는 일정한 직류 전압을 인가 받아야 하기 때문에 LF는 고주파 및 잡음 신호를 걸러내는 3차 RC filter로 설계되었다. 적절히 설계된 피드백 루프가 순환되어 고착되면  $v_{ctrl}$ 은 흔들리는 VCO의 출력 신호를 지속적으로 보상해주며 고정된 위상을 갖게 해주고, 무선 통신 시스템에서 필요로

하는 고주파이면서 위상잡음이 적은 깨끗한 LO 신호를 얻을 수 있게 된다.

## 2.2 주파수 합성기 구성요소

### 2.2.1 전압 제어 발진기(Voltage-Controlled Oscillator)

VCO는 인가받는  $v_{ctrl}$ 에 따라 비례 혹은 반비례하는 가변 주파수를 출력한다. 무선 통신 시스템에서 필요한 출력 주파수를 직접 생성하는 부분이기 때문에 VCO 설계에서 가장 중요한 핵심적인 특성은 위상잡음, 전력 소모, 주파수/전압 이득(KVCO) 그리고 주파수 조절 범위이다. 본 연구에서는 다른 구조에 비해 상대적으로 위상잡음과 전력 소모가 적은 LC tank 구조를 선택했다.

능동소자의  $1/f$  잡음과 LC oscillator의 손실을 최소화하여  $Q$ -factor를 높이기 위해 NMOS보다  $1/f$  잡음이 적은 PMOS를 사용하였다<sup>[4]</sup>. 그림 2는 LC tank VCO의 회로도이다. 트랜지스터 M1과 M2는 VCO의 전류바이어스 회로이며, M3~M10 트랜지스터는 VCO의 발진 조건인 부정저항(negative resistance)을 만들어주기 위해 각각 두 개의 트랜지스터가 cross-coupled 구조로 연결되어 있다.  $C_{var1} \sim C_{var4}$ 의 PMOS varactor는 n-well 안의 p-diffusion으로 구성된 p+/n-well junction diode varactor로 설계했다. 또한,  $Q$ -factor를 높이기 위하여 외부에 smd inductor를 연결하여 inductance를 조절하였다. 설계된 VCO는 cross-coupled 연결된 트랜지스터를 통해 각각  $90^\circ$ 의 위상차를 가지는 I-Q 신호를 출력하며, 출력 주파수는 식 (1)에 따라 정해

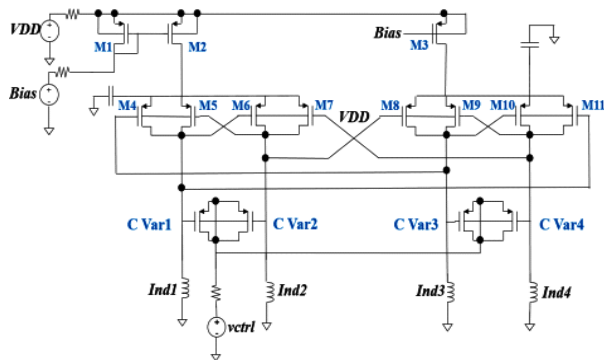


그림 2. LC tank 전압 제어 발진기 회로도  
Fig. 2. Schematic of LC tank voltage-controlled oscillator.

진다. 본 연구의 VCO는 인가받는  $v_{ctrl}$ 에 따라 460부터 510 MHz의 주파수를 출력하도록 설계하였다.

$$F_{VCO} = \frac{1}{2\pi \sqrt{L_{id} C_{var}}} \quad (1)$$

### 2.2.2 Pre-Scaler 및 Fractional-N 분주기

VCO 출력 신호의 높은 주파수를 제어할 수 있는 낮은 주파수로 낮추기 위해 Pre-scaler를 사용한다. Pre-scaler는 1/16 분주비의 4단 TSPC D-Flip Flop(DFF) 구조로 설계하였다. 그림 3은 Pre-scaler에 사용된 TSPC DFF의 회로도이다. 분주된 Pre-scaler의 출력 신호는 주파수 제어를 위해 Integer-N 또는 Fractional-N 방식의 분주기를 이용하여 또 한 번 분주한다. 주어진 주파수 분해능에서 Integer-N 분주기는 정수의 분주비로 인해 제어할 수 있는 채널 분해능이 낮기 때문에 Fractional-N 분주 방식을 선택하였으며, Fractional Spur noise를 줄이기 위해 3<sup>rd</sup> DSM을 설계하여 Fractional-N 분주기를 제어하도록 하였다.  $f_{vco}$ 와  $f_{ref}$ 가 동기화 되었을 때 두 신호의 주파수의 관계는 식 (2)와 같이 정의할 수 있다.

$$\begin{aligned} F_{VCO} &= P \times (N + K/2^{14}) \times F_{REF} \\ &= 16 \times \left( 30 + \frac{10158}{16384} + 3 \right) \times F_{REF} \\ &= 538 \times F_{REF} \end{aligned} \quad (2)$$

여기서  $P$ 는 Pre-scaler의 분주비이고  $N$ 은 Fractional-N 분주기의 정수 분주비이며  $K$ 는 3<sup>rd</sup> DSM에서 입력받는 14

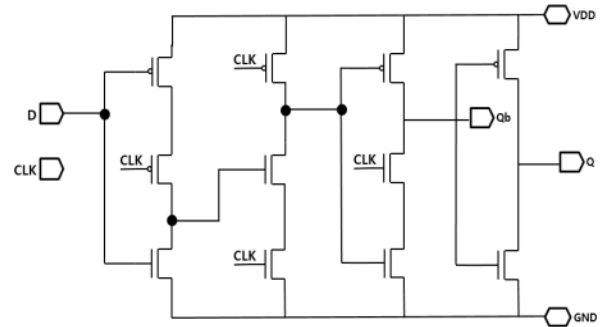


그림 3. TSPC 구조의 D-Flip Flop  
Fig. 3. TSPC D-Flip Flop.

bit의 값이다. 3<sup>rd</sup> DSM은 0부터 7까지의 3 bit의 값을 불규칙하게 출력하도록 설계하였으며, 출력 값의 평균은  $K$ 값을  $2^{14}$ 로 나눈 몫에 3을 더한 값에 수렴하도록 설계하였다. 3<sup>rd</sup> DSM Fractional-N 분주기는 불규칙한 분주비를 가짐으로써 분주기 주파수가 일정값을 가져 spur noise로 떠오르는 것을 막는 역할을 한다.

### 2-2-3 주파수 위상 검출기(Phase Frequency Detector) 및 전하 펌프(Charge Pump)

PPFD는 그림 4와 같이 두 개의 DFF, AND 게이트 그리고 시간 지연 단(time delay cell)로 구성되어 있다. PPFD는  $\pm 2\pi$ 의 위상 차이만큼 검출이 가능하며, 기준 주파수  $f_{ref}$ 와 분주기의 출력 신호인  $f_{DIV}$ 를 입력 받아 두 신호의 위상 차이에 비례하는 Duty를 가지는 UP·DOWN 펄스 신호를 출력한다<sup>[5]</sup>.

CP는 PPFD에서 입력 받은 펄스신호에 따라 전하를 밀거나 당겨준다. 전류의 크기는  $CP_{bias}$  값을 통해 조절할 수 있으며,  $100\mu A$ 로 설정했다. CP에서 push/pull 기능을 수행하는 전류원 두 개의 전류 균형은 위상잡음 특성에 영향을 준다. 그 때문에 그림 5와 같이 UP 신호와 DOWN 신호를 전류원의 스위치로 역할하도록 함으로써 동일한 전류를 같은 시간 동안 밀고 당길 수 있게 설계하였다.

### 2-2-4 루프 필터(Loop Filter)

본 연구에서는 3차 RC 루프 필터를 설계하여 사용하였다. LF는 입력 잡음에 대해서는 저주파 통과 필터(low pass filter), LPF 잡음에 대해서는 일정대역 통과 필터

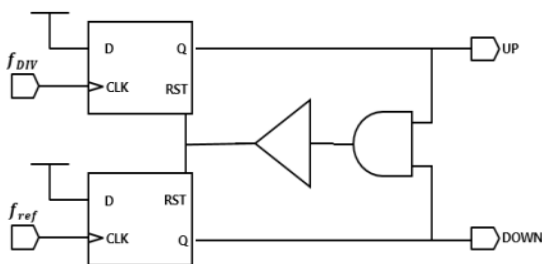


그림 4. 위상 주파수 검출기 회로도  
Fig. 4. Schematic of phase frequency detector.

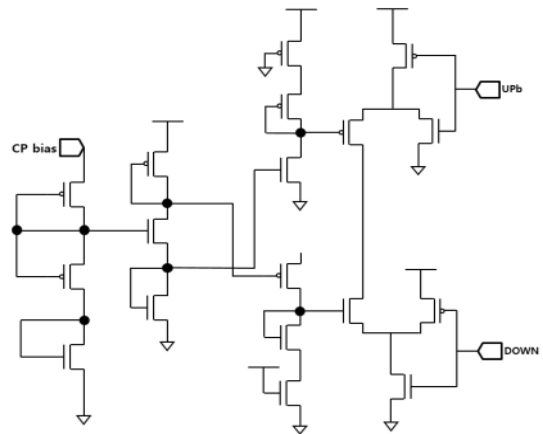


그림 5. 전하 펌프 회로도  
Fig. 5. Schematic of charge pump.

(band pass filter) 그리고 VCO 잡음에 대해서는 고주파 통과 필터(high pass filter) 기능을 가지며, Fractional-N 분주기에서 발생하는 fractional spur나 PPFD에 의해 발생하는 reference spur 등의 잡음을 억압하고, 루프의 대역폭을 제한하는 역할을 한다. LF는 그림 6과 같은 구조로 이루어져 있다.

필터의 계수 값들은 PLL 주파수 합성기의 특성에 대해 trade-off 관계에 있으며, 각 소자에 해당하는 값은 회로의 RC 시정수를 계산하여 구해진다. 식 (3)은 소자 값을 구하는 과정을 나타낸다. 식 (3)에서  $\phi$ 는 위상마진을 나타내며,  $T_3$ 는 폴 주파수와 제로 주파수를 결정하는 시정수이다. 이를 구하고 개방 루프 이득인  $w_o$ 를 계산하여 나머지 시정수인  $T_2$ 를 구하면 필터의 소자 값을 구할 수 있다. 본 연구에서는 48 kHz의 루프 대역폭(Loop Bandwidth: LBW)과 65°의 위상 마진(phase margin)을 기준으로 LF를 설계하였다.

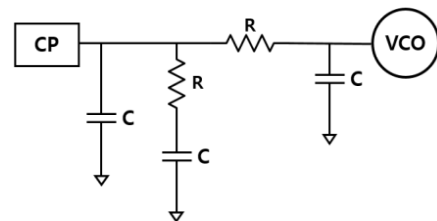


그림 6. 3차 수동 RC 루프 필터  
Fig. 6. 3<sup>rd</sup> passive RC loop filter.

$$\begin{aligned}
 T_1 &= \frac{\sec\phi - \tan\phi}{w_p} \\
 T_3 &= \sqrt{\frac{10^{\frac{ATN}{20}} - 1}{(2\pi \cdot F_{ref})^2}} \\
 w_c &= \frac{\tan\phi(T_1 + T_3)}{(T_1 + T_3)^2 + T_1 \cdot T_3} \\
 &\quad \times \left\{ \sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 \cdot T_3}{[\tan\phi \cdot (T_1 + T_3)]^2}} - 1 \right\} \\
 T_2 &= \frac{1}{w_p^2 \cdot T_1} \\
 ATN &= 20 \log[(2\pi F_{ref} R_3 C_3)^2 + 1]
 \end{aligned} \quad (3)$$

### III. 실험 및 측정결과

주파수 합성기에서 VCO, 16분주 Pre-scaler, PFD 그리고 CP는  $0.35 \mu\text{m}$  CMOS 공정으로 제작하였다. 3<sup>rd</sup> DSM Fractional-N 분주기는 FPGA 보드로 구현하였으며, LF 칩 외부의 3차 RC 수동 루프 필터로 설계하였다. 그림 7과 8은 실험 및 측정에 이용한 칩의 Lay out과 PCB 보드이다. PLL 주파수 합성기의 출력은 스펙트럼 분석기로 측정하였다. 참조 주파수는 900 kHz를 사용했다.

VCO는  $v_{ctrl}$  조절 범위 0.3 V에서 2.5 V 조건에서 460 MHz에서 510 MHz까지의 동작 주파수 범위를 가졌다. 출력 신호는 VCO 버퍼를 거쳐 출력된 차동신호를 밸런(balun)을 통해 합성하여 측정하였다. 그림 9는 492 MHz 주파수에서 고착되었을 때, 900 kHz와 20 MHz span의 스펙트럼

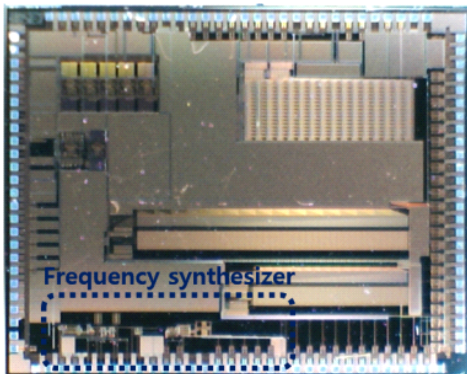


그림 7. 칩에서의 PLL 주파수 합성기  
Fig. 7. PLL frequency synthesizer of chip.

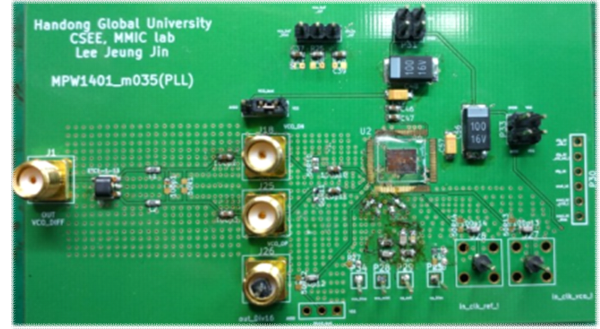
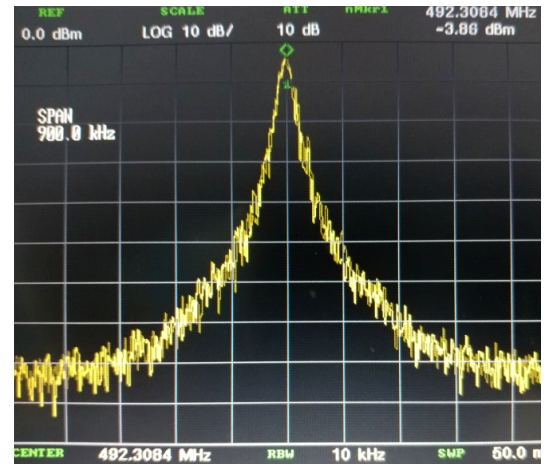
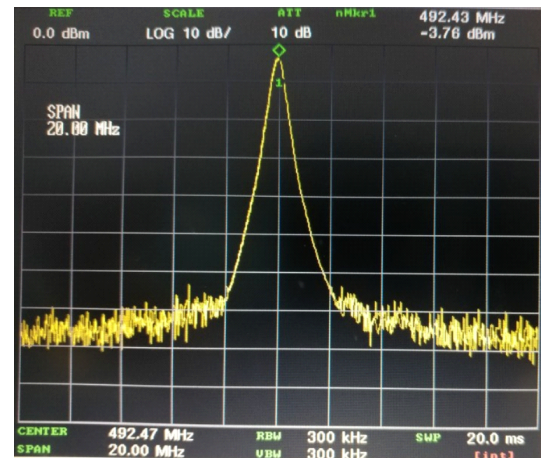


그림 8. PLL 실험 PCB 보드  
Fig. 8. PLL test PCB board.



(a) 900 kHz span



(b) 20 MHz span

그림 9. VCO 출력 신호 스펙트럼  
Fig. 9. Spectrum of VCO output signal.



측정 결과를 보여준다. 출력 신호의 전력은  $50\Omega$  부하에서  $-3.86$  dBm이며, LF의 필터링과 3<sup>rd</sup> DSM을 통하여 fractional spur를 대부분 제거하였기 때문에  $-70$  dB 이하의 reference spur level을 가졌다.

그림 10은 PLL 주파수 합성기의 출력신호가 고착되었을 때의 위상잡음 특성을 측정한 결과이다. 위상잡음은 100 kHz offset 주파수에서  $-94.8$  dBc/Hz, 1 MHz offset 주파수에서  $-122$  dBc/Hz로 측정되었다.

그림 11은 Fractional-N 분주기를 프로그래밍하여 PLL의 출력 주파수를 463에서 500 MHz까지 천이했을 때, 고착되는 데에 걸리는 시간을 오실로스코프로 측정한 결과이다. PLL의 고착 시간이 약  $300\mu s$ 임을 확인할 수 있다.

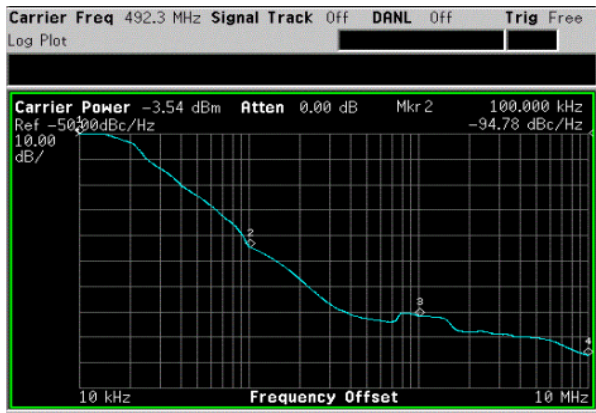


그림 10. 위상잡음 특성  
Fig. 10. Characteristic of phase noise.

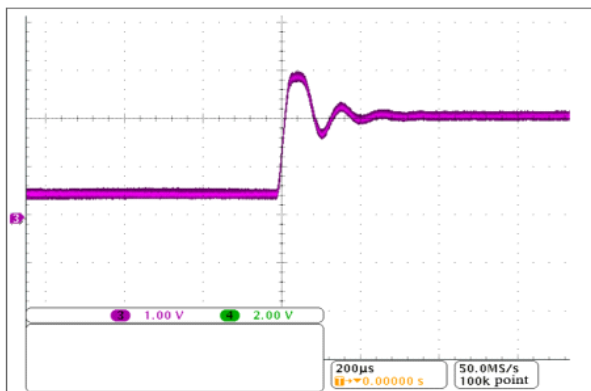


그림 11. PLL의 고착 시간  
Fig. 11. Lock-in time of the PLL.

표 1. 시뮬레이션 및 실측 특성

Table 1. Characteristic of simulation and measurement.

	Simulation	Measured
Tech	$0.35\mu m$ CMOS	$0.35\mu m$ CMOS
Supply voltage	3.3 V	3.3 V
Power consumption	30 mW	37 mW
Frequency range	443~532 MHz	460~510 MHz
Reference frequency	1 MHz	900 kHz
Loop bandwidth	100 kHz	48 kHz
Phase noise @100 kHz	$-105$ dBc/Hz	$-94.8$ dBc/Hz
Phase noise @1 MHz	$-131$ dBc/Hz	$-122$ dBc/Hz
Lock-in time	$235\mu s$	$300\mu s$

표 1은 주파수 합성기의 성능결과 요약표이다. 시뮬레이션 시 사용한 ideal한 CMOS 모델이 RF 특성과 잡음 특성을 정확히 포함하고 있지 않기 때문에, 실측 시에는 RF 및 잡음 특성으로 인하여 시뮬레이션과는 다소 차이가 나는 결과를 얻었다. 하지만 시뮬레이션 결과와 크게 다르지 않은 범위에서 100 kHz offset 주파수에서  $-90$  dBc/Hz 미만의 위상잡음 특성을 얻음으로써 설계 목적과 부합하는 수준의 결과를 성공적으로 얻었음을 확인하였다.

#### IV. 결 론

본 논문에서는  $0.35\mu m$  CMOS 공정으로 FRS 대역 무전기에 활용 가능한 460 MHz에서 510 MHz 대역의 Fractional-N analog PLL 주파수 합성기를 설계하였다. 설계된 주파수 합성기는 LC 공진 방식의 coupled VCO를 통하여 우수한 phase noise 특성을 가진 quadrature 신호를 출력하며, 16분주 전치 분주기, PFD 그리고 CP으로 구성되어 있다. 또한 LF는 칩 외부의 3차 RC 루프필터로 설계했으며, 3<sup>rd</sup> DSM을 통하여 33/34 Fractional-N 분주기를 구현하였다. 설계 제작한 주파수 합성기의 측정결과, 출력전력은  $-3.86$  dBm이며, 위상잡음은 100 kHz offset 주파수에서  $-94.8$  dBc/Hz, 1 MHz offset에서  $-122$  dBc/Hz이고,  $300\mu s$  고착 시간을 가졌다.

제작된 Fractional-N PLL 주파수 합성기는 CMOS로 집적 설계되어 있으며, 비교적 우수한 위상잡음 특성을 가지므로 FRS 대역 무선 통신기기의 주파수 합성기로 활용

하기에 적합할 것이다.

## References

- [1] W. F. Egan, *Frequency Synthesizer by Phase Lock*, Wiley Inter-science, 1999.
- [2] I. R. Chmas, S. Raman, "Analysis and design of a CMOS phase-tunable injection-coupled LC quadrature VCO(PTIC-QVCO)," *IEEE Journal of Solid State Circuits*, vol. 44, no. 3, Mar. 2009.
- [3] T. A. D. Riley, M. A. Copeland, and T. A. Kwansniewski, "Delta-sigma modulation in fractional-n frequency synthesis," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 5, pp. 553-559, May 1993.
- [4] R. J. Baker, *CMOS-Circuit Design, Layout, and Simulation, 2nd Edition*, Wiley Inter-science, pp. 551-561, 2008.
- [5] S. Sinha, "Design of an integrated CMOS PLL frequency synthesizer," in *Electrotechnical Conference, 2002. MELECON 2002. 11th Mediterranean*, Cairo, May 2002, pp. 220-224.
- [6] W. O. Keese, "An analysis and performance evaluation of a passive filter design technique for charge pump phase-locked loops," *National Semiconductor Application Note 1001*, pp. 3-4, May 1996.

## 이 정 진



2016년 2월: 한동대학교 전산전자공학부 (공학사)  
 2016년 3월~현재: 한동대학교 정보통신 공학과 석사과정  
 [주 관심분야] 무선통신시스템, RF/Analog IC 설계, 초고주파 회로설계

## 김 영 식



1993년 2월: 포항공과대학교 전자전기공학과 (공학사)  
 1995년 2월: 포항공과대학교 전자전기공학과 (공학석사)  
 1999년 2월~현재: 포항공과대학교 전자전기공학과 (공학박사)  
 1999년 3월~현재: 한동대학교 전산전자공학부 정교수  
 [주 관심분야] 센서네트워크 개발, RFID, 무선 송수신용 RF/Analog IC 설계, 무선통신용 모델 설계, RF 전력증폭기 개발