

평형구조를 이용한 지표투과레이다용 2 GHz 대역 고효율 펄스발생기

A High-Efficiency 2 GHz Balanced Pulse Generator for Ground Penetrating Radar System

정 희 창 · 서 문 교

Heechang Jeong · Munkyo Seo

요 약

본 논문에서는 지표투과레이다용 2 GHz 대역 고효율 펄스발생기의 설계 및 측정결과에 대하여 기술하였다. 기존의 분산증폭기 기반 펄스 발생기의 입출력 정합특성을 개선하기 위해 90° 하이브리드 커플러를 이용한 평형 구조를 응용해 설계하였다. 설계된 펄스발생기는 PCB 공정을 이용하여 제작하였다. 펄스 발생기는 5 V 전원 공급 장치에서 약 1 mA 전류를 소모하며, 27.6 %의 전력 효율을 가진다. 출력 전압 진폭은 100 MHz의 PRF(Pulse Repetition Frequency: 펄스 반복 주파수)에서 3.7 V_{pp}이다. 펄스의 폭은 약 2 ns이며 1.7~2.6 GHz의 동작 주파수에서 입출력 반사손실은 10 dB 이상이다.

Abstract

This paper presents a 2 GHz pulse generator in balanced configuration for ground penetrating radar(GPR). In order to improve the input and output matching, the pulse generator is designed in balanced configuration with 90° hybrid couplers. The designed pulse generator was fabricated using PCB process. The fabricated pulse generator draws 1 mA current from a 5 V power supply with 27.6 % efficiency. The measured output voltage swing is 3.7 V_{pp} at 100 MHz pulse repetition frequency(PRF). The pulse width is 2 ns and the input and output return loss is more than 10 dB at the operating frequency of 1.7~2.6 GHz.

Key words: Ground Penetrating Radar(GPR), Pulse Generator, Distributed Amplifier, Balanced Amplifier

I. 서 론

최근 사회적 이슈로 대두되고 있는 싱크홀(sink hole)은 상·하수도과 같은 지하 매설물들의 노후화로 인해 지반이 침하하는 현상이다. 도로 함몰을 예방하기 위한 방안으로 도로 하부에 존재하는 동공을 탐지하는 기술개발이 활발하게 이루어지고 있다. 일반적으로 도심지에선 교통의 통제가 어렵기 때문에 지표투과레이다(Ground Penetra-

ting Radar: GPR)를 이용한 비파괴시험으로 도로 하부 동공탐지를 시행한다^[1].

GPR은 고주파 펄스를 지하에 방사하여 지하 내부에 대한 구조물을 탐지하는 방식이며, 이때 수 MHz부터 수 GHz 범위의 펄스가 사용된다. 이와 같은 고주파 펄스를 생성하는 방법 중 하나는 외부에서 입력된 가우시안 펄스를 분산 증폭기 구조로 지연시킨 후 양극과 음극신호를 결합하는 방식이 있다^[2].

「본 논문은 산업통상자원부 산업기술혁신사업의 지원을 받아 수행된 연구임(과제번호: 10067194).」

성균관대학교 전자전기컴퓨터공학과(Department of Electronic and Computer Engineering, Sungkyunkwan University)

· Manuscript received September, 26, 2017 ; Revised October, 31, 2017 ; Accepted November, 19, 2017. (ID No. 20170926-102)

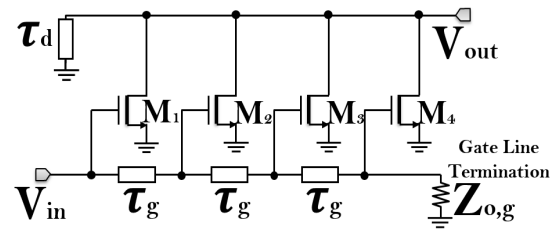
· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

본 논문에서는 분산 증폭기 방식 펄스 발생기를 기반으로 평형 증폭기 구조를 응용한 펄스발생기를 설계하였다. 두 개의 채널로 구성되어 있으며, 각 채널은 2단 분산 증폭기 기반의 펄스발생기로 구성되어 있다. 평형 구조 기반 펄스 발생기는 단일 채널의 펄스 발생기와 비교하여 입력력 임피던스 정합특성이 크게 개선되는 장점이 있다. 설계된 펄스발생기는 PCB 공정으로 제작하였다. 제2장에서는 펄스발생기의 설계에 대하여 기술하고, 제3장에서는 시뮬레이션 결과 및 측정 결과를 정리하였다.

II. 펄스발생기의 설계

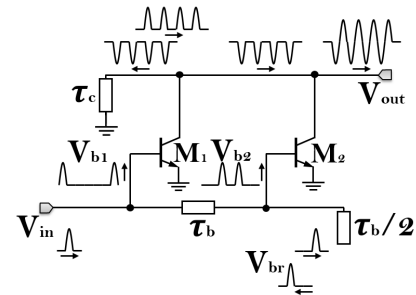
기존의 분산형 펄스발생기는 시간 인터리빙(interleaving) 방식을 이용해 여러 임펄스 생성기에서 생성된 임펄스를 결합하여 초 광대역 펄스를 생성하는 구조와 분산증폭기 구조를 응용하여 펄스를 발생시키는 구조가 있다^{[2][3]}. 이러한 기존 구조들은 각각의 임펄스를 원하는 극성 및 진폭으로 변화시켜 서로 다른 출력 펄스파형 및 스펙트럼을 생성할 수 있는 장점이 있으나, 회로의 복잡도가 높은 단점이 있다. 기존 구조들의 단점을 개선하기 위해 4단 분산증폭기 구조 펄스발생기를 응용하여 회로의 복잡도를 줄인 2단 분산증폭기 구조 펄스발생기를 제안한다.

그림 1(a)는 기존의 분산 증폭기 원리를 이용한 펄스 발생기이다^[2]. 하나의 펄스가 입력되면 입력 전송선을 따라 이동하며 각 단 트랜지스터 출력에서 전류 펄스를 생성하며, τ_d 전송선을 거치며 반대 극성의 전류 펄스가 생성되어, 총 4개의 양극성(bipolar) 펄스가 생성된다. 이 구조는 출력 임피던스 정합이 나쁜 단점이 있다. 그림 1(b)는 본 논문에서 사용한 2단 분산증폭기 구조 펄스 발생기이다. 출력단의 펄스 반사 구조는 기존의 4단 구조와 동일하나, 입력단의 전송선에 끝이 개방된 지연선로를 연결하였다. 이로 인해 입력 펄스와 모양이 동일한 반사파 V_{br} 이 생성되고, 각 트랜지스터의 베이스에 V_{b1} , V_{b2} 와 같은 두 개의 펄스가 전달된다. 그림 1(a)의 기존 구조와 비교하여 동일한 출력 펄스를 생성하나, 4단에서 2단 구조로 회로의 복잡도가 낮아지는 장점이 있다. 입력 전송선의 개방으로 인하여 입력 임피던스 정합 특성은 기존 구조와 비교하여 나빠진다.



(a) 기존의 4단 구조^[2]

(a) Conventional 4 stage structure



(b) 본 논문에서 사용한 2단 구조

(b) 2 stage structure in this work

그림 1. 분산증폭기 구조를 이용한 펄스발생기

Fig. 1. Pulse generator using a distributed amplifier.

기존의 평형증폭기 구조 펄스발생기는 입력된 하나의 펄스를 발룬(balun) 또는 디지털 발룬(digital balun)을 이용해 두 개의 펄스로 분배하고, SRD(Step Recovery Diode)를 이용해 매우 짧은 출력펄스를 생성한다^{[4][5]}. 그러나 본 논문에서는 평형증폭기 구조를 이용해 2단 분산증폭기 구조 펄스발생기의 입출력 정합특성을 개선하는 것이 목적이기 때문에, 발룬 대신 강제적인 정 매칭 특성을 가진 90° 하이브리드 커플러 평형증폭기 구조를 사용하였다. 그림 2는 본 논문에서 설계한 하이브리드 커플러 평형증폭기를 이용한 펄스발생기이다. 입력 펄스는 왼쪽 하이브리드 커플러를 거쳐 90°의 위상차를 갖는 두 펄스로 분배되어 각 채널의 동일한 특성을 가진 펄스발생기로 전달된다. 전달된 펄스는 오른쪽 하이브리드 커플러를 거치며 합성되는데, 이때 90° 위상차가 발생하여 입력단 하이브리드 커플러의 위상차를 보상해 줌으로써 최종 출력단에선 동 위상으로 합성된다^[6]. 그림 2의 평형 구조 펄스 발생기에서는 각 채널 입출력의 반사파가 90° 하이브리드를 거치며 상쇄되므로, 그림 1의 단일 채널 구조와 비교하여 입

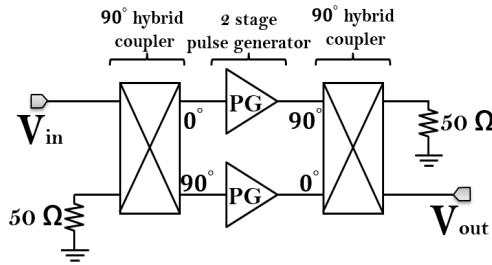


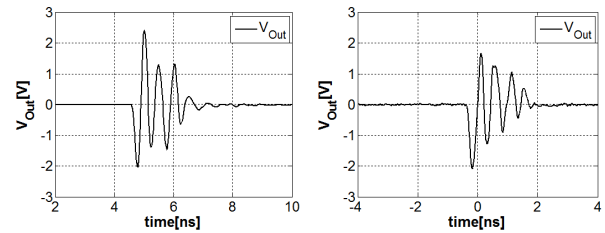
그림 2. 90° 하이브리드 커플러를 이용한 평형구조 기반 펄스 발생기

Fig. 2. Pulse generator in balanced configuration using a 90° hybrid coupler.

출력 임피던스 정합 특성이 크게 개선되는 장점이 있다. 설계에 사용된 트랜지스터는 Infineon사의 BFP740ESD이며, 입력펄스폭 250 ps를 고려하여 지연시간을 갖는 두 개의 양의 펄스를 생성하기 위해 $\tau_b = 500$ ps로 설계하였다. 입력된 양의 펄스로부터 출력단에서 음의 부호를 가지는 반사 펄스를 만들기 위하여, 출력 단락 전송선로의 시간 지연 τ_c 는 펄스폭의 절반인 125 ps로 정하였다. 각 트랜지스터를 class-B로 바이어스하여 상대적으로 높은 전력 효율을 가지도록 설계하였다.

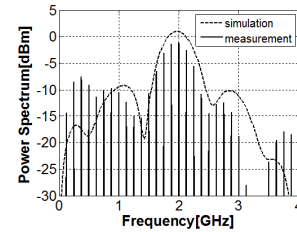
III. 시뮬레이션 및 측정 결과

제작된 펄스 발생기에 12.5 Gb/s BER 테스터(Bit Error Ratio Test: BERT)로 진폭과 폭이 각각 1.7 V와 250 ps인 단일 입력펄스를 인가하고, 출력 파형은 오실로스코프와 스펙트럼 분석기로 측정하였다. 벡터 회로망 분석기(Vector Network Analyzer: VNA)로 2-port 산란 계수를 측정하여 입출력 정합특성을 확인하였다. 그림 3(a)와 (b)는 출력 펄스의 시뮬레이션 및 측정 결과로, 출력 펄스의 진폭은 $3.7 V_{pp}$ 이다. 시뮬레이션 결과인 $4.4 V_{pp}$ 에 비해 0.7 V 감소된 것으로, 트랜지스터 및 FR4 기판 모델링의 부정확성에 의한 차이로 예상된다. 그림 3(c)는 출력 파워 스펙트럼으로, 중심주파수인 2 GHz에서 -1.5 dBm이며, 시뮬레이션 결과와 약 2.5 dB의 차이가 있다. 그림 3(d)와 (e)는 입출력 반사계수의 시뮬레이션 및 측정 결과이다. 1.7~2.6 GHz 대역에서 -10 dB 이하로 측정되어 평형 구조로 인하여 입출력 정합특성이 개선되었음을 나타낸다.



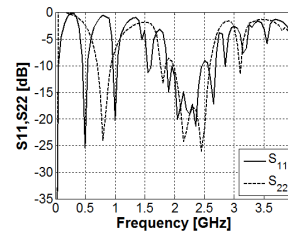
(a) 전압출력파형(시뮬레이션) (b) 전압출력파형(측정)

(a) Voltage waveform(simulation) (b) Voltage waveform(measurement)



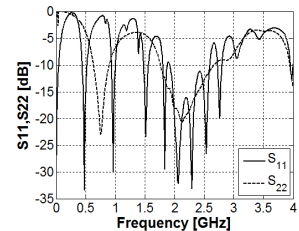
(c) 파워 스펙트럼

(c) Power spectrum



(d) S_{11}/S_{22} (시뮬레이션)

(d) S_{11}/S_{22} (simulation)



(e) S_{11}/S_{22} (측정)

(e) S_{11}/S_{22} (measurement)

그림 3. 시뮬레이션 및 측정 결과

Fig. 3. Simulation and measurement results.

제작된 펄스 발생기는 전원 전압이 5 V일 때 5 mW의 전력을 소모한다. 이때의 효율은 27.6 %이며, 식 (1)을 이용해 구하였다.

$$\eta = \frac{\text{Output peak power} \times \text{Pulse width} \times \text{PRF}}{\text{DC power consumption}} \quad (1)$$

본 논문의 펄스발생기를 기존 연구와 비교하여 표 1에 정리하였다. Class-B 동작으로 인하여 기존 펄스 발생기와 비교하여 높은 효율을 가짐을 알 수 있다.

IV. 결 론

본 논문에서는 평형증폭기 구조를 응용한 펄스발생기

표 1. 기존 펄스발생기 연구 결과와의 비교

Table 1. Comparison of pulse generators.

	Ref. [2]	Ref. [7]	Ref. [8]	This work
PRF[MHz]	10	500	1	100
Pulse width[ns]	1.0	0.25	0.38	2.0
Pulse amplitude[V]	4.5	0.68	0.66	3.7
Power consumption [mW]	5	15.4	19.8	5
Frequency[GHz]	4	7	3	2
Efficiency[η](%)	10.1	0.94	2.6	27.6

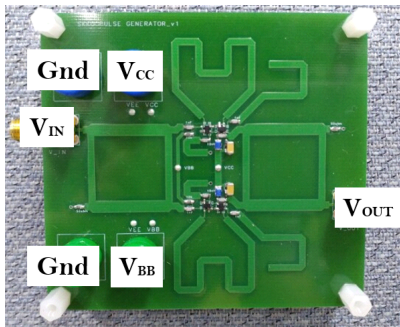


그림 4. 제작된 펄스발생기 사진(크기: 85×80 mm²)

Fig. 4. Photograph of the fabricated pulse generator(size: 85×80 mm²).

의 설계 및 측정 결과를 기술하였다. 측정된 펄스 발생기는 1.7~2.6 GHz 대역에서 입출력 반사계수가 -10 dB 이하로 높은 임피던스 정합 특성을 보였다. 측정된 펄스의 진폭은 3.7 V_{pp}이며, 5 V 전원에서 5 mW의 전력을 소모하며, 27.6 %의 고효율을 가진다. 제작된 펄스 발생기는 지표투과레이다나 ultra-wideband(UWB) 레이더 등에 응용 가능하며, GaN 소자 등의 고출력 반도체 소자를 사용하여 펄스의 진폭을 더욱 크게 할 수 있다.

References

- [1] 윤진성, 백중은, 최연우, 최현, 이창민, "도로동공 탐지를 위한 지표투과레이더의 신호패턴에 관한 연구", 한국도로학회논문지, 18(6), pp. 61-67, 2016년 12월.
- [2] C. Fang, C. L. Law, and J. Hwang, "High-voltage high-efficiency ultrawideband pulse synthesizer", *IEEE Microwave and Wireless Components Letters (MWCL)*, vol. 20, no. 1, pp. 49-51, Jan. 2010.
- [3] Y. Zhu, J. D. Zuegel, J. R. Marciante, and H. Wu, "Distributed waveform generator: a new circuit technique for ultra-wideband pulse generation, shaping and modulation", *IEEE Journal of Solid-State Circuits*, vol. 44, no. 3, pp. 808-823, Mar. 2009.
- [4] A. A. H. Ameri, G. Kompa, and A. Banger, "Balanced pulse generator for UWB radar application", *2011 8th European Radar Conference*, pp. 198-201, Oct. 2011.
- [5] P. Rulikowski, J. Barrett, "Truly balanced step recovery diode pulse generator with single power supply", *IEEE Radio and Wireless Conference*, pp. 347-350, Sep. 2004.
- [6] C. H. Tseng, C. L. Chang, "Improvement of return loss bandwidth of balanced amplifier using metamaterial-based quadrature power splitters", *IEEE Microwave and Wireless Components Letters (MWCL)*, vol. 18, no. 4, pp. 269-271, Apr. 2008.
- [7] H. Kim, D. Park, and Y. Joo, "All-digital low power CMOS pulse generator for UWB system", *IEE Electron. Lett.*, vol. 40, no. 24, pp. 1534-1535, Nov. 2004.
- [8] F. Zito, D. Pepe, and D. Zito, "UWB CMOS monocycle pulse generator", *IEEE Transactions on Circuits and Systems-I*, vol. 57, no. 10, pp. 2654-2664, Oct. 2010.