

## 65-nm CMOS 공정을 이용한 V-Band 차동 저잡음 증폭기 설계

### Design of V-Band Differential Low Noise Amplifier Using 65-nm CMOS

김동욱 · 서현우 · 김준성 · 김병성

Dong-Wook Kim · Hyun-Woo Seo · Jun-Seong Kim · Byung-Sung Kim

#### 요 약

본 논문은 고속 무선 데이터 통신을 위한 V-band 차동 저잡음 증폭기를 65-nm CMOS 공정을 이용하여 설계한 결과를 제시한다. 설계한 저잡음 증폭기는 3단 공통소스 구조이며, MOS 커패시터를 이용한 커패시턴스 중화 기법을 적용하였고, 트랜스포머를 이용하여 각 단의 임피던스 정합을 구현하였다. 제작한 저잡음 증폭기는 63 GHz에서 최대 이득 23 dB을 보이며, 3 dB 대역폭은 6 GHz이다. 제작한 칩의 크기는 패드를 포함하여 0.3 mm<sup>2</sup>이며, 1.2 V 공급 전원에서 32 mW의 전력을 소비한다.

#### Abstract

In this paper, V-band differential low noise amplifier(LNA) using 65-nm CMOS process for high speed wireless data communication is presented. The LNA is composed of 3-stage common-source differential amplifiers with neutralization of feedback capacitances using MOS capacitors and impedance matching utilizing transformers. The fabricated LNA has a peak gain of 23 dB at 63 GHz and 3 dB bandwidth of 6 GHz. The chip area of LNA is 0.3 mm<sup>2</sup> and the LNA consumes 32 mW DC power from 1.2 V supply voltage.

Key words: Low Noise Amplifier, CMOS, V-Band

#### I. 서 론

무선 데이터 트래픽의 폭발적인 증가와 고속 무선 데이터 통신의 필요성이 대두됨에 따라 밀리미터파 대역을 이용한 무선 통신 시스템에 대한 연구가 활발히 진행되고 있다<sup>[1],[2]</sup>. 그 중 57~66 GHz 대역은 국내에서 비 허가 주파수 대역으로 지정되어 주로 고속 데이터 통신에 사용한다.

데이터 통신용 수신기는 높은 변환 이득, 넓은 대역폭, 낮은 잡음지수와 높은 선형성이 요구된다. 따라서 수신기

가장 앞 단에 오는 능동회로인 저잡음 증폭기는 수신기 전체의 잡음지수를 낮추기 위해 높은 이득과 낮은 잡음지수를 갖도록 설계해야 한다. 또한 선형성을 개선하기 위하여 수동 하향변환 믹서를 사용하는 경우, 20 dB 이상의 이득을 가지는 고이득 저잡음 증폭기를 사용하여야 수신기가 충분히 높은 변환 이득과 낮은 잡음지수를 가질 수 있다.

본 논문에서는 65-nm CMOS 공정으로 고속 무선 데이터 통신을 위한 V-band 저잡음 증폭기를 설계하였다. II 장에서는 회로의 설계 내용을 설명하고, III 장에서는 측정

「이 연구는 삼성전자(Samsung Electronics Co., Ltd) 지원으로 수행한 연구 결과임.」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

· Manuscript received August 17, 2017 ; Revised October, 17, 2017 ; Accepted October, 18, 2017. (ID No. 20170817-083)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

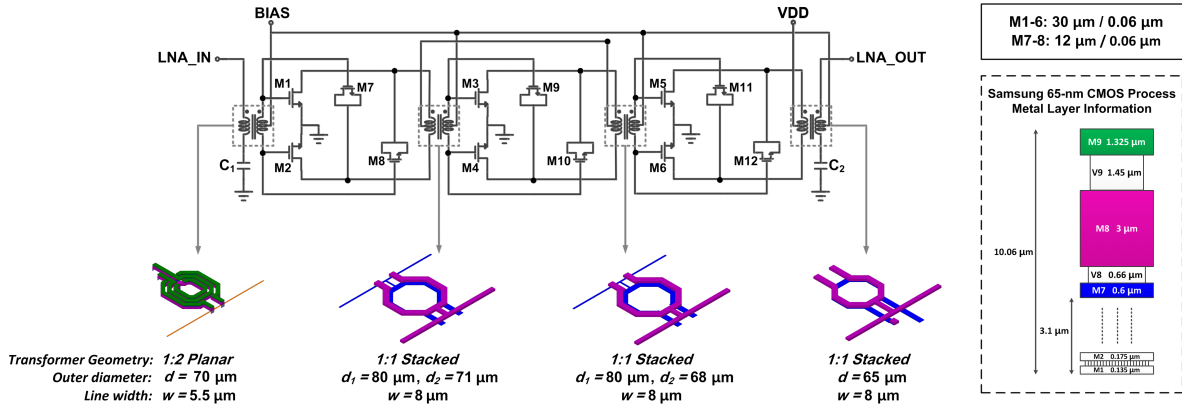


그림 1. 저잡음 증폭기의 회로도와 삼성 65-nm CMOS 공정의 금속 층 정보  
Fig. 1. Schematic of the LNA and metal layer information of Samsung 65-nm CMOS process.

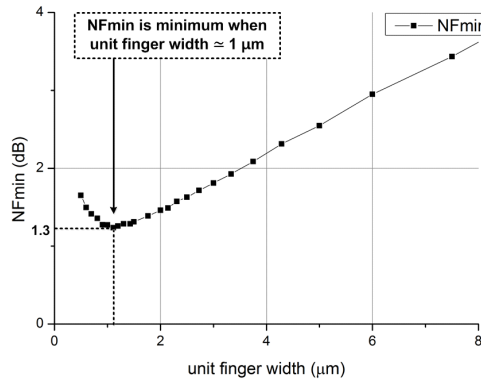


그림 2. 총 게이트 너비  $30 \mu\text{m}$ 인 FET의 게이트 단위 가지 너비에 따른 최소잡음지수  
Fig. 2. Minimum noise figure of single common source FET with  $30 \mu\text{m}$  gate width due to unit gate finger width.

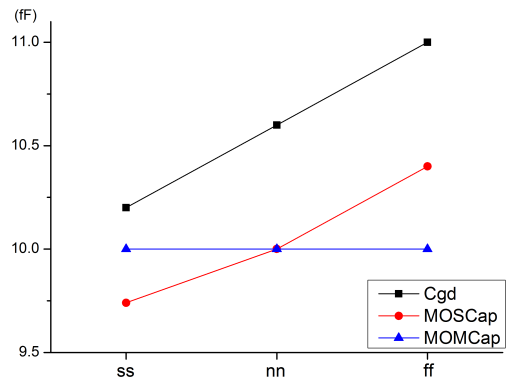


그림 3. 증폭기에 사용한 MOSFET의  $C_{gd}$ 와  $10 \text{ fF}$  MOS 커패시터와 MOM 커패시터의 공정간 오차  
Fig. 3. Process variation of  $C_{gd}$  of MOSFET with  $30 \mu\text{m}$  gate width and capacitance of  $10 \text{ fF}$  MOS capacitor and MOM capacitor.

결과와 시뮬레이션 결과를 보이며, 마지막으로 IV장에서 결론을 제시한다.

## II. 회로 설계

설계한 저잡음 증폭기는 3단 공통소스 차동 증폭기 구조이다. 차동 저잡음 증폭기는 단일 종단 저잡음 증폭기에 비해 동일 이득 조건에서 전력 소모는 크고 잡음지수는 높은 단점이 있으나, 밀리미터파 대에서는 접지경로에 대해 둔감하고, 정합을 용이하게 할 수 있는 장점이 있다.

아울러 낮은 주파수에서는 공통소스구조가 캐스코드 구조에 비해 이득이 적고 대역폭이 좁지만,  $60 \text{ GHz}$  대에서는 공통 소스 구조가 가용 이득과 잡음 특성이 우수하여 저잡음 증폭기에 사용하기에 적합하다. 하지만 MOSFET의 총 게이트 너비가 작을 경우, 충분한  $g_m$ 과 이득을 얻을 수 없다. 또한 총 게이트 너비가 커지면 게이트의 기생 커패시턴스 성분이 증가함에 따라 최소잡음지수가 높아진다. 본 논문에서는 일반적으로 저잡음 증폭기 설계에서 널리 사용하는 게이트 단위 너비 당 약  $150 \mu\text{A}/\mu\text{m}$ 의 전류밀도를 기준으로 전체 전력 소모를 고려하여 단일

FET의 폭을  $30\ \mu\text{m}$ 로 결정하였다. 단일 가지의 너비는 그림 2와 같이 동일한 총 너비  $30\ \mu\text{m}$  소자에 대해 다양한 단일 가지 너비를 조절하여 최소 잡음 지수를 보이는  $1\ \mu\text{m}$ 로 결정하였다.

공통 소스 증폭기는 안정도가 떨어지기 때문에 고이득과 안정도를 동시에 달성하기가 어렵다. 따라서 본 논문에서는  $20\ \text{dB}$  이상의 이득을 달성하기 위해 각 단에 커패시턴스 중화(Neutralization) 기법을 사용하였다<sup>[3]</sup>. 커패시턴스 중화는 추가적인 전력소모 없이 증폭기의 이득과 안정성을 향상시킨다. 하지만 중화 커패시터가 MOSFET 차동쌍의 게이트-드레인 간 커패시턴스  $C_{gd}$ 에 비해 크거나 작을 경우, 증폭기의 이득과 안정성이 떨어지게 된다. MIM 커패시터와 MOM 커패시터는 MOS 커패시터에 비해 Q값이 높지만, MIM 커패시터는 공정상 작은 커패시턴스 값을 구현하기 어렵다. 또한 그림 3에서 알 수 있듯이, MOS 커패시터의 공정간 오차는 MOM 커패시터와는 달리, MOSFET의  $C_{gd}$ 의 공정간 오차와 유사한 경향을 보인다. 따라서 설계한 증폭기에서는 공정간 오차에 따른 증폭기의 성능 변화를 최소화하기 위하여 능동소자에 최대한 가깝게 레이아웃한 MOS 커패시터를 중화 커패시터로 사용하였다. MOS 커패시터의 크기는 능동 소자의 레이아웃에 의한 기생성분을 고려한 시뮬레이션을 통해 중화한 차동쌍의 최대가용이득이 최대가 되도록 정하였다. 그림 4는 최종적인 중화 차동쌍의 가용 이득과 최소 잡음 지수를 나타낸 것이다.

칩의 면적을 최소화하고, 공급 전압 및 바이어스 전압 공급을 간단히 하기 위하여 증폭기의 입력, 출력, 그리고 단 간의 임피던스 매칭을 트랜스포머를 사용하여 구현하였다. 입력 임피던스 매칭을 위한 트랜스포머는  $50\ \Omega$  전원 임피던스를 기준으로 권선비를 1:2로 하여 평행 결합 구조로 설계하였다. 단 간 임피던스 정합과 출력 임피던스 정합을 위한 트랜스포머는 권선비를 1:1로 하여 수직 결합 구조로 설계하였으며, 단 간 임피던스 정합을 위한 트랜스포머들은 1차 측과 2차 측이 수직으로 겹쳐지는 면적을 감소시켜 기생 커패시턴스를 줄임으로써 트랜스포머의 자기공진주파수를 높였다. 또한 각 트랜스포머의 센터 탭을 통해 능동 소자들의 바이어스 전압을 공급하였다.

차동 증폭기에서는 입력과 출력에서 단일 대 차동 변

환 시, 발룬의 양 쪽으로 보이는 임피던스의 차이에 의해 차동 신호의 위상 및 진폭의 부조화가 일어나, 이득 손실이 발생하게 된다. 특히 입력 단에서의 이득 손실은 증폭기 전체의 잡음지수를 크게 악화시킨다. 설계한 저잡음 증폭기는 단일 대 차동 변환 시의 손실을 최소화하기 위하여 최종 입력 및 출력 단에 커패시턴스  $C_1$ 과  $C_2$ 를 추가하였다<sup>[4]</sup>.

### III. 측정 및 시뮬레이션 결과

설계한 저잡음 증폭기를  $65\text{-nm}$  CMOS 공정으로 제작하였으며, Anritsu사의 MS4647A 벡터 네트워크 분석기를 이용하여 온 칩 프로빙으로 소신호 특성을 측정하였다. 그림 6에서 알 수 있듯이, 제작한 저잡음 증폭기는  $63$

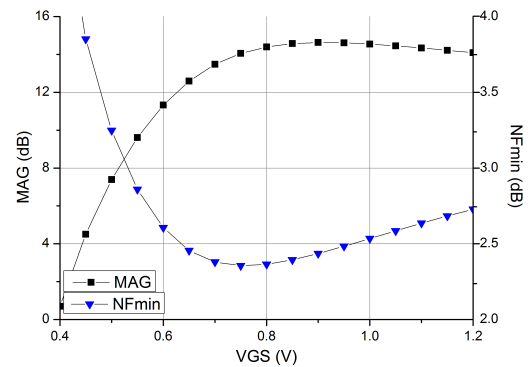


그림 4. 바이어스 조건에 따른 단일 중화 차동쌍의 최대 가용이득과 최소잡음지수

Fig. 4. Maximum available gain and minimum noise figure of a neutralized differential pair according to bias condition.

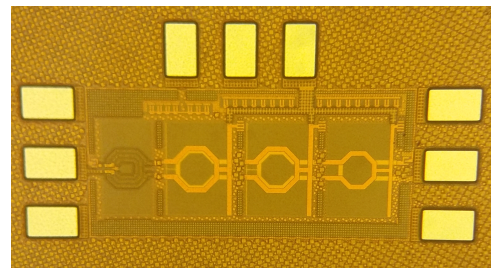


그림 5. 저잡음 증폭기 칩의 현미경 사진

Fig. 5. Chip micrograph of the LNA.

표 1. 저잡음 증폭기 성능 비교

Table 1. Performance comparison with other works.

Ref.	Process	Type	Peak gain (dB)	Peak gain frequency (GHz)	3 dB BW (GHz)	Noise figure (dB)	P <sub>1dB</sub> (dBm)	Chip area (mm <sup>2</sup> )	P <sub>dc</sub> (mW)
Ref. [5]	90-nm CMOS	2-stage cascode	17	57	17	4.4	-1	0.6	19
Ref. [6]	65-nm CMOS	3-stage cascode	21	60	14	4.9	-8.4	1.7	34
This work	65-nm CMOS	3-stage CS	23	63	6	5.3*	-3*	0.3	32

\* Simulated value

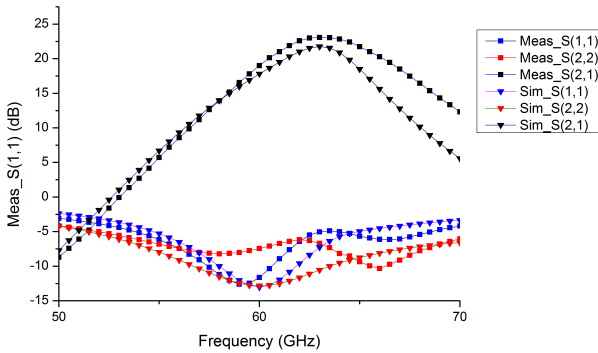


그림 6. 저잡음 증폭기의 S-parameter 측정 결과

Fig. 6. Measurement results of S-parameters of the LNA.

GHz에서 최대이득 23 dB를 가지고, 3 dB 대역폭은 6 GHz이며, 1.2 V 공급 전압에서 32 mW의 직류 전력을 소모한다. 제작된 칩의 면적은 패드를 포함하여 0.3 mm<sup>2</sup>이고, 시뮬레이션 결과로 얻은 최소 잡음지수와 출력 P<sub>1dB</sub>는 각각 5.3 dB과 -3 dBm이다.

표 1에서는 설계한 증폭기의 성능을 기존의 저잡음 증폭기들과 비교하였다. 설계한 증폭기는 기존의 증폭기들과 비교해 더 큰 이득을 보이며 적은 칩 면적을 차지한다.

#### IV. 결 론

본 논문에서는 65-nm CMOS 공정을 사용하여 V-band 저잡음 증폭기를 설계 및 제작하였다. 저잡음증폭기는 MOS 커패시터를 이용한 커패시턴스 중화 기법을 사용하여 3단 공통소스 차동 구조로 설계하였다. 제작한 저잡음 증폭기는 63 GHz에서 최대 전력이득 23 dB를 가지며, 6 GHz의 3 dB 대역폭을 가진다. 제작한 증폭기 칩의 크기는 패드를 포함하여 0.28 mm<sup>2</sup>이며, 32 mW의 직류 전력을 소비한다.

#### References

- [1] K. Okada *et al.*, "Full four-channel 6.3-Gb/s 60-GHz CMOS transceiver with low-power analog and digital base-band circuitry" in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 1, pp. 46-65, Jan. 2013.
- [2] L. Kuang *et al.*, "A fully integrated 60-GHz 5-Gb/s QPSK transceiver with T/R switch in 65-nm CMOS," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 3131-3145, Dec. 2014.
- [3] H. Asada, K. Matsushita, K. Bunsen, K. Okada and A. Matsuzawa, "A 60 GHz CMOS power amplifier using capacitive cross-coupling neutralization with 16 % PAE," *2011 6th European Microwave Integrated Circuit Conference, Manchester*, pp. 554-557, 2011.
- [4] S. Aloui *et al.*, "RF-pad, transmission lines and balun optimization for 60 GHz 65nm CMOS power amplifier" in *Radio Frequency Integrated Circuits Symp.*, pp. 211-214, May 2010.
- [5] H. C. Yeh, C. C. Chiong, S. Aloui, and H. Wang, "Analysis and design of millimeter-wave low-voltage CMOS Cascode LNA with magnetic coupled technique," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 12, pp. 4066-4079, Dec. 2012.
- [6] H. H. Hsieh, P. Y. Wu, C. P. Jou, F. L. Hsueh and G. W. Huang, "60 GHz high-gain low-noise amplifiers with a common-gate inductive feedback in 65 nm CMOS," *2011 IEEE Radio Frequency Integrated Circuits Symposium, Baltimore, MD*, pp. 1-4, 2011.