

디지털 위상 보간기를 이용한 고속 칩 PLL 설계

Design of a Fast Chirp PLL Using Digital Phase Interpolator

신진욱 · 박세준 · 문준호* · 김병성

Jin-Uk Shin · Se-Jun Park · Jun-Ho Moon* · Byung-Sung Kim

요 약

본 논문에서는 고속 칩을 발생시키기 위한 이중변조구조를 사용한 위상고정루프를 제안한다. 설계된 주파수 합성기는 고주파 통과 영역과 저주파 통과 영역을 나누어 주파수를 고정한다. 고주파 통과 영역에서는 전하 디지털 아날로그 변환기를 이용하여 연속적인 주파수 변화가 가능하도록 설계하였고 자가 보정기능을 하는 디지털 회로를 추가하여 전압제어 발진기의 비선형성을 보상하였다. 저주파 통과 영역에서는 디지털 위상 보간기와 델타-시그마 변조기를 사용하여 낮은 스퓨리어스를 가지며 주파수를 고정하도록 설계하였다. 설계된 회로는 28nm CMOS 공정을 이용하여 설계하였으며, 총 32 mW의 전력을 소모한다. 주파수 변조 대역폭은 960 MHz이며, 칩 시간은 41.6 μ s를 가진다. 칩의 기울기는 21.3 MHz/ μ s가 되고 3.7 MHz의 rms 주파수 오차를 가진다.

Abstract

This study proposes a phase-locked loop using a two-point modulation technique for fast chirp generation. The frequency synthesizer consists of high- and low-pass regions. In the high-pass region, continuous frequency modulation was achieved using a charge digital-to-analog converter, while a self-calibration block compensates for the nonlinearity of the voltage-controlled oscillator. In the low-pass region, the synthesizer is locked to the desired frequency with a low spurious level using a divider, delta-sigma modulator, and digital phase interpolator. The design used a 28 nm CMOS process and consumed 32 mW power. The chirp bandwidth is 960 MHz with a chirp duration of 41.6 μ s. The slope of the chirp is 21.3 MHz/us, with a root mean square error of 3.7 MHz.

Key words: PLL, QDAC, TPM, Chirp, DPI

I. 서 론

밀리미터파 대역의 FMCW(frequency modulated continuous wave) 레이다는 자율주행 및 소형 무인이동체, 의학 촬영 분야와 같은 다양한 분야에서 중요한 역할을 하

고 있다. 이에 따라 FMCW 신호 발생기에 대한 연구도 활발해지고 있다. FMCW 주파수 합성기는 레이다의 SNR(signal to noise ratio)과 속도 정확도를 개선하기 위해 높은 칩 선형성과 고속 칩을 필요로 한다. 전하 펌프 Fractional-N PLL은 고선형성을 가진 칩 신호를 만들어 낼

*본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.

*본 연구는 삼성전자의 지원(과제번호IO201209-07913-01)을 받아 수행된 결과임.

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

*삼성전자 Foundry사업부(Samsung Foundry)

• Manuscript received February 24, 2024 ; Revised March 11, 2024 ; Accepted March 14, 2024. (ID No. 20240224-018)

• Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

수 있다. 하지만 Fractional-N PLL에서 발생하는 양자화 노이즈를 억제하기 위해서는 좁은 루프 대역이 필요하고 이는 칩의 속도와 선형성과 상충관계를 가진다.

본 논문에서는 대역폭의 제한 없이 고속 칩 FMCW 신호를 발생시키기 위해 고주파 통과 영역은 자가 보정회로와 전하 디지털 아날로그 변환기로 구성되고, 저주파 영역은 디지털 위상 보간기를 사용하여 낮은 스퓨리어스 레벨을 가지는 PLL를 제안한다. II장에서 제안하는 PLL의 설계를 설명하고, III장에서는 측정 결과, IV장에서는 결론을 제시한다.

II. PLL 설계

2-1 TPM(Two Point Modulation) PLL 전체 구조

그림 1은 제안하는 TPM PLL 전체 구조를 나타낸 것이다. 전체 PLL은 VCO, QDAC, 보정회로, 분주기, 디지털 위상 보간기, 주파수-위상 검출기, 전하 펌프, 루프 필터로 구성되어 있다.

디지털 위상 보간기는 한 주기의 클럭을 보간기의 해상도만큼 분주하여 디지털 코드에 따라 입력되는 신호의 위상을 변화시킨다. 일반적인 위상고정루프의 경우 정수의 분주로 유리수의 분주를 하기 위해서 여러 개의 정수의 분주를 통해 평균으로 유리수를 분주를 하게 된다.

예를 들어 4.25의 분주를 하기 위해서 4의 분주를 3번

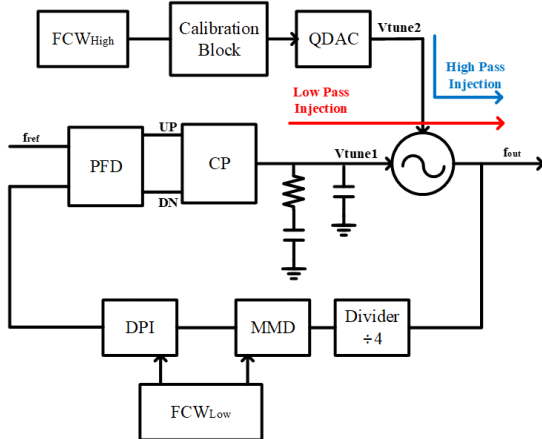


그림 1. 제안하는 TPM PLL 전체 블록도
Fig. 1. Proposed TPM PLL block diagram.

5의 분주를 1번하여 평균값으로 4.25의 분주를 얻게 된다. 이렇게 평균을 통해 분주를 하게 되면 일반적으로 기준 신호와 피드백 신호가 위상 차이가 발생하다가 마지막 분주를 통해 위상 차이가 사라지게 된다. 그림 2는 일반적인 PLL에서 유리수 분주 시 발생하는 위상차이를 그림으로 나타낸 것이다. 이러한 위상 차이는 스퓨리어스 레벨을 상승시키는 원인이 된다.

일반적인 위상 고정루프에서 발생하는 스퓨리어스 레벨을 감소시키기 위해 주파수 분주기에 디지털 위상 보간기를 추가하여 매 클럭마다 발생하는 위상 차이를 보간함으로써 위상 차이를 0으로 만들 수 있다. 그림 3는 디지털 위상 보간기를 이용한 위상고정루프의 위상 차이를 나타낸 것이다.

그림 4는 디지털 위상 보간기를 포함한 위상고정루프의 위상 잡음 시뮬레이션 결과이다. 정수값은 150, 분주비는 17/32로 설정하여 시뮬레이션 하였다. 디지털 위상 보간기가 없는 위상고정루프의 경우 fractional 값으로 고

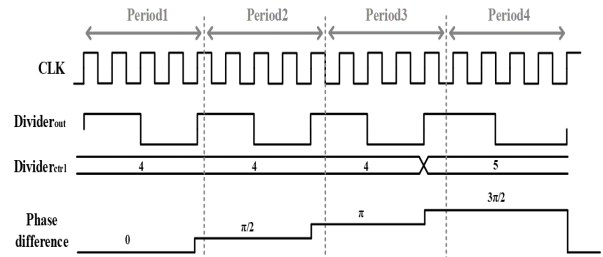


그림 2. 일반적인 위상고정루프의 파형
Fig. 2. Waveform of a typical PLL.

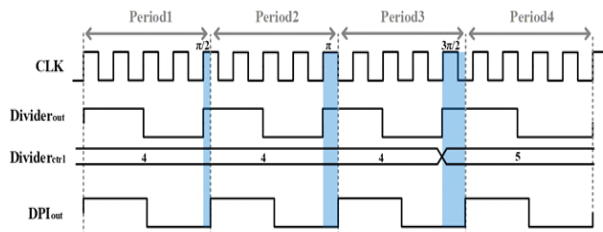


그림 3. 디지털 위상 보간기를 이용한 위상고정루프의 파형
Fig. 3. Waveform of PLL using digital phase interpolator.

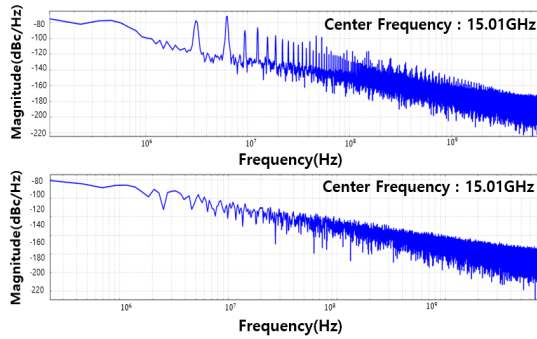


그림 4. Fractional 위상고정루프에서 위상잡음 비교
Fig. 4. Comparison of phase noise in fractional PLL.

정하는 동안 기준 주파수와 피드백 주파수 차이로 인한 fractional 스푸리어스가 발생하였다. 반면에 디지털 위상 보간기가 포함된 위상고정루프의 경우 디지털 위상 보간기가 fractional ratio를 구현함으로써 기준 주파수와 피드백 주파수의 차이가 발생하지 않아 fractional 스푸리어스를 감소시킬 수 있다.

2-2 디지털 위상 보간기

디지털 위상 보간기는 2개의 D flip-flop을 거친 각각의 출력의 차를 보강하는 회로로 입력되는 비트에 따라 보강되는 위상이 달라진다. 그림 5는 디지털 위상 보간기의 유닛 셀을 나타낸 것이다. 유닛 셀이 디지털 비트만큼 존재하여 입력 비트에 따라 출력단에 흐르는 전류의 양을 조절한다. 이러한 전류의 차이는 출력단에 존재하는 커패시터에 전하가 쌓이는 시간을 조절하여 문턱 전압에 도달하는 시간이 달라진다. 커패시터의 전압이 문턱 전압이

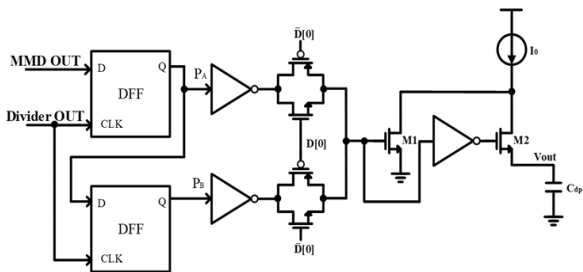


그림 5 디지털 위상 보간기 유닛 셀
Fig. 5 Unit cell of digital phase interpolator.

되면 디지털 위상 보간기의 출력이 high로 바뀌게 된다.

설계한 디지털 위상 보간기는 8-bit로 MSB 5-bit은 thermometer로, LSB 3-bit은 binary로 구성하였다. 보간기에 의해 딜레이 되는 시간은 식 (1)과 같다.

$$T_d(D) = \frac{V_{ref}C_{dpi}}{2^8I_0} + \frac{D}{2^8}\Delta T \quad (1)$$

D 는 디지털 입력 비트, V_{ref} 는 문턱 전압, C_{dpi} 는 보간기 출력단에 존재하는 커패시터, ΔT 는 2개의 D flip-flop 출력신호의 차를 나타낸다^[1].

2-3 분주기(MMD) 및 델타-시그마 변조기(DSM)

전압 제어 발진기의 출력이 TSPC(true single phase clock) 주파수 분주기로 들어가 주파수를 4로 나누어 준다. 4로 나누어진 주파수는 4/5 프리스케일러, 펄스 카운터와 스왈로우 카운터를 이용하여 주파수가 나눈어진다. 그림 6 및 그림 7은 분주기(MMD)와 델타-시그마 변조기(DSM)를 나타낸 것이다. 펄스 카운터와 스왈로우 카운터는 디지털 비트에 따라 분주비가 바뀌게 되고 가변 분주비는 32~63까지 나눌 수 있다. 이전 단계 4 분주기를 포함하면 전체 분주비는 128~252까지 분주가 가능하다. 델타-시그마 변조기는 fractional word를 입력으로 받아 주파수 분주비를 변화시켜 평균으로 fractional 분주비를 만든다.

2-4 디지털 보정 회로

디지털 보정 회로는 VCO의 바랙터에 의한 비선형적인 특성을 선형적으로 보정하는 회로로 주파수 변조가 큰

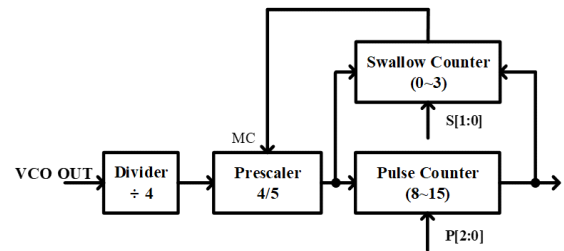


그림 6. 분주기 블록 다이어그램
Fig. 6. Multi-modulus divider block diagram.

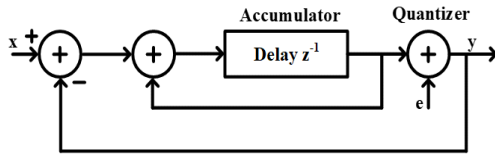


그림 7. 1차 시그마-델타 변조기 등가모델
Fig 7. Equivalent model of first-order DSM.

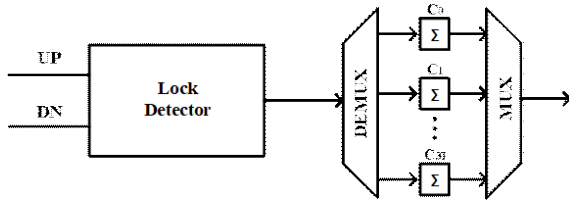


그림 8. 디지털 보정 회로 블록 다이어그램
Fig. 8. Digital calibration circuit block diagram.

고주파 통과 영역에서 동작한다. 고주파 통과 영역에서 주파수가 선형적으로 변조된다면 PLL은 선형적인 특성을 보이게 된다. 디지털 보정 회로는 칩 대역을 32개로 나누고 각각의 구간에 같은 상숫값을 지정한다. 구간별로 주파수 위상 검출기에서 나온 UP/DN 신호의 갯수를 통해 UP의 개수가 많다면 상숫값을 증가시키고 DN의 개수가 많다면 값을 감소시킨다. 이러한 보정 작업은 여러 칩을 거치면서 진행되고 모든 구간에 대해 상숫값이 결정되면 보정이 완료된다. 그림 8은 디지털 보정 회로를 도식화한 것이다^[2].

III. PLL 측정 결과

해당 칩은 PCB 보드를 이용하여 측정하였다. 그림 8은 설계된 회로의 layout이며 PCB를 제작하여 측정하였다. VCO의 출력은 Keysight사의 N9030A 스펙트럼 분석기를 사용하여 측정하였다(그림 9)

VCO는 전압에 따라 14.1 GHz~16.4 GHz 발진하였다. 오프셋 주파수 1 MHz에서 위상 잡음은 -90.8 dBc/Hz 이다. 그림 10은 Anritsu사의 MS2850A 스펙트럼 분석기를 사용하여 측정된 시간에 따른 주파수 변화를 나타낸다. 칩 타임을 $49.6 \mu\text{s}$ 로 설정하고 칩 대역폭은 960 MHz로 설정하여 측정하였다. 표 1은 PLL 성능을 비교한 표이다.

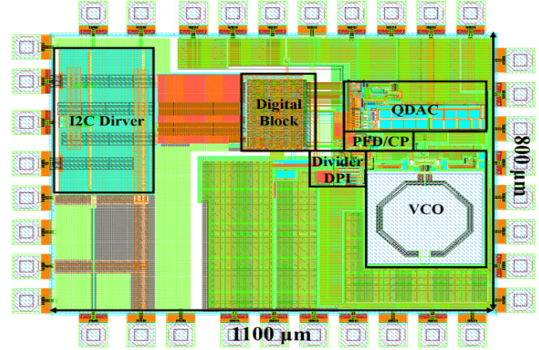


그림 9. 설계된 PLL 레이아웃
Fig. 9. Layout of PLL.

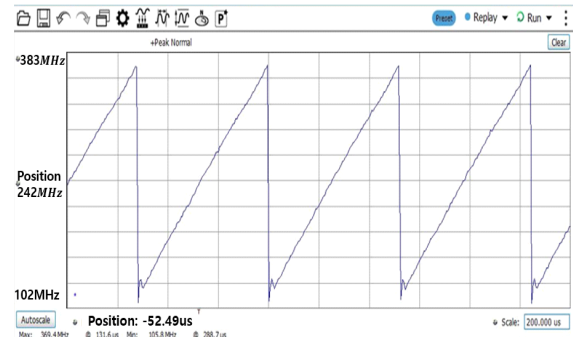


그림 10. 칩 측정 스펙트럼 결과
Fig. 10. Measurement of chirp spectrum.

IV. 결 론

본 논문은 28-nm CMOS 공정을 이용하여 고속 칩이 가능한 이중 변조 위상고정루프를 제안하였다. 전하 디지털 아날로그 변환기를 이용하여 전압 제어 발진기의 전압을 연속적으로 조절하여 주파수의 공백을 없애고 보정 회로를 통해 선형적인 주파수 변조를 구현하였다. 디지털 위상 보간기를 이용하여 매 주기마다 fractional ratio를 구현하여 기존에 시그마-델타 변조기에서 발생하는 fractional 스퓨리어스를 줄이고자 하였다. 측정 결과 분주된 주파수와 기준 주파수 사이의 주파수 오차가 발생하였는데, 이는 시그마-델타 변조기의 주기성을 기존 주파수보다 높은 주파수에서 발생시키기 위한 digital code로 인한 것으로 추측되며, 이는 시그마-델타 변조기와 디지털 위상 보간기의 비동기의 원인으로 분석된다. 추후 이 부분을 보

표 1. 위상 고정 루프의 성능 요약 및 비교

Table 1. Performance summary and comparisons of PLL.

	This work	Ref. [1]	Ref. [2]	Ref. [5]	Ref. [6]
Architecture	TPM/DPI/CPPLL	QDAC/TPM/SSPLL	TPM/Frac-N PLL	TPM/Frac-N PLL	DPLL
Reference frequency [MHz]	100	80	100	-	120
VCO Frequency range [GHz]	14.1~16.4	8.3~11.7	14.1~16.4	19~20.25	36.3~38.2
Chirp Bandwidth [GHz]	0.96	1.21	0.86	1	0.5
Chirp+Idle time [μ s]	48	12.8	42.8	40	55
Chirp slope [MHz/ μ s]	21.3	94.5	20.1	25.0	9.1
fBW, PLL [MHz]	1	3	0.2	0.3	0.208
Rms Frequency error[kHz]	3,700	-	7,000	-	824
phase noise @ 1 MHz [dBc/Hz]	-90.8	-109.1	-100.14	-112	-77.3
Chirp waveform	Sawtooth	Sawtooth	Sawtooth	Sawtooth	Triangular
Power [mW]	34	11.7	37	-	68
Technology	28-nm CMOS	28-nm CMOS	28-nm CMOS	45-nm CMOS	45-nm CMOS

완하고 디지털 위상 보간기의 해상도를 올린다면 성능을 개선 할 수 있을 것으로 기대한다.

References

- [1] H. Jiang, Z. Zhang, Z. Shen, X. Hao, Z. Liu, and H. Li, et al., "A calibration-free fractional-N ADPLL usibg retiming architecture and a 9-bit 0.3ps-INL phase interpolator," in *IEEE Internatinal Symposium on Circuit and Systems(ISCAS)*, Sapporo, May 2019, pp. 1-5.
- [2] P. T. Renukaswamy, N. Markulic, P. Wambacq, and J. Craninckx, "A 12 mW 10-GHz FMCW PLL based on an integrating DAC with 28-kHz RMS frequency-error for 23-MHz/ μ s slope and 1.2-GHz chirp-bandwidth," *IEEE Journal of Solid-State Circuit*, vol. 55, no. 12, pp. 3294-3307 Dec. 2020.
- [3] Y. S. Jeon, J. H. Moon, S. J. Park, J. U. Shin, and B. S. Kim, "Design of a fast chirp frequency synthesizer using 28-nm CMOS process," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 10, pp. 303-309, Apr. 2023.
- [4] Q. Shi, K. Bunsen, N. Markulic, and J. Craninckx, "A self-calibrated 16-GHz subsampling-PLL-based fast-chirp FMCW modulator with 1.5-GHz bandwidth," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 12, pp. 3503-3512, Dec. 2019.
- [5] B. P. Ginsburg, K. Subburaj, S. Samala, K. Ramasubramanian, J. Singh, and S. Bhatara, et al., "A multimode 76-to-81 GHz automotive radar transceiver with autonomous monitoring," in *2018 IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2018, pp. 158-160.
- [6] D. Weyer, M. B. Dayanik, S. Jang, and M. P. Flynn, "A 36.3 to 38.2 GHz 216 dBc/Hz² 40 nm CMOS fractional- N FMCW chirp synthesizer PLL with a continuous-time band pass delta-sigma time-to digital converter," in *2018 IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2018, pp. 250-252.
- [7] Z. Shen, H. Jiang, H. Li, Z. Zhang, F. Yang, and J. Liu, et al., "A 12-GHz calibration-free all-digital PLL for FMCW signal generator with 78 MHz/us chirp slop and high chirp linearity," *IEEE Journal of Solid-State Circuits*, vol. 67, no. 12, pp. 4445-4456, Jun. 2020.
- [8] K. Hosseini, M. P. Kennedy, "Maximum sequence length

MASH digital delta-sigma modulators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.

54, no. 12, pp. 2628-2638, Dec. 2007.

신 진 욱 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0005-2535-3237>



2022년 2월: 한양대학교 ERICA 전자공학부 (공학사)

2022년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정

[주 관심분야] Frequency Synthesizer 설계

문 준 호 [삼성전자/CL2]

<https://orcid.org/0009-0000-3720-278X>



2021년 2월: 경희대 전자공학과 (공학사)

2023년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)

2023년 7월~현재: 삼성전자 Foundry 사업부 CL2

[주 관심분야] Frequency Synthesizer 설계

박 세 준 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-9150-011X>



2021년 2월: 성균관대학교 전자전기공학부 (공학사)

2021년 3월~2023년 8월: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] Frequency Synthesizer 설계

김 병 성 [성균관대학교/교수]

<https://orcid.org/0000-0003-3084-6499>



1989년 2월: 서울대학교 전자공학과 (공학사)

1991년 2월: 서울대학교 전자공학과 (공학석사)

1997년 2월: 서울대학교 전자공학과 (공학박사)

1997년 3월~현재: 성균관대학교 정보통신대학 교수

[주 관심분야] RFIC 설계, RF 소자 모델링