

DDS를 이용한 초광대역 주파수 합성기 설계 및 구현

Design and Implementation of Ultra-Wideband Frequency Synthesizer Using DDS

정성훈 · 김용환 · 최혁재 · 최대규* · 이규송*

Sunghun Jung · Yonghwan Kim · Hyeokjae Choi · Daegy Choi* · Kyu-Song Lee*

요 약

본 논문에서는 광대역 전자전장비에서 소요되는 C~K대역의 주파수 합성기를 설계 및 제작하였고, 측정결과를 소개하였다. 설계된 주파수 합성기는 mixer나 multiplier 없이 DDS(direct digital synthesis)를 구현하여 6 GHz까지 신호를 생성하는 구조이며, 6 GHz 이상의 신호는 multiplier를 사용한 구조를 적용하였다. 또한, 불요신호, 고조파신호, 위상잡음 등의 신호품질 향상을 위해, 가변 샘플링 주파수 구조와 DDS부 회로를 설계하였다. 제작된 주파수 합성기는 multiplier의 사용 유무에 따라 신호품질 성능이 달라지며, C~G대역은 출력신호세기 평탄도 ± 1.7 dB, 불요신호 -55 dBc 이하, 위상잡음 -95 dBc/Hz(@1 kHz) 이하의 특성을 가진다. Multiplier를 사용한 H~K대역은 출력신호세기 평탄도 ± 2.0 dB, 불요신호 -35 dBc 이하, 위상잡음 -80 dBc/Hz(@1 kHz) 이하의 특성을 가진다. 본 논문의 결과를 통해 C~K대역용 주파수 합성기를 소형화할 수 있었다.

Abstract

In this study, a C~K band frequency synthesizer used in broadband electronic warfare equipment was designed, developed, and the measurement results were presented. The structure of the designed frequency synthesizer generates a signal up to 6 GHz using only direct digital synthesizer(DDS) without a mixer or multiplier. For signals above 6 GHz frequency, the structure uses a multiplier. In addition, a variable sampling frequency structure and a DDS circuit were designed to improve signal quality by reducing spurious signals, harmonic signals, and phase noise. The developed frequency synthesizer has different signal quality performance depending on the use of the multiplier, and the C~G band has output power flatness ± 1.7 dB, spurious signal less than -55 dBc, and phase noise less than -95 dBc/Hz (@1 kHz). The H~K band using multiplier has characteristics of output power flatness ± 2.0 dB, spurious signal less than -35 dBc, and phase noise less than -80 dBc/Hz (@1 kHz). The results of this study confirmed the miniaturization of the signal generation module in the C~K band.

Key words: Electronic Warfare, Frequency Synthesizer, DDS, Spurious, Phase Noise

I. 서 론

현대 전자 공학의 발달로 통신 및 레이더 장비가 다양한 주파수 범위에서 광대역화되어가고 있으며, 이에 대응

「이 논문은 2022년 정부(방위사업청)의 재원으로 국방과학연구소의 지원을 받아 수행된 연구임(계약번호: UG200100ED).」

LIG넥스원(주) 전자전연구소(Electronic Warfare R&D Lab, LIG Nex1 Co., Ltd.)

*국방과학연구소 국방첨단과학기술연구원 레이더전자전기술센터(Advanced Defense Science & Technology Research Institute-Radar & EW Technology Center, Agency for Defense Development)

· Manuscript received March 16, 2023 ; Revised March 30, 2023 ; Accepted April 12, 2023. (ID No. 20230316-021)

· Corresponding Author: Sunghun Jung (e-mail: sunghun.jung@lignex1.com)

할 수 있는 전자전장비의 필요성이 증가하고 있다. 광대역 전자전장비에서 요구되는 주파수 범위는 C~K대역으로 통신(레이다 포함) 주파수 대역으로 표현하면 UHF~Ka대역이며, 특정 중심 주파수의 일부 대역폭만을 사용하는 통신 장비에 비해서 전자전 장비는 C~K대역 전체에서 운용할 수 있어야 한다. 대역폭의 경우 통신에서 정의하는 초광대역(ultra-wideband, UWB)이 500~1,000 MHz인데 비해서 광대역 전자전장비에서는 순시대역폭 기준으로 500 MHz 이상이며, 최상장비는 2,000 MHz 이상이 요구되고 있다. 이러한 이유는 불특정 다수의 통신(또는 레이더)장비에 대응하기 위함이며, 광대역 구현은 전자전장비 개발에 큰 제약 사항이다^{[1][2]}.

광대역 전자전장비에서 주파수 합성기는 재밍신호, 국부(local oscillator, LO)신호, 점검 및 보정신호 등의 용도로 송신기와 수신기 모두에서 핵심 구성품이다. 광대역 주파수 합성기는 합성 방식에 따라 PLL(phase locked loop)을 이용한 간접 합성, 체배기를 이용한 직접 합성(direct synthesis, DS), 직접 디지털 합성(DDS) 등의 종류가 있으며, 구조의 복잡성, 위상잡음, 소모전력, 크기, 동조 속도 등을 고려하여 합성 방식을 결정하고 설계한다. PLL과 VCO(voltage controlled oscillator)를 이용한 간접 합성 방식은 회로가 간단하고 경제적인 장점이 있으나, 위상잡음 특성이 나쁘고 느린 동조 속도 등의 단점이 있다. DS방식은 우수한 위상잡음과 주파수 해상도 및 빠른 동조 속도 등의 장점이 있으나, 일반적으로 크기가 크고 가격이 비싸며, 불요신호가 발생하는 단점이 있다. DDS방식은 작은 크기 및 낮은 소모전력, 정밀한 주파수 해상도와 빠른 동조 속도 등의 장점이 있으나, 광대역 불요신호 특성이 나쁘고 낮은 주파수에서 구현이 가능했다^{[3]~[7]}.

본 논문은 C~G대역에서 신호를 발생시키는 광대역 DDS를 소형화 설계하여, C~G대역의 주파수 합성기와 체배기를 추가 적용한 H~K대역 주파수 합성기를 설계 및 구현하여 성능을 확인하였다.

II. 주파수 합성기 설계

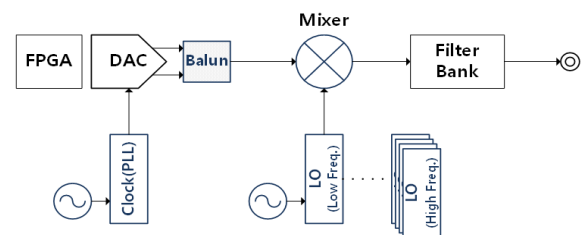
C~K대역의 주파수 합성기를 구현하기 위해, DDS부와 RF부로 나누어서 설계를 하였다. DDS부는 주파수 C

대역~6 GHz까지의 신호를 생성하는 역할을 하며, -15 dBm 이상의 신호를 생성 할 수 있도록 설계하였다. 불요신호 및 고조파 신호 필터링, 신호 증폭, 신호세기 조절, 펄스신호 생성, 주파수 체배, clock 생성 등의 기능은 RF부에서 구현 하도록 설계하였다.

2-1 DDS부 구조 설계

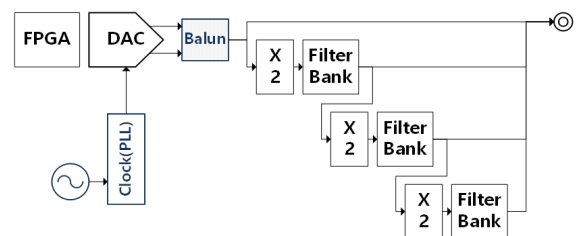
기존의 DDS는 DAC와 FPGA(filed programmable gate array)를 사용하여 3 GHz 이하의 DDS를 구현하고, 낮은 주파수를 상향변환하기 위해 mixer와 multiplier를 사용한다^[8]. 그림 1은 mixer와 multiplier를 이용한 기존의 광대역 DDS부 개념도이다.

Mixer를 사용한 구조는 별도의 가변 국부신호가 필요하여 구조가 복잡해지며, 비선형 소자인 mixer로 인해 불요신호와 고조파 신호가 높게 발생된다. Multiplier를 사용한 구조는 mixer를 사용한 구조에 비해 단순하지만, 요구되는 주파수 범위에 따라 다수의 multiplier가 필요하다. 또한, mixer와 마찬가지로 비선형 소자이기 때문에 불요신호와 고조파 신호가 높게 발생하며, 위상잡음 및 주파



(a) Mixer를 사용한 구조

(a) Structure using mixer



(b) Multiplier를 사용한 구조

(b) Structure using multiplier

그림 1. 기존의 광대역 DDS부 개념도

Fig. 1. Diagram of traditional broadband DDS part.

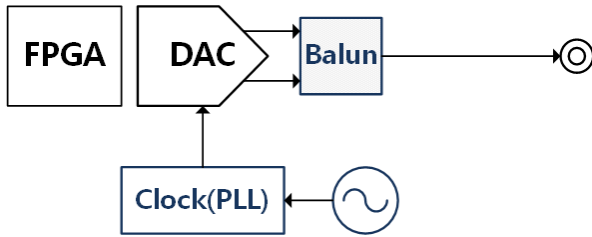


그림 2. 제안하는 광대역 DDS부 개념도
Fig. 2. Diagram of proposed broadband DDS part.

수 해상도가 사용하는 multiplier의 정수배에 비례하여 열화된다.

본 논문에서 제안한 광대역 DDS부는 수 Gsps(giga sample per second)의 높은 샘플링 속도를 지원하는 DAC를 사용하여 높은 주파수를 구현하였고, 그림 2와 같이 mixer나 multiplier가 없기 때문에 필터의 수량도 최소화될 수 있으며, 해상도나 불요신호의 추가 열화 없이 소형 DDS 구현이 가능하다.

2-2 샘플링 주파수 및 주파수 플랜 설계

샘플링 주파수(F_{S1})는 DAC의 특성을 고려하여, 불요신호의 억압과 출력신호세기를 고려하여 설계해야 한다. 본 논문에서 이용한 고속 DAC 소자는 6 Gsps 속도의 샘플링 속도를 지원하여, 그림 3(a)와 같이 신호생성이 가능하다^[9].

또한, 2×NRZ 모드를 사용하면 내부의 quad-switch와 interpolation filter를 이용하여, 기존의 6 Gsps 속도에서 12

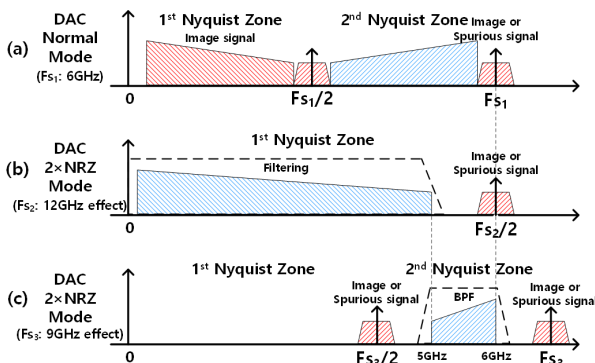


그림 3. DDS부 주파수 플랜
Fig. 3. Frequency plan of DDS part.

표 1. 주파수 합성기 주파수 플랜

Table 1. Frequency plan of frequency synthesizer.

Frequency synthesizer [GHz]	DDS part frequency [GHz]	Multiplier	Sampling frequency [GHz]	Nyquist zone
C band~5	C band~5.0	×1	6.0	1st
5~6	5.0~6.0	×1	4.5	2nd
6~7	3.0~3.5	×2	4.0	2nd
7~10	3.5~5.0	×2	6.0	1st
10~14	2.5~3.5	×4	4.0	2nd
14~18	3.5~4.5	×4	6.0	1st
18~20	4.5~5.0	×4	6.0	1st
K band	2.5~0.0	×8	0.0	0

Gsps 수준의 속도로 업 샘플링 효과를 구현할 수 있다. 해당 모드를 통해서 그림 3(b)와 같이 주파수 6 GHz까지 first Nyquist zone과 같은 효과를 구현할 수 있으며, $F_{S2}/2$ 이후의 신호세기 roll-off 현상과 이미지 신호발생을 피할 수 있다.

그림 3(b)와 같이 주파수 6 GHz까지 first Nyquist zone과 같이 사용 가능하여도 $F_{S2}/2$ 에는 신호가 발생하며, 해당 주파수를 기준으로 반사되는 이미지 신호도 발생한다. 이를 제거하기 위해 6 GHz 인접 주파수 영역은 그림 3(c)와 같이 F_{S3} 로 하향하여, 부분적으로 second Nyquist zone을 사용하였다.

6 GHz 이상의 신호생성은 RF부에서 multiplier를 사용하여 체배 구조로 주파수 상향변환 설계하였기 때문에 체배 수를 고려하여 주파수 플랜을 설계하였으며, 샘플링 주파수와 체배 수가 포함된 주파수 합성기의 최종 주파수 플랜은 표 1과 같다.

2-3 신호품질 향상을 위한 DDS부 회로 설계

주파수 상향변환 없이 직접 출력하는 C~G대역과 다르게 multiplier를 사용할 예정인 H~K대역은 체배 수에 따라 위상잡음과 불요신호가 열화된다. 이상적으로 열화된다고 가정하면 주파수 2체배에 6 dB 열화되며, 8 체배의 경우 18 dB까지 열화가 예상되며 실제로는 1~2 dB가량 추가 열화가 발생할 것으로 예상된다. 이를 개선하기

위해 주파수 상향변환 전 단계인 DDS부에서 최대한 위상잡음과 불요신호를 개선할 필요가 있다.

DDS의 위상잡음은 DAC 입력 클락에 의존적이며, 본 논문에서는 입력 클락으로 PLL을 적용하여 구현하였다. PLL의 위상잡음은 구조적으로 3단계로 구분된다. 주파수 offset 기준으로 신호원에서부터 input reference 잡음, phase detector and charge pump 잡음, VCO 잡음 순서로 위상잡음에 영향을 미친다. PLL 내부회로에 의한 phase detector and charge pump 잡음과 VCO 잡음은 개선이 어렵기 때문에 input reference 잡음을 개선하는 방법이 효과적이다. 표 2는 PLL EVM(evaluation module) 위상잡음 실험 결과와 DAC 위상잡음 실험 결과를 바탕으로 multiplier에 의한 열화를 고려한 위상잡음 분석 결과이다.

본 논문에서는 input reference 잡음에 해당하는 위상잡음을 개선하기 위해 PLL EVM에서 사용한 TCXO보다 낮은 위상잡음 성능을 보유한 제품을 설계에 적용하였고, PLL 및 체배별 위상잡음 측정결과를 III장에 기술하였다.

높은 성능을 보유한 DAC소자의 출력 단자는 일반적으로 differential 선로로 구성되어 있고, differential 선로를 single-ended 선로로 변환하기 위해서는 광대역 balun을 사용해야 한다. DDS부에서 발생하는 신호는 최종적으로 광대역 balun의 영향을 많이 받게 되며, 광대역 balun의 전기적 특성은 크게 삽입손실과 phase unbalance로 나눌 수 있다. 삽입손실은 출력 신호세기에 직접 연관되며, phase unbalance는 위상 불일치로 인한 불요신호 발생과 연관 있다.

본 논문에서는 출력 신호세기는 RF부에서 보정이 가능하기 때문에 phase unbalance 특성이 좋은 광대역 balun을 선정하여 설계하였다. 표 3은 설계에 선택 가능한 광대역 balun 특성이며, DDS부 설계에 각각의 부품을 반영

표 3. 데이터 시트에서 광대역 balun 특성

Table 3. Wideband balun characteristics in data sheet.

Parameter	[Mini-Circuit] TCM1-83X ^[10]	[Mini-Circuit] TCM2-63WX ^[11]	[Marki] BAL-0009 ^[12]
Frequency [MHz]	10~8,000	30~6,000	0.5~9,000
Insertion loss [dB]	1.3~3.0	0.9~3.9	4.5~6.5
Phase unbalance [deg]	8 (Max. 13)	5 (Max. 10)	5 (Max. 12)

하여 제작하였다. 다만, Marki사 BAL-0009의 경우 데이터 시트 특성보다 실제 phase unbalance 특성이 최대값 기준으로 두 배가량 성능이 좋았고, 각각의 광대역 balun이 적용된 DDS부의 측정결과는 III장에 기술하였다.

2.4 주파수 합성기 통합 설계

C~G대역의 RF부는 신호 증폭을 포함하여 신호세기 조절 및 필터링을 수행하는 역할을 하며, RF부 개념도는 그림 4와 같다. 광대역 balun 이후의 RF부는 불요신호와 고조파 신호 억압을 위한 필터뱅크를 설계하였고, 출력신호의 보안을 위해 증폭기 및 디지털 가변 감쇄기를 이용하여 보정할 수 있도록 설계하였다. 펄스 신호 생성은 DAC 내부 생성으로도 가능하지만, 제어의 단순화를 위해 RF부 경로에 SPDT(single pole double through) 스위치를 통해 스위칭 타이밍을 이용한 펄스폭 및 주기의 제어가 가능하도록 하였다.

H~K대역의 RF부는 multiplier를 사용하여 주파수 상향변환을 하는 부분을 제외하고는 C~G대역 RF부와 동일한 역할을 수행하며, H~K대역 RF부 개념도는 그림 5와 같다.

표 2. Multiplier를 고려한 위상잡음 분석

Table 2. Phase noise analysis considering multiplier.

Freq. offset	PLL EVM phase noise [dBc/Hz]	DAC phase noise [dBc/Hz]	DAC phase noise (×2) [dBc/Hz]	DAC phase noise (×4) [dBc/Hz]	DAC phase noise (×8) [dBc/Hz]
1 kHz	-89	-87.5	-81.5	-75.5	-69.5
10 kHz	-105.7	-106.7	-100.7	-94.7	-88.7
100 kHz	-114.8	-116.6	-110.6	-104.6	-98.6

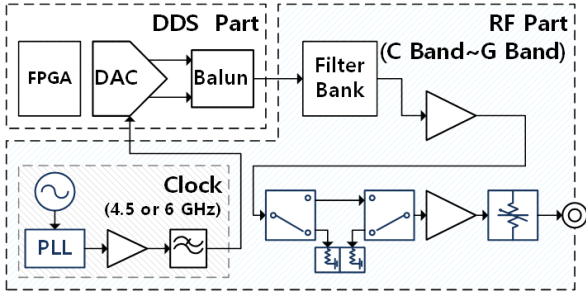


그림 4. C~G대역의 주파수 합성기 개념도
Fig. 4. Diagram of C~G band frequency synthesizer.

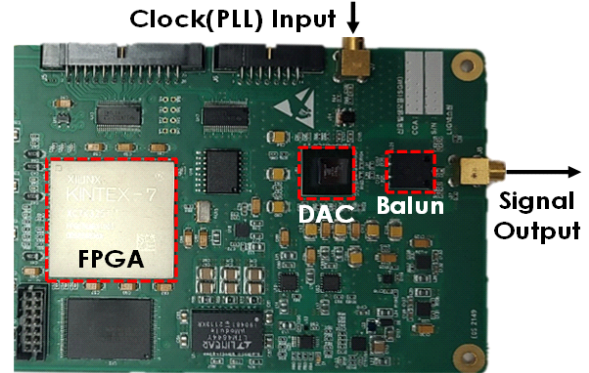


그림 6. DDS부 구현 형상
Fig. 6. DDS part fabrication.

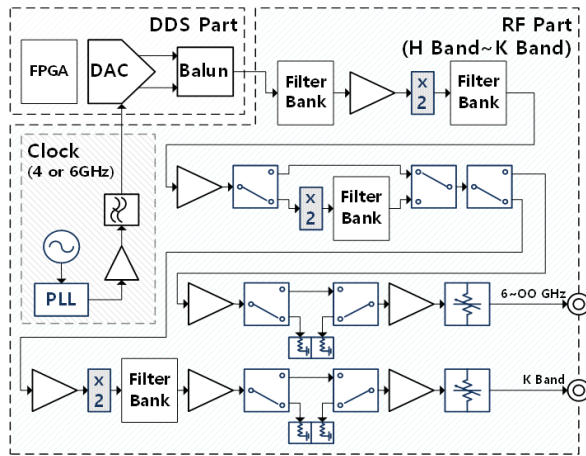


그림 5. H~K대역의 주파수 합성기 개념도
Fig. 5. Diagram of H~K band frequency synthesizer.

주파수 상향변환은 2배배 가능한 multiplier를 세 번에 걸쳐 사용하여 최종적으로 8배배까지 주파수 상향변환한다. 비선형 소자인 multiplier는 필연적으로 고조파 신호가 다수 발생하게 되며, 발생되는 고조파 신호와 불요신호를 억압하기 위해 3~4개의 통과대역으로 구성된 필터뱅크를 4번 적용하여 설계하였다.

III. 제작 및 측정결과

3-1 DDS부 제작 및 측정 결과

DDS부는 Rogers사의 RO4350기판과 RO4450기판을 혼합한 적층구조로 그림 6과 같이 제작하였고, PLL은 차폐가 중요하기 때문에 RF부에 배치하여 차폐가 될 수 있도록

록 하였다. PLL의 위상잡음 개선을 통해 표 2의 PLL EVM보다 약 10 dB 낮은 위상잡음을 그림 7에서 확인할 수 있었고, 최종 주파수 합성기의 위상잡음도 개선될 것으로 예상되었다.

광대역 balun에 따른 DDS부의 출력신호세기와 불요신호 측정결과는 그림 8과 같다. 적용된 balun에 따라 출력신호세기와 불요신호의 크기가 다르게 측정되었으며, 이는 balun의 삽입손실과 phase unbalance에 차이가 있기 때문이다. Marki사의 BAL-0009의 경우 삽입손실이 다른 balun보다 크지만, phase unbalance 특성은 두 배가량 좋은 특성을 보이기 때문에 불요신호 측정결과가 개선되었다.

그 외 DDS부의 출력 주파수 해상도는 샘플링 주파수 6 GHz에서 20 bit 제어 기준으로 약 5.72 kHz이며, 48 bit 까지 제어 bit 수의 증가가 가능해 더욱 세밀한 주파수 조절도 가능하다. 20 bit 제어 기준 출력 주파수 해상도 결과는 그림 9와 같다. 주파수 동조 속도는 제어 신호 클락

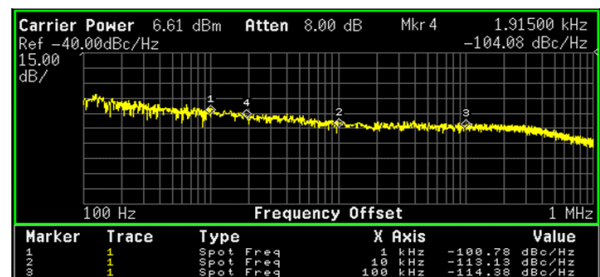
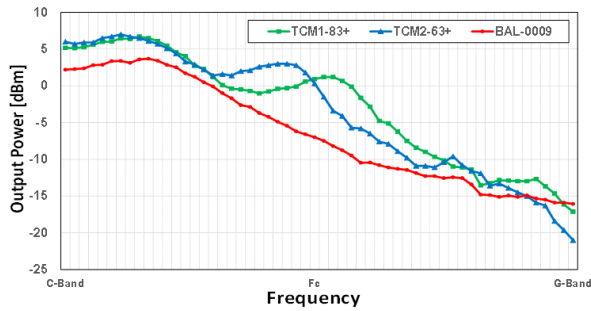
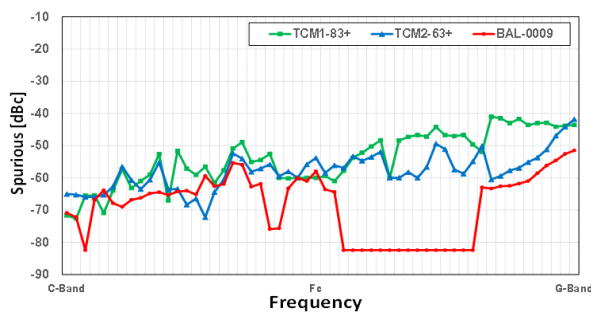


그림 7. PLL 위상잡음 측정결과
Fig. 7. PLL phase noise measurement result.



(a) 출력신호 세기
(a) Output power



(b) 불요신호
(b) Spurious

그림 8. Balun 교체에 따른 DDS부 출력 및 불요신호 측정결과

Fig. 8. DDS part output and spurious signal measurement result according to balun replacement.



(a) 주파수 해상도
(a) Frequency resolution



(b) 6 GHz 출력 신호
(b) 6 GHz output signal

그림 9. DDS부 출력신호 측정결과

Fig. 9. DDS part output signal measurement result.

100 MHz 기준으로 20 bit 제어할 경우, 약 200 ns로 분석 되었으며, 제어 bit 수의 조절과 제어 신호 클락에 따라 동조 속도도 변경된다. 제작된 DDS부는 기존 DDS의 장점을 모두 보유한 상태에서 단점이었던, 낮은 주파수 범위와 높은 불요신호의 개선을 확인하였다.

3-2 주파수 합성기 제작 및 측정 결과

제작된 C~G대역 RF부의 PCB는 12 mil 두께의 Rogers 사 RO4003C기판을 사용하여 그림 10과 같이 제작하였고, C~G대역 주파수 합성기의 전체 크기는 DDS부를 합쳐서 약 233×160 ×20 mm이다.

C~G대역 주파수 합성기의 측정결과 그림 11과 같다. 출력신호 세기는 ± 1.7 dB 이내를 확인하였으며, 불요신호는 -55 dBc 이하, 고조파 신호는 -40 dBc 이하의 성능을 확인하였다. 또한, C~G대역 위상잡음 측정결과에는 그림 12와 같다. 위상잡음은 -95 dBc/Hz(@ 1 kHz), -100

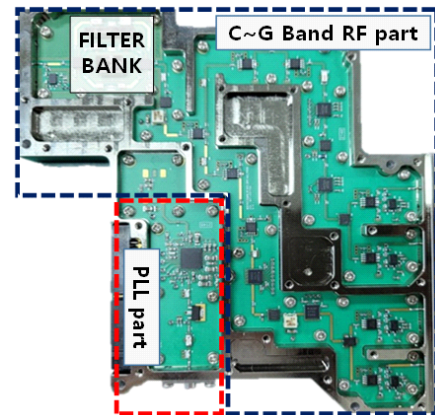


그림 10. C~G 대역 RF부 구현 형상

Fig. 10. C~G band RF part fabrication.

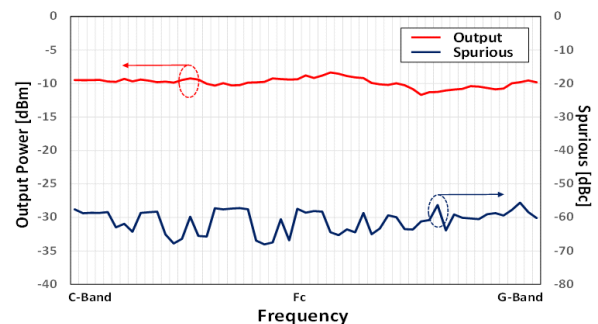


그림 11. C~G 대역 주파수 합성기 출력 및 불요신호 측정결과

Fig. 11. C~G band frequency synthesizer output and spurious signal measurement result.

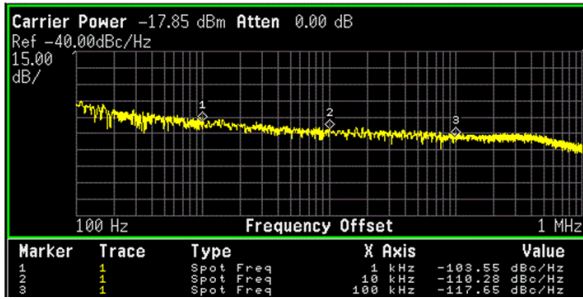


그림 12. C~G 대역 주파수 합성기 위상잡음 측정 결과
Fig. 12. C~G band frequency synthesizer phase noise measurement result.

dBc/Hz (@ 10 kHz), -110 dBc/Hz(@ 100 kHz) 이하였으며, 표 2에서 PLL EVM을 이용한 DAC의 위상잡음보다 약 7.5 dB 개선을 확인하였다.

제작된 H~K대역 RF부의 PCB는 K대역을 제외하고 12 mil 두께의 Rogers사 RO4003C기판을 사용하여 제작하였고, K대역은 동일한 기판의 8 mil 두께로 그림 13과 같이 제작하였다. H~K대역 주파수 합성기의 전체 크기는 DDS부를 합쳐서 약 233×160×25 mm이다.

H~K대역 주파수 합성기의 측정결과 그림 14와 같다. 출력신호 세기는 ± 2.0 dB 이내를 확인하였으며, 불요신호는 -35 dBc 이하, 고조파 신호는 -25 dBc 이하의 성능을 확인하였다. 또한, H~K대역 위상잡음 측정결과 그림 15와 같으며, -80 dBc/Hz(@ 1 kHz), -90 dBc/Hz(@ 10 kHz), -95 dBc/Hz(@ 100 kHz) 이하를 확인하였다.

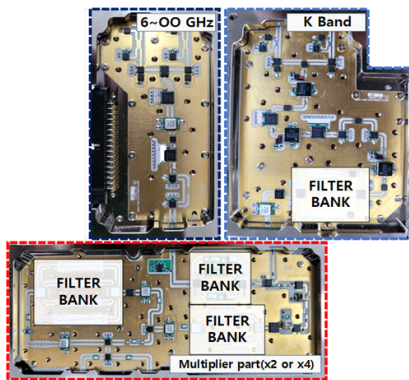


그림 13. H~K 대역 RF부 구현 형상
Fig. 13. H~K band RF part fabrication.

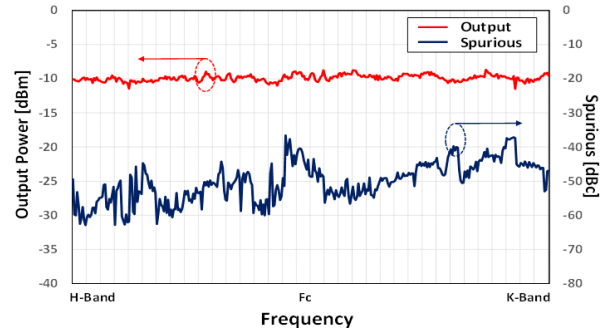


그림 14. H~K 대역 주파수 합성기 출력 및 불요신호 측정결과
Fig. 14. H~K band frequency synthesizer output and spurious signal measurement result.

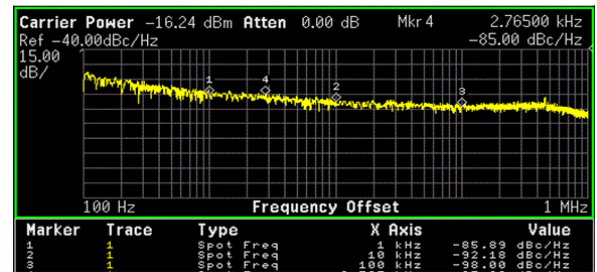


그림 15. H~K 대역 주파수 합성기 위상잡음 측정 결과
Fig. 15. H~K band frequency synthesizer phase noise measurement result.

DDS를 사용하여 제작된 C~G대역 주파수 합성기와 H~K대역 주파수 합성기의 최종 측정결과는 표 4와 같다.

IV. 결 론

본 논문은 DDS를 이용한 설계를 통해, 소형의 초광대역 주파수 합성기를 제작하고 성능을 확인하였다. 기존 DDS 방식의 단점을 극복하기 위해 높은 샘플링 속도를 지원하는 DAC적용과 샘플링 주파수 가변을 가능한 주파수 플랜을 설계하여, DDS에서 발생가능한 불요신호를 최소화하였다. 또한, 주파수 플랜을 고려한 필터뱅크의 설계와 balun 및 PLL회로의 개선을 통해서 체배가 되어도 낮은 불요신호와 위상잡음을 구현할 수 있었다. 이를 통해 C~G대역까지는 mixer와 multiplier 포함하지 않은 주파수 합성기를 구현하였고, H~K대역은 최소한의 multi-

표 4. 초광대역 주파수 합성기 측정결과

Table 4. Ultra-wideband frequency synthesizer measurement result.

Parameter	C~G band frequency synthesizer	H~K band frequency synthesizer
Frequency [MHz]	C band ~6,000	6,000~K band
Frequency resolution [kHz]	5.72	45.76
Output signal flatness [dB]	± 1.7	± 2.0
Spurious signal [dB]	-55.57 (Max.)	-36.62 (Max.)
Phase noise @1 kHz [dBc/Hz]	-103.55	-85.89
Phase noise @10 kHz [dBc/Hz]	-110.28	-92.18
Phase noise @100 kHz [dBc/Hz]	-117.65	-98.00

plier만을 사용한 소형 주파수 합성기를 구현하였다.

본 논문에서 제안한 초광대역 주파수 합성기는 전자전, 통신, 레이더 등의 다양한 시스템에서 활용될 수 있을 것으로 사료된다.

References

- [1] D. L. Adamy, *EW 104: Electronic Warfare against a New Generation of Threats*, London, Artech House, 2015.
- [2] J. S. Im, U. S. Jeong, "Trend of electronic attack(EA) technology," *The Proceeding of the Korean Institute of Electromagnetic Engineering and Science*, vol. 24, no. 6, pp. 14-24, Nov. 2013.
- [3] J. A. Crawford, *Frequency Synthesizer Design Handbook*, London, Artech House, 1994.
- [4] B. G. Goldberg, *Digital Frequency Synthesis Demystified: DDS and Fractional-N PLLs*, Eagle Rock, VA, LLH Technology, 1999.
- [5] K. S. Lee, K. I. Jeon, and S. H. Oh, "Design and implementation of wideband ultra-fast high precision frequency synthesizer for ELINT equipment," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 20, no. 11, pp. 1178-1185, Nov. 2009.
- [6] B. J. Park, D. C. Park, "A wideband DDS module for high-speed frequency synthesizer," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 25, no. 12, pp. 1243-1250, Dec. 2014.
- [7] J. H. Kim, B. J. Park, J. H. Kim, and K. S. Lee, "Improvement of phase noise in frequency synthesizer with dual PLL," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 25, no. 9, pp. 903-911, Sep. 2014.
- [8] B. J. Park, D. C. Park, "Design and fabrication of 0.5~4 GHz low phase noise frequency synthesizer," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 26, no. 3, pp. 333-341, Mar. 2015.
- [9] Analog Devices, "16-bit, 12 GSPS, RF DAC and direct digital synthesizer," 2016~2019. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD9164.pdf>
- [10] Mini-Circuits, "Surface Mount Top Hat®: RF transformer. TCM1-83X+." Available: <https://www.minicircuits.com/pdfs/TCM1-83X+.pdf>
- [11] Mini-Circuits, "Surface Mount Top Hat®: RF transformer. TCM2-63WX+." Available: <https://www.minicircuits.com/pdfs/TCM2-63WX+.pdf>
- [12] Marki Microwave, "Lead-free/RoHS-compliant: Surface-mount broadband balun. BAL-0009SMG." Available: <https://www.markimicrowave.com/Assets/datasheets/BAL-0009SMG.pdf>

정 성 훈 [LIG넥스원/수석연구원]

<https://orcid.org/0000-0001-5243-9689>



2009년 2월: 명지대학교 전자공학과 (공학사)
2012년 2월: 연세대학교 전기전자공학과 (공학석사)
2012년 1월~현재: LIG넥스원 전자전연구
소 수석연구원
[주 관심분야] 전자전, 초고주파 회로 및
안테나, 광대역 증폭기

최 대 규 [국방과학연구소/선임연구원]

<https://orcid.org/0000-0001-6357-5811>



2007년 2월: 울산대학교 전기전자공학부
(공학사)
2009년 2월: 울산대학교 전기전자정보시
스템공학과 (공학석사)
2009년 2월~현재: 국방과학연구소 전자
전 기술부서 선임연구원
[주 관심분야] 전자전 시스템, 전자전 신
호처리, 신호/방향탐지, 재밍

김 용 환 [LIG넥스원/선임연구원]

<https://orcid.org/0009-0003-8829-5594>



2012년 2월: 한밭대학교 전자공학과 (공학
사)
2022년 1월~현재: LIG넥스원 전자전연구
소 선임연구원
[주 관심분야] 전자전, 신호처리, 고속 인
터페이스

이 규 송 [국방과학연구소/수석연구원]

<https://orcid.org/0000-0003-1465-979X>



1989년 2월: 서울시립대학교 전자공학과
(공학사)
1991년 2월: 서울시립대학교 전자공학과
(공학석사)
2010년 2월: 충남대학교 전자공학과 (공학
박사)
1991년 2월~현재: 국방과학연구소 전자
전 기술부서 수석연구원
[주 관심분야] 전자전, 신호/방향탐지, 초고주파 및 신호처리

최 혁 재 [LIG넥스원/수석연구원]

<https://orcid.org/0009-0003-2102-0756>



2006년 2월: 홍익대학교 전자공학과 (공학
사)
2006년 1월~현재: LIG넥스원 전자전연구
소 수석연구원
[주 관심분야] 전자전, ES 시스템