

Q-Band 광대역 저잡음 증폭기 설계

Q-Band Wideband Low Noise Amplifier Using 65-nm Bulk CMOS Process

김준형¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 백민석⁶ · 이은규⁷ · 최선규⁸ · 김철영⁹Joon-Hyung Kim¹ · Jung-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ ·
Min-Seok Back⁶ · Eun-Gyu Lee⁷ · Sun-Kyu Choi⁸ · Choul-Young Kim⁹

요 약

본 논문에서는 65 nm bulk CMOS 프로세스를 사용하여 구현 및 검증된 밀리미터파 어플리케이션을 위한 Q-band 광대역 저잡음 증폭기(LNA)를 제시한다. 제안된 저잡음 증폭기는 광대역 입력 매칭 특성을 얻기 위해, 입력단에 변압기형 구조를 이용하였다. 1-V 공급 전압에서 제작된 저잡음 증폭기는 35-45GHz 내 주파수 대역에서 이득 변동이 ± 0.37 dB이며 피크 이득은 22.74 dB의 시뮬레이션 결과를 달성한다. 제안된 회로는 17mW를 소비하며, 이때의 잡음지수(NF)는 40 GHz에서 3.27 dB이다. 또한 코어의 크기는 0.13 mm^2 을 차지한다.

Abstract

This study presents a Q-band wideband low-noise amplifier (LNA), which is implemented and verified using a 65-nm bulk CMOS process, for millimeter-wave applications. The proposed low-noise amplifier uses a transformer structure at the input stage to obtain broadband input-matching characteristics. Under 1-V supply voltage, the proto-type LNA achieves a simulated peak gain of 22.74 dB with gain variation of ± 0.37 dB in frequency band. The simulated noise figure (NF) was 3.27 dB at 40 GHz while consuming 17 mW. The core occupies an area of 0.13 mm^2 .

Key words: Low Noise Amplifier (LNA), CMOS, Noise Figure (NF)

I. 서 론

통신 기술이 빠르게 발전함에 따라 밀리미터파 영역에서 위상 배열 기술에 대한 연구가 활발히 진행되고 있다^[1]. EIRP(effective isotropic radiation power)가 적용되는 위상 배열 기술이 상업적으로 경쟁력 있게 사용되기 위해

서는 각 블록을 저전력 소모, 작은 면적 요구, 적은 이득 변화를 가져가도록 만드는 것이 중요하다. 더불어 최근의 저잡음 증폭기는 소신호 분석뿐만 아니라, 대신호 분석을 통해 2차 변조 간 왜곡(IMD2) 및 3차 변조 간 왜곡(IMD3) 또한 충분히 고려되는 연구까지 진행되고 있다.

본 논문에서는 65-nm bulk CMOS 공정을 사용하여, 밀

「본 과제(결과물)는 2022년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다 (2021RIS-004).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 석사과정(<https://orcid.org/0000-0002-6873-9034>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>), 3: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>),

4: 박사과정(<https://orcid.org/0000-0003-3736-2753>), 5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석사과정(<https://orcid.org/0000-0002-3651-4498>),

7: 박사후연구원(<https://orcid.org/0000-0002-3835-2226>), 8: 박사후연구원(<https://orcid.org/0000-0002-7533-4975>), 9: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received December 28, 2022 ; Revised January 7, 2023 ; Accepted February 16, 2023. (ID No. 20221228-111)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

리미터와 어플리케이션을 위한 35~45GHz 3단 저잡음 증폭기를 설계한 결과를 제시한다. 제안된 저잡음 증폭기는 광대역 입·출력 매칭과 잡음 정도의 최적화를 제공할 뿐만 아니라 조밀한 면적을 갖고, 낮은 잡음 지수를 제공한다. II장에서는 저잡음 증폭기 설계 방법에 대해 설명하며, III장에서는 측정 결과를 제시한다.

II. 회로 설계

그림 1은 본 연구에서 제안한 2단 저잡음 증폭기에 대한 회로도도를 보여준다. 광대역 이득 특성을 달성하기 위해 단계 간 매칭에서 직렬 인덕터를 사용하여 극 분배 기술을 사용한다. Choi's 정리에 따르면^[2], 트랜지스터 주변에 존재하는 각각의 기생 커패시터들은 저잡음 증폭기의 주파수 응답을 결정하는 극을 생성한다. 위상 배열 시스템에서는 적은 이득 변화를 갖는 것이 매우 중요한데, 위의 정리에 따라 폴 튜닝 기법을 사용하면 광대역 및 평평한 이득을 가진 저잡음 증폭기 설계를 가능하도록 한다. 더불어, 광대역 입력 매칭을 얻기 위하여, 입력단에 위치한 L_{ESD} 와 L_{De1} 을 변압기형 구조로 설계하였다^[3]. 제안된 저잡음 증폭기는 공통-소스 구조로 설계되었으며, 트랜지스터의 크기는 그림 1과 같이 각각 $55.2 \mu\text{m}$ (M1), $57.6 \mu\text{m}$ (M2), $27 \mu\text{m}$ (M3)으로 선택하였다. 높은 이득을 얻기 위해 입력 전압 이득이 높은 직렬 인덕터를 사용하였다. 그러나 CMOS 공정에서는 화합물 공정에 비하여 양호도(quality factor)가 낮기 때문에 L_G 값에 따른 성능 열화가 심하다. 프리스 공식(Friis formula)에 따르면, 잡음 성능

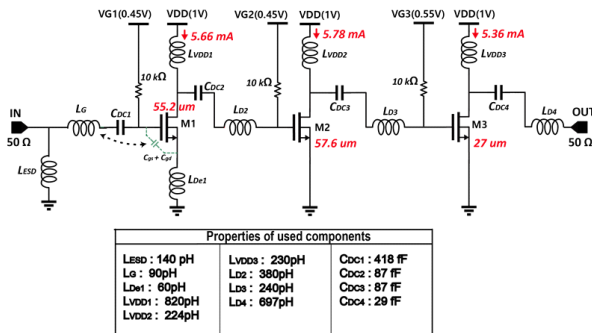


그림 1. 제안된 LNA의 회로도
Fig. 1. Schematic of proposed LNA.

의 대부분은 첫째 단계에서 결정되는데, L_G 값을 크게 사용하면 좋지 않은 성능 결과를 가져올 수 있다. 따라서 L_G 의 값에 따른 잡음 지수의 변화를 고려하여 L_G 의 값을 선정하였다. 그림 2는 제안된 3단 공통-소스 구조 저잡음 증폭기의 전자기(EM) 구조를 나타낸다. 이 회로는 Quasi-3D EM simulation을 통하여 최적화되었다. 기생 커패시터스는 고주파에서 더 민감하게 작용하므로 높은 이득뿐만 아니라 회로 성능을 향상시키기 위해 폴 튜닝을 참고해야 한다. 적은 면적을 가지며 높은 측정 결과를 얻도록 하기 위해서는 반복적이고 세세한 전자와 시뮬레이션을 수행해야 한다. 원치 않는 기생 커패시터스들을 계속해서 생성해내면 그만큼 회로의 성능을 열화시키는 중요한 요인으로 작동한다. 그림 3은 65-nm bulk CMOS를 사용하여

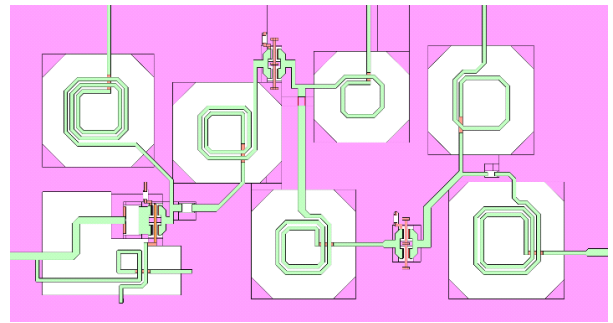


그림 2. 제안된 저잡음 증폭기의 전체 전자기(EM) 구조
Fig. 2. Full electromagnetic (EM) structure of proposed LNA.

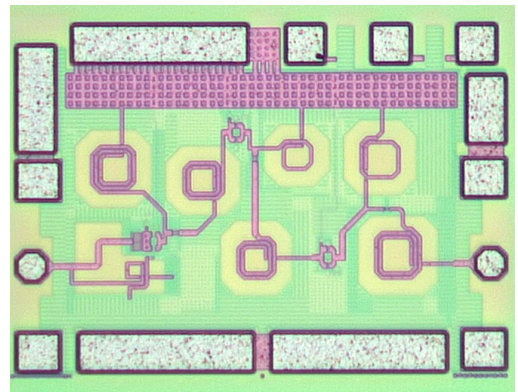


그림 3. 제안된 저잡음 증폭기의 전체 회로 칩 사진(코어 크기 0.13 mm^2)
Fig. 3. Chip microphotograph of proposed LNA (core size is 0.13 mm^2).

제작된 저잡음 증폭기의 전체 칩 사진을 보여주며, 코어의 크기는 0.13 mm^2 이다. 초고주파 영역에서는 via와 signal line과의 커플링에 의해 성능이 악화될 수 있으므로, 이를 EM 시뮬레이션을 통해 면밀히 반영 및 최적화를 통하여서 정확한 결과를 얻고자 하였다. 또한, L_{VDD1} , L_{VDD2} , L_{VDD3} , L_{D2} , L_{D3} , L_{D4} , 간의 원치 않는 커플링을 방지하기 위하여 충분한 접지 간격($20 \mu\text{m}$)을 두고 회로를 구현하였다.

III. 설계 결과

제안된 저잡음 증폭기는 1-V의 공급 전압과 $0.45 \text{ V} / 0.45 \text{ V} / 0.55 \text{ V}$ 의 게이트 바이어스 전압을 인가하였다. 그림 4는 저잡음 증폭기의 이득에 대한 시뮬레이션과 측정 결과를 보여준다. 측정 결과의 피크 이득은 40 GHz에서 22 dB이다. 그림 5는 S-parameter의 시뮬레이션과 측정

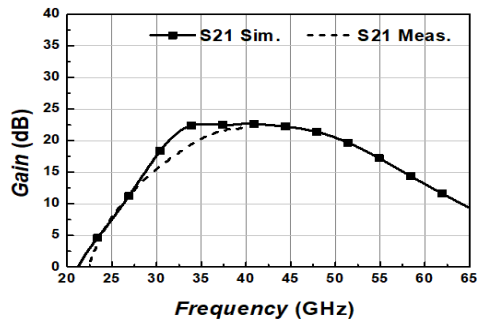


그림 4. 저잡음 증폭기의 S_{21} (이득)

Fig. 4. S_{21} (gain) of proposed low noise amplifier.

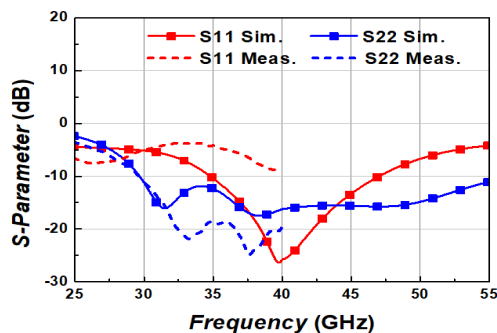


그림 5. 저잡음 증폭기의 S_{11} & S_{22} (입·출력 정합)

Fig. 5. S_{11} & S_{22} (input-output return loss) of proposed low noise amplifier.

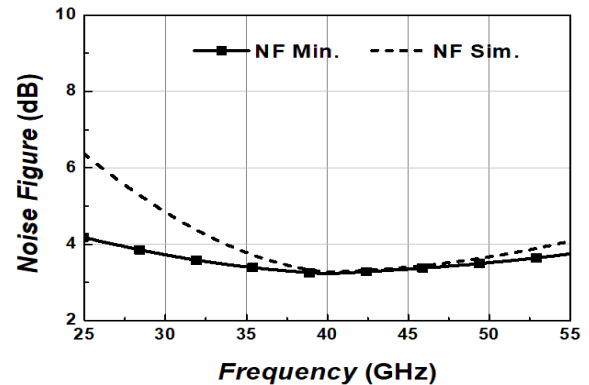


그림 6. 저잡음 증폭기의 잡음 지수

Fig. 6. Noise figure of proposed low noise amplifier.

표 1. 저잡음 증폭기의 성능 요약

Table 1. Performance summary of LNA.

Parameter	This work*	Ref. [4]	Ref. [5]
Technology	65-nm bulk CMOS	65-nm bulk CMOS	65-nm bulk CMOS
Topology	3	2	2
Frequency [GHz]	35~45	37~40	19.2~38.9
Peak gain [dB]	22	13.04	13.5
Noise figure [dB]	3.35*	4.47	3.1~4.5
Power dissipation [mW]	17	11.6	6.36
Core area [mm^2]	0.13	0.17	0.13

*Simulation result.

결과를 보여주는 그래프이다. 35~40 GHz에서 출력 정합은 $< -10 \text{ dB}$ 이하를 보이는 것을 확인할 수 있다. 그림 6은 시뮬레이션한 잡음 지수이다. 35~45 GHz에서 평균 3.35 dB의 잡음 지수를 달성하였다. 표 1은 저잡음 증폭기의 성능을 요약한 결과와 다른 측정된 결과와의 비교를 보여준다.

IV. 결 론

본 논문에서는 Q-band 대역에서 동작하는 저잡음 증폭기를 설계하였다. 트랜지스터 주변에 직렬 인덕터를 필터 구조로 사용하여 기생 커패시턴스로 인한 손실을 줄였다. 이는 65-nm bulk CMOS 공정을 사용하여 설계하였으며,

5G 밀리미터파 대역의 일부를 커버한다. 제안된 저잡음 증폭기는 광대역, 저잡음, 평평한 이득, 저전력 소비 및 작은 면적 특성을 달성하였다.

References

- [1] L. Gao, G. M. Rebeiz, "A 22~44-GHz phased-array receive beamformer in 45-nm CMOS SOI for 5G applications with 3~3.6-dB NF," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 11, pp. 4765-4774, Nov. 2020.
- [2] H. W. Choi, S. Choi, and C. Y. Kim, "A CMOS band-pass low noise amplifier with excellent gain flatness for mm-wave 5G communications," in *2020 IEEE/MTT-S International Microwave Symposium(IMS)*, Los Angeles, CA, Aug. 2020, pp. 329-332.
- [3] M. T. Reihha, J. R. Long, "A 1.2 V reactive-feedback 3.1~10.6 GHz Low-noise amplifier in 0.13 μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 5, pp. 1023-1033, May 2007.
- [4] B. Bae, E. Kim, S. Kim, and J. Han, "Dual-band CMOS low-noise amplifier employing transformer-based band-switchable load for 5G NR FR2 applications," *IEEE Microwave and Wireless Components Letters*, vol. 33, no. 3, Mar. 2022.
- [5] H. Chen, H. Zhu, L. Wu, W. Che, and Q. Xue, "A wideband CMOS LNA using transformer-based input matching and pole-tuning technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 7, pp. 3335-3347, Jul. 2021.