

## 28-nm CMOS 공정을 이용한 D-대역 저잡음 증폭기

## A D-Band Low-Noise Amplifier Using a 28-nm CMOS Process

김 민 우 · 전 상 군

Minwoo Kim · Sanggeun Jeon

## 요 약

본 논문에서는 28 nm CMOS 공정을 이용한 D-대역 저잡음 증폭기 설계와 측정 결과를 기술하였다. 설계된 저잡음 증폭기는 4단 차동 공통소스 구조를 가지며, 각 단은 커패시턴스 중화 기법을 적용하여 안정도와 이득이 향상되었다. 입출력과 각 단의 정합은 트랜스포머와 트랜스미션 라인을 이용하여 정합회로를 구성하였다. 차동신호의 불균형을 줄이기 위해 트랜스포머에 바이패스 커패시터를 연결하였으며, 입력단과 출력단의 트랜스포머는 단일 종단 신호경로에 커패시터를 연결하여 임피던스를 최적화하였다. 측정 결과, 저잡음 증폭기의 최대이득은 139 GHz에서 17.8 dB이고, 3-dB 대역폭은 20 GHz를 보였다. 패드를 포함한 회로의 전체면적은 0.4 mm<sup>2</sup>이고, 회로의 소비전력은 50.2 mW이다.

## Abstract

This paper presents a D-band low-noise amplifier using a 28-nm CMOS process. The low-noise amplifier consists of four differential common-source stages, each adopting a capacitance neutralization technique to improve stability and gain. Impedance matching is implemented using a transformer and a transmission line. To reduce the imbalance in the differential signal, a bypass capacitor was connected to the transformer, and the input and output transformers were optimized for impedance by connecting the capacitance to the single-ended signal path. The measurement shows that the low-noise amplifier exhibits a peak gain of 17.8 dB at 139 GHz and a 3-dB bandwidth of 20 GHz. The total chip area including the pads is 0.4 mm<sup>2</sup> and the dc power consumption is 50.2 mW.

Key words: Low-Noise Amplifier, CMOS, Capacitive Neutralization, D-Band

## I. 서 론

최근 기존 통신 주파수 대역의 포화와 고품질 무선통신 서비스가 요구됨에 따라 보다 높은 주파수 대역의 저잡음 증폭기 설계기술이 요구되고 있고, 단가 경쟁에서 유리한 CMOS 공정의 기술이 향상됨에 따라 CMOS 소자를 이용한 증폭기 설계 연구가 진행되고 있다. 고속의 무

선 통신 시스템 구현을 위해 테라헤르츠 대역에서의 고성능 회로설계 연구가 활발히 진행되고 있으며, 그중 D-대역은 6G와 오토모티브 레이더 애플리케이션의 주파수 대역으로 연구되고 있다<sup>[1][2]</sup>. CMOS 공정으로 설계된 D-대역의 저잡음 증폭기는 높은 이득과 넓은 대역폭을 위해 다단으로 설계되며, 차동구조에서의 커패시턴스 중화 기법을 적용하여 이득을 극대화할 수 있다<sup>[1][3]</sup>. 본 논문

「이 논문은 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2021R1A2C2009528).」

고려대학교 전기전자공학부(School of Electrical Engineering, Korea University)

· Manuscript received November 16, 2022 ; Revised November 29, 2022 ; Accepted January 9, 2023. (ID No. 20221116-093)

· Corresponding Author: Sanggeun Jeon (e-mail: sgjeon@korea.ac.kr)

서는 D-대역 수신기에서 범용적으로 적용될 수 있는 광대역 저잡음 증폭기를 제안한다. II 장에서는 커패시턴스 중화 기법을 적용한 증폭기의 코어와 임피던스 정합을 포함한 회로 설계사항을 기술하였고, III 장에서는 시뮬레이션 및 측정 결과를 기술하였다.

## II. D-대역 저잡음 증폭기 회로 설계

그림 1은 설계된 저잡음 증폭기의 회로도도를 나타낸다. 모든 트랜지스터는 n-MOS를 사용하였고, 선형성과 소비 전력 효율을 고려하여 첫 번째, 두 번째 단의 소자 크기는  $16\ \mu\text{m}$ , 세 번째, 네 번째 단의 소자 크기는  $20\ \mu\text{m}$ 로 설계하였다. 증폭기의 잡음지수 성능 향상을 위해 차동 공통소스 구조를 채택하였고, 소자의 이득과 안정도 향상을 위해 커패시터 중화 기법을 사용하였다<sup>[4]</sup>. 또한, 이득을 높이기 위해 총 4단으로 구성되었으며, 트랜스포머와 트랜스미션 라인을 활용하여 각 단의 정합 주파수를 서로 다르게 하여 광대역 특성을 구현하였다. 첫 번째와 세 번째 단의 정합 주파수는 각각 150 GHz, 130 GHz이며, 두 번째와 네 번째 단은 광대역 정합을 하였다.

### 2-1 차동 공통소스 증폭기 코어 설계

그림 2는 커패시턴스 중화 기법이 적용된 첫 번째 단의 코어 레이아웃을 보여준다. 트랜지스터는 양방향 게이트 연결로 M1까지 모델링된 Pcell을 사용하였다. 트랜지스터의 바이어스 전압은 이득과 잡음지수가 최적이 되는 값을 선택하였다. 그림 3은 140 GHz의 주파수에서 단일 트랜지스터의 게이트 전압( $V_{gs}$ )에 따른 최대 가용 이득과 최소 잡음지수를 나타내고 있으며( $V_{ds}=1\ \text{V}$ 로 고정), 최종적으로  $V_{gs}=0.8\ \text{V}$ 의 조건을 적용하였다. 그림 4는 중화 커패

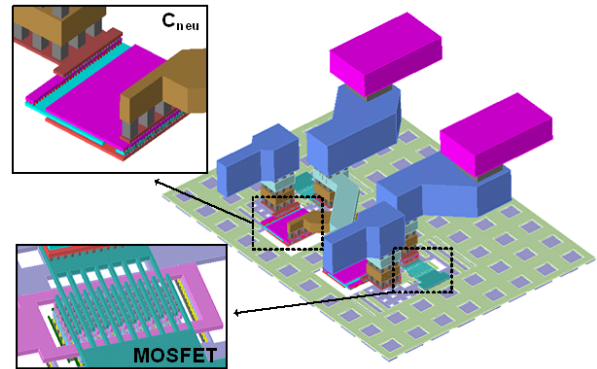


그림 2. 입력단의 코어 레이아웃  
Fig. 2. Core layout of input stage.

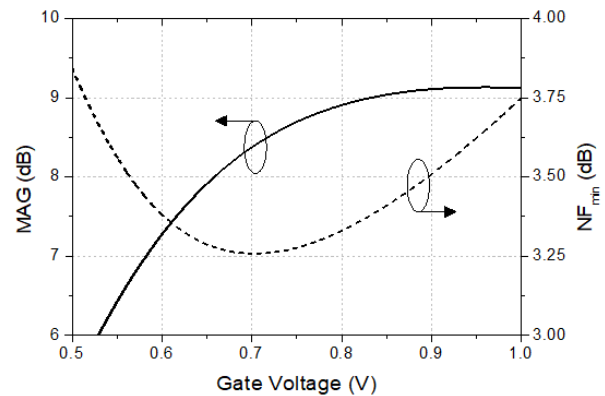


그림 3. 트랜지스터의 게이트 전압( $V_{gs}$ )에 따른 최대 가용 이득과 최소 잡음지수( $V_{ds}=1\ \text{V}$ ,  $f=140\ \text{GHz}$ )  
Fig. 3. MAG and  $NF_{min}$  versus  $V_{gs}$  at  $V_{ds}=1\ \text{V}$ ,  $f=140\ \text{GHz}$ .

시턴스값에 따른 최대 가용이득 및 안정도 계수의 관계를 나타낸다. PVT 변화를 고려하여 140 GHz에서 코어의 안정계수가 1.5를 갖는 중화 커패시턴스값 5.2 fF를 선택하였다. 중화 커패시터는 M4-M6를 사용하여 수평 평행

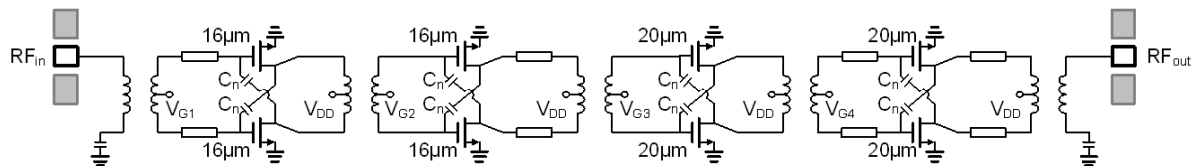


그림 1. 설계된 D-대역 저잡음 증폭기의 회로도  
Fig. 1. Schematic of D-band low-noise amplifier.

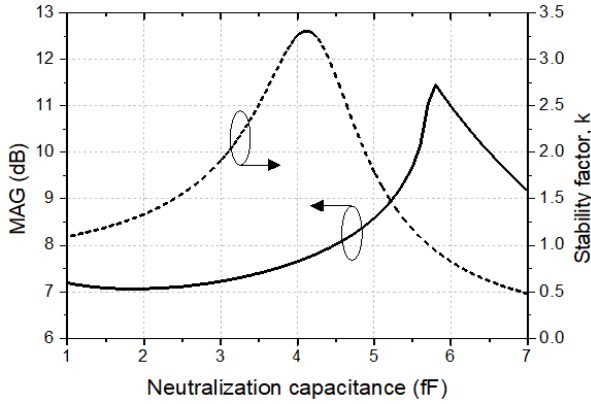


그림 4. 중화 커패시턴스값에 따른 최대 가용 이득과 안정도 계수( $V_{gs}=0.8$  V,  $V_{ds}=1$  V,  $f=140$  GHz)

Fig. 4. MAG and stability factor versus the neutralization capacitance at  $V_{gs}=0.8$  V,  $V_{ds}=1$  V,  $f=140$  GHz.

판을 겹친 MOM 구조로 구현되었다. 폭이 좁은 금속층을 사방으로 겹쳐서 쌓는 구조는 비록 커패시턴스의 밀도가 높지만<sup>[5]</sup> 기생성분이 크기 때문에, 5.2 fF의 작은 커패시턴스의 구현으로는 기생저항 성분이 작은 수평 평행판 구조가 유리하다.

## 2-2 증폭기의 임피던스 정합

각 증폭단의 입출력 임피던스 정합은 트랜스포머와 트랜스미션 라인으로 구성하였다. 다만 증폭기 설계에 있어서 잡음지수 성능은 첫 번째 단에 가장 큰 영향을 받기 때문에 첫 번째 단의 입력 정합은 이득과 잡음지수를 고려하여 진행하였고, 다른 단은 최대 이득을 위해 공액 정합을 하였다. 트랜스포머의 손실을 줄이기 위해 저항 성분이 낮은 두 종류의 상위 금속 층을 사용하였다. 각 단의 게이트, 드레인 전압은 트랜스포머의 센터 탭을 통해 인가하였다. 센터 탭은 차동 구조를 통해 가상의 접지가 형성되지만, 고주파 기생성분에 의한 불균형을 방지하기 위해 RF 바이패스 커패시터를 연결하여 공통 모드 제거비를 향상시켰다. 그림 5는 첫 번째 단의 입력에 사용된 트랜스포머와 바이패스 커패시터의 레이아웃이다. 증폭기에 사용된 다섯 개의 트랜스포머는 모두 1:1의 권선비로 설계하였으며, 수직으로 평행 결합한다. 트랜스포머의 직경과 금속 선로의 폭을 설계 변수로 하여 최적화하였다.

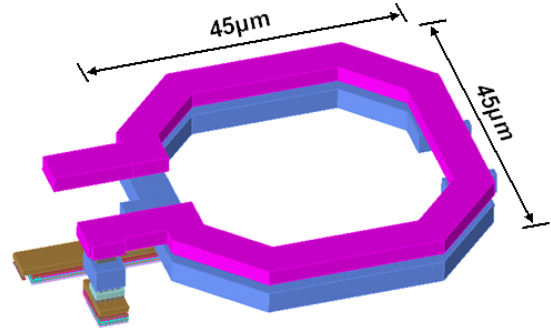


그림 5. 첫 번째 단의 입력 트랜스포머 및 바이패스 커패시터의 레이아웃

Fig. 5. Layout of first-stage input transformer and bypass capacitor.

## III. 측정 및 시뮬레이션 결과

설계한 저잡음 증폭기는 28-nm CMOS bulk 공정을 통해 제작되었고, 그림 6은 제작된 저잡음 증폭기의 칩 사진이다. 패드를 포함한 칩의 면적은  $737 \mu\text{m} \times 545 \mu\text{m}$ 이고, 1 V의 공급 전압에서 증폭기의 소비전력은 50.2 mW이다. 증폭기의 S-parameter는 D-band extender module을 연결한 vector network analyzer를 사용하여 on-wafer로 측정하였다. 그림 7은 제작된 저잡음 증폭기의 S-parameter 측정 및 시뮬레이션 결과이다. 측정된 S-parameter에 따르면, 139 GHz에서 17.8 dB의 최대이득을 보였으며, 20 GHz의 3-dB 대역폭을 나타냈다. 또한, 입력 및 출력 정합

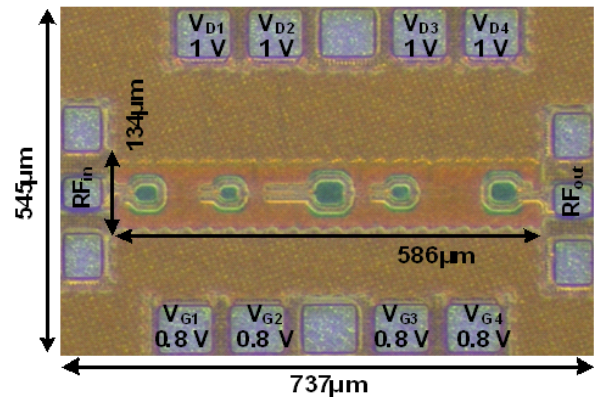


그림 6. D-대역 저잡음 증폭기의 칩 사진

Fig. 6. Chip photograph of D-band low-noise amplifier.

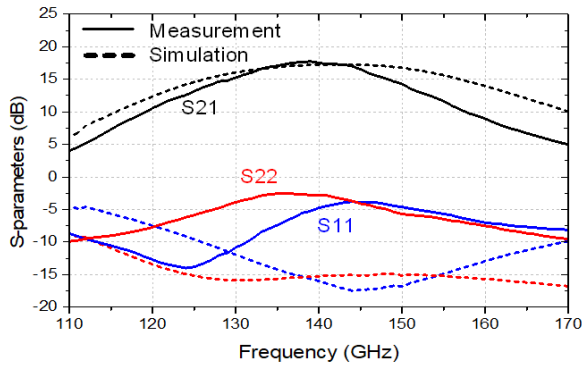


그림 7. D-대역 저잡음 증폭기의 S-parameter 측정 및 시뮬레이션 결과

Fig. 7. Measured and simulated S-parameters of D-band low-noise amplifier.

의 측정 성능이 시뮬레이션 대비 다소 저하되었는데, 이는 트랜지스터의 정합성 문제와 EM 시뮬레이션을 수행할 때 레이아웃 단순화로 인한 복합적인 원인으로 추정된다.

그림 8은 증폭기 잡음지수의 시뮬레이션 결과를 보여주고 있으며, 147 GHz에서 7.6 dB이다. 그림 9는 증폭기의 측정된  $k$ -factor를 보여준다. 표 1은 본 논문에서 제시한 저잡음 증폭기를 기존의 D-대역 저잡음 증폭기들과 비교하였다. 140 GHz 이상의 주파수 대역에서 비교적 높은 이득과 낮은 잡음 지수 특성을 보인다. 특히 비교된 저

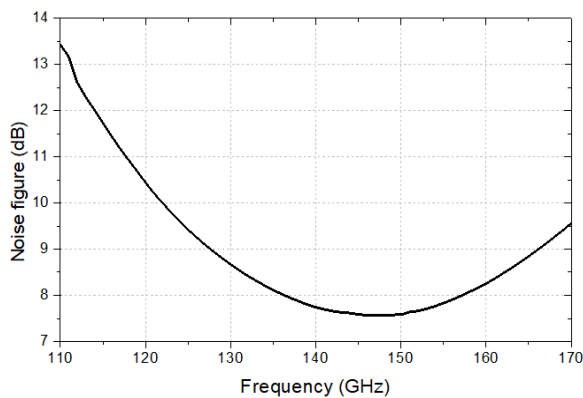


그림 8. D-대역 저잡음 증폭기의 잡음지수 시뮬레이션 결과

Fig. 8. Simulated noise figure of the D-band low-noise amplifier.

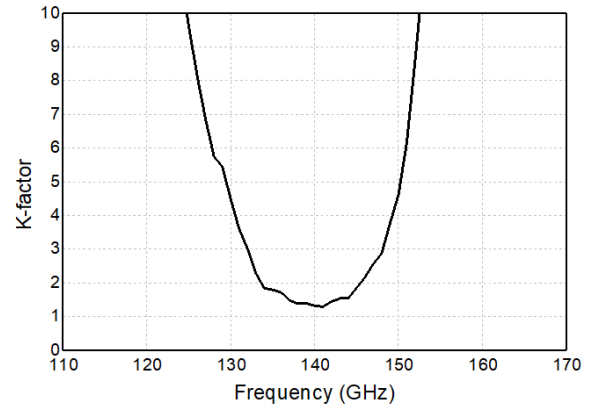


그림 9. D-대역 저잡음 증폭기의 안정계수 측정 결과

Fig. 9. Measured  $k$ -factor of the D-band low-noise amplifier.

표 1. 기존 D-대역 저잡음 증폭기와의 성능 비교

Table 1. Comparison with previous D-band low-noise amplifiers.

Ref.	Tech.	Freq (GHz)	Gain (dB)	BW (GHz)	NF (dB)	$P_{DC}$ (mW)	Area (mm <sup>2</sup> )
[1]	CMOS SOI 45 nm	125.5~157	16	31.5	8	75	0.37
[3]	CMOS 28 nm	104~132	21.7	28	8.4	18	0.26
[6]	CMOS 65 nm	112~128	22.4	16	11.4*	61	-
[7]	CMOS 40 nm	132~147	15.6	15	8.8	18	0.21
This work	CMOS 28 nm	129~149	17.8	20	7.6*	50.2	0.4

\*Simulation.

잡음 증폭기 중, 시뮬레이션된 잡음지수의 성능이 가장 낮게 설계되었다.

#### IV. 결 론

본 논문에서는 높은 이득과 낮은 잡음지수를 갖는 광대역 저잡음 증폭기를 설계하였다. 커패시턴스 중화 기법을 적용한 차동 공통소스 구조는 트랜스포머를 사용해 4단으로 설계하였다. 설계한 증폭기는 139 GHz에서 17.8 dB의 최대이득과 20 GHz의 3-dB 대역폭을 갖는다. 향후 고속 무선 통신과 오토모티브 레이더에 활용할 수 있을

것으로 기대된다.

## References

- [1] A. Hamani, A. Siligaris, B. Blampey, C. Dehos, and J. L. G. Jimenez, "A 125.5~157 GHz 8 dB NF and 16 dB of gain D-band low noise amplifier in CMOS SOI 45 nm," in *2020 IEEE/MTT-S International Microwave Symposium(IMS)*, Los Angeles, CA, Aug. 2020, pp. 197-200.
- [2] B. Sene, D. Reiter, H. Knapp, H. Li, T. Braun, and N. Pohl, "An automotive D-band FMCW radar sensor based on a SiGe-transceiver MMIC," *IEEE Microwave and Wireless Components Letters*, vol. 32, no. 3, pp. 194-197, Mar. 2022.
- [3] T. Heller, E. Cohen, and E. Socher, "A 102~129-GHz 39-dB gain 8.4-dB noise figure I/Q receiver frontend in 28-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 5, pp. 1535-1543, May 2016.
- [4] W. L. Chan, J. R. Long, "A 58-65 GHz neutralized CMOS power amplifier with PAE above 10% at 1-V supply," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp. 554-564, Mar. 2010.
- [5] R. Aparicio, A. Hajimiri, "Capacity limits and matching properties of integrated capacitors," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 3, pp. 384-393, Mar. 2002.
- [6] C. J. Lee, T. H. Jang, D. M. Kang, H. S. Son, C. W. Byeon, and C. S. Park, "A CMOS D-band low noise amplifier with 22.4 dB gain and a 3 dB bandwidth of 16 GHz for wireless chip to chip communication," in *2017 Progress in Electromagnetics Research Symposium-Fall (PIERS-FALL)*, Singapore, Nov. 2017, pp. 2339-2343.
- [7] C. Park, M. Seo, "A 140 GHz low-noise amplifier in 40 nm CMOS," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 33, no. 4, pp. 312-317, Apr. 2022.

김 민 우 [고려대학교/석사과정]

<https://orcid.org/0000-0001-5640-4029>



시스템 설계

2016년 2월: 고려대학교 전기전자공학부 (공학사)

2016년 1월~현재: Samsung Electronics, Engineer

2021년 3월~현재: 고려대학교 전기전자공학과 석사과정

[주 관심분야] 밀리미터파 집적회로 및

전 상 근 [고려대학교/교수]

<https://orcid.org/0000-0001-7453-2331>



1997년: 서울대학교 전기공학과 (공학사)

1999년: 서울대학교 전기공학과 (공학석사)

2006년: 캘리포니아 전기공학과 (공학박사)

2008년~현재: 고려대학교 전기전자공학부 교수

[주 관심분야] 밀리미터파 및 테라헤르츠 집적회로 및 시스템