

60 GHz 대역 28 dBm 출력전력을 갖는 GaAs 증가형 pHEMT 전력증폭기 MMIC 설계

Design of a 60 GHz GaAs Enhancement-Mode pHEMT Power Amplifier MMIC with 28 dBm Output Power

서 소 연 · 이 용 호 · 신 현 철

Soyeon Seo · Yongho Lee · Hyunchol Shin

요 약

본 논문은 0.15 μm 증가형(enancement-mode) GaAs pHEMT 공정을 이용하여 60 GHz 대역에서 +28 dBm 출력전력을 갖는 밀리미터파 전력증폭기 MMIC 설계에 관해 기술하였다. 전력증폭기는 전력 이득, 출력전력, 선형성을 개선하기 위해 2단 구조 및 4개 단위 증폭기를 출력단에서 결합하는 4중 전력결합 구조를 채택하였다. 설계 결과 전력증폭기 MMIC의 성능은 60 GHz에서 포화전력 28.4 dBm, 출력 $P_{1\text{dB}}$ 28 dBm, 전력이득 +8.1 dB, 전력효율(PAE) 29.3 %이다. S-파라미터 시뮬레이션을 통해 얻은 소신호 전압 이득은 +8.1 dB이고, 3 dB 대역폭은 55.7 GHz부터 63.1 GHz로서 12.3 %로 확인되었다. 본 전력증폭기의 드레인 및 게이트 전원 전압은 4 V 및 0.6 V이다. 증가형 pHEMT로 인해 기존 공핍형 pHEMT 회로와 달리 양의 전압만을 필요하게 되어 전원 전압 발생부가 간단해지는 장점이 있다. 증폭기의 칩 면적은 패드를 포함해서 1.99×1.62 mm²이며, 이를 전력밀도로 환산하면 214 mW/mm²로서 매우 우수한 특성을 확인할 수 있었다.

Abstract

A 60 GHz power amplifier (PA) monolithic microwave integrated circuit (MMIC) with +28 dBm output power is designed in an enhancement-mode 0.15 μm GaAs pseudomorphic high-electron-mobility transistor (pHEMT) technology. A two-stage topology and a four-way power combining technique are adopted to achieve a high power gain, high output power, and high linearity. Transistor-level circuit and layout designs are developed, and the circuit performances are verified through three-dimensional electromagnetic simulations. The designed PA MMIC exhibits a saturated output power of +28.4 dBm, output-referred 1-dB gain compression point of +28 dBm, power gain of +8.1 dB, and power added efficiency of 29.3 %. S-parameter simulations show that the small-signal gain is +8.1 dB, and the operating bandwidth is between 55.7 and 63.1 GHz, with a fractional bandwidth of 12.3 %. The supply voltages are 4 V for the drain and 0.6 V for the gate. The positive-only supply voltages resulting from the enhancement-mode pHEMT simplify the supply voltage network compared with the conventional depletion-mode pHEMT design. The layout die size of the PA MMIC is 1.99×1.62 mm², and the power density performance of 214 mW/mm² is satisfactory.

Key words: Power Amplifier, 60 GHz, GaAs, pHEMT, MMIC

「이 연구는 한국연구재단의 중견연구자지원사업(No.2020R1A2C100848413)으로 연구되었음.」

광운대학교 전자융합공학과(Department of Electronic Convergence Engineering, Kwangwoon University)

· Manuscript received November 30, 2022 ; Revised December 26, 2022 ; Accepted January 20, 2023. (ID No. 20221130-101)

· Corresponding Author: Soyeon Seo (e-mail: lullaby1014@kw.ac.kr)

I. 서 론

60 GHz 대역은 초고속 광대역 통신이 가능한 밀리미터파 주파수 대역으로서 차세대 고속 무선랜, 근거리(short-range) 무선통신, 근접거리(proximity) 무선링크, 차량용 레이더, 모션 인식 레이더 등 다양한 초고속 무선 응용이 가능한 주파수 대역이다^[1]. 60 GHz 밀리미터파 대역은 산소나 수분에 의한 경로손실 영향이 크기 때문에 고성능 RF 송신기를 구현하기 위해서는 고출력 전력증폭기(power amplifier: PA) 마이크로파 집적회로(microwave monolithic integrated circuit: MMIC)의 확보가 매우 중요하다^[2].

III-V족 화합물 반도체 기반 pHEMT(pseudomorphic high electron mobility transistor) 전력증폭기 MMIC 설계에서 출력전력을 높이기 위해 단일 증폭기 여러 개를 결합하여 구동하는 전력 결합 구조를 많이 사용한다. 주로 사용되는 전력결합기 구조로는 랑(Lange) 커플러 결합기^[3], 윌킨슨 전력결합기^[4], T-접합(T-junction) 전력결합기^{[5]~[11]} 등이 있다. 랑 커플러 결합기는 전력증폭기의 광대역 특성에 유리하지만 비교적 큰 면적을 차지하는 단점이 있다. 윌킨슨 전력결합기는 각 포트에서의 임피던스 정합 특성이 매우 우수하지만 밀리미터파 대역에서 동작하는 저항이 추가적으로 필요하다는 단점이 있다. 반면 T-접합 전력결합기 구조는 차지하는 면적이 작으며 DC 바이어스 회로와의 통합이 수월하며 임피던스 정합도 비교적 우수하다는 장점이 있다. 따라서 본 논문에서는 T-접합 전력결합기 구조를 사용하여 높은 포화전력과 선형성을 갖는 60 GHz 대역 전력증폭기 MMIC를 설계하기로 하였다. MMIC 파운드리 공정은 대만의 윈세미(WinSemi Foundry) 社^[12]가 제공하는 0.15 μm 증가형(enhancement-mode) GaAs pHEMT 공정을 선택하였다. 기존 음의 전압이 필요한 공핍형(depletion-mode) 공정과 달리 증가형 공정을 채택함으로써 양의 전압만을 사용할 수 있어 전원 전압 공급이 간단해지는 장점이 있다.

회로 구조는 60 GHz에서 높은 전력이득을 얻기 위해 구동단과 출력단으로 이루어진 2단 구조로 결정하였다. 높은 출력전력과 선형성 특성을 위해 4개의 기본 증폭기를 출력단에서 결합하는 4중 전력결합 구조를 채택하였

다. 이때, 출력단의 4개 단위 트랜지스터 드레인 단자에서 보이는 출력신호의 균형을 위해 대칭적인 바이어스 회로 구조를 적용함으로써 출력 P_{ldB} 성능을 개선하였고, 결과적으로 우수한 전력밀도 특성을 달성하였다.

2-1 절에서는 60 GHz 대역에서 pHEMT 트랜지스터의 전체 게이트 폭에 따른 포화전력과 전력이득 특성을 비교하여 본 설계에 가장 적절한 트랜지스터 게이트 폭을 결정하는 과정을 기술하였다. 또한, 파운드리에서 제공한 증가형 pHEMT 소자의 DC 특성과 S-파라미터 특성을 검증하여 적절한 바이어스 조건을 결정하는 과정을 기술하였다. 2-2 절에서는 60 GHz 4중 결합 전력증폭기 MMIC의 회로 및 레이아웃 설계 과정 및 3차원 전자파해석(3-dimensional full-wave electromagnetic simulation: EM) 시뮬레이션 결과를 통해 성능을 검증하였다.

II. 회로설계

2-1 트랜지스터 소자 특성 분석 및 설계

본 공정의 트랜지스터의 게이트 길이는 0.15 μm 이다. 전체 게이트 폭(total gate width)은 단위 핑거의 폭(unit finger width) 및 핑거의 개수(number of finger)로 결정된다. 이러한 게이트 구조 및 사이즈에 따른 트랜지스터의 포화전력과 전력이득 특성을 알아보기 위하여 키사이트(Keysight Inc. Co.) 社^[13]의 시뮬레이션 툴인 ADS(advanced design system)를 사용하여 로드풀(load-pull) 및 소스풀(source-pull) 시뮬레이션을 수행하였다.

그림 1(a) 및 그림 1(b)는 시뮬레이션 결과로서, 60 GHz에서 게이트 크기에 따른 포화전력(saturated output power: P_{sat})과 전력이득(power gain) 특성을 각각 나타내고 있다. 트랜지스터 비교군은 60 GHz 파장의 길이를 고려하여 단위 핑거의 폭은 25 μm , 50 μm , 75 μm , 100 μm , 150 μm 의 다섯 가지 경우에 대해 선정하였고, 핑거의 개수는 2, 4, 8로 하여, 전체 게이트 폭 200 μm 에서 600 μm 사이에서 시뮬레이션 비교를 수행하였다. 모든 경우에 대해 최대 출력전력 특성을 위해 pHEMT의 드레인 전원 전압은 공정에서 허용하는 드레인 전압의 최댓값인 $V_{\text{DS}}=4\text{ V}$ 로 하였다. 또한, 게이트 바이어스 조건은 최대 g_m 을 발생시키는 $V_{\text{GS}}=0.6\text{ V}$ 조건으로 설정하였다.

그림 1(a)를 보면 트랜지스터의 포화전력은 게이트 전체 폭에 따라 증가하는 경향을 갖지만, 그림 1(b)를 보면 전력이득 특성은 반대로 감소하는 경향을 갖는다. 따라서, 전력증폭기 설계 시 두 성능 변수의 균형관계를 고려하여 적당한 조건을 선택하여야 한다. 2단 전력증폭기의 전력이득이 최소 10 dB 이상이 되기 위해서는 단위 트랜지스터의 전력이득을 5 dB 이상으로 해야 한다. 따라서 본 설계에서는 5 dB 이상의 전력이득을 나타내는 $4 \times 75 \mu\text{m}$, $4 \times 50 \mu\text{m}$, $8 \times 25 \mu\text{m}$ 세 가지 크기를 후보로 하였다. 이 중에서 $8 \times 25 \mu\text{m}$ 는 핑거개수가 많아 입출력 라우팅에

서의 손실이 많을 수 있으므로 핑거개수가 4인 두 가지 크기로 선택하였다. 전력증폭기를 첫째단인 구동단과 둘째단인 출력단으로 구성할 경우, 포화전력 성능을 고려하여, 출력단 증폭기에는 $4 \times 75 \mu\text{m}$ 게이트 크기를 선택하고, 구동단 증폭기에는 $4 \times 50 \mu\text{m}$ 게이트 크기를 선택하였다. 구동단에 출력단과 같은 게이트 크기의 트랜지스터를 사용하면 높은 이득과 선형성을 얻을 수 있지만 전력효율(power-added efficiency: PAE)이 떨어지는 단점이 있다^[3]. 이렇게 최종 결정된 두 트랜지스터의 60 GHz에서의 성능은, $4 \times 75 \mu\text{m}$ 트랜지스터의 전력이득은 5 dB, 포화전력은 26 dBm이고, $4 \times 50 \mu\text{m}$ 트랜지스터의 전력이득은 6 dB, 포화전력은 25 dBm이다.

앞의 과정에서 선택한 $4 \times 50 \mu\text{m}$, $4 \times 75 \mu\text{m}$ 트랜지스터에 대하여 로드풀 및 소스풀 시뮬레이션을 수행하여 대신호 특성을 검증하였다. 그림 2(a) 및 그림 2(b)는 각각 60 GHz에서 $4 \times 50 \mu\text{m}$ 트랜지스터의 로드풀 및 소스풀 시뮬레이션 결과를 나타낸다. 총 6개의 파워 컨투어를 그래프에 나타내었고, 그래프에 표시된 원들의 중심점은 트랜지스터의 출력전력이 최대가 되는 최적 임피던스 점을 의미한다. 입력 전력 0 dBm을 기준으로, 최적의 임피던스 점에서 출력전력은 6 dBm이며, 중심점을 기준으로 위치한 5개의 원은 출력전력이 1 dB씩 떨어지는 임피던스 원을 나타낸다. 이때 출력전력이 최대가 되는 로드 및 소스 최적 임피던스는 각각 $Z_{l,opt}=11.52+j3.12 \Omega$, $Z_{s,opt}=6.26-j9.68 \Omega$ 이다.

그림 3(a) 및 그림 3(b)는 각각 60 GHz에서 $4 \times 75 \mu\text{m}$ 트랜지스터의 로드풀 및 소스풀 시뮬레이션 결과를 나타낸다. $4 \times 50 \mu\text{m}$ 트랜지스터와 마찬가지로 총 6개의 파워 컨투어를 그래프에 나타내었고, 입력 전력 0 dBm을 기준으로 최적 임피던스 점에서 출력전력은 5.18 dBm이다. 이 중심점을 기준으로 위치한 5개의 원들은 각각 5 dBm으로부터 1 dB씩 떨어지는 임피던스 원을 나타낸다. 이때, 출력전력이 최대가 되는 로드 및 소스 최적 임피던스는 각각 $Z_{l,opt}=11.47-j3.09 \Omega$, $Z_{s,opt}=5.38-j16.52 \Omega$ 이다.

그림 4(a) 및 그림 4(b)는 앞선 로드풀, 소스풀 시뮬레이션 결과를 통해 출력전력이 최대가 되는 임피던스 정합 회로를 구성하고 $4 \times 50 \mu\text{m}$ 및 $4 \times 75 \mu\text{m}$ 트랜지스터의 출력전력 특성을 시뮬레이션한 것이다. 구동단에 적용

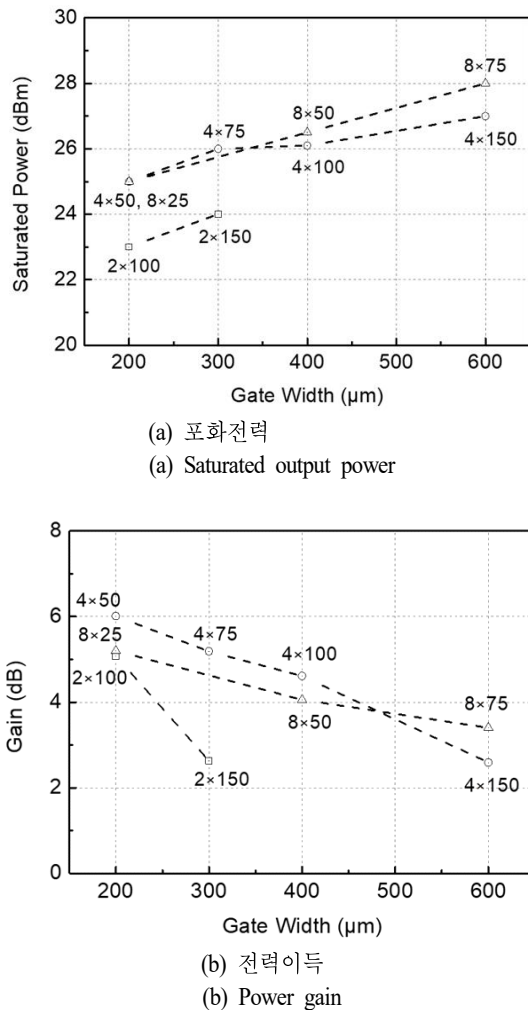
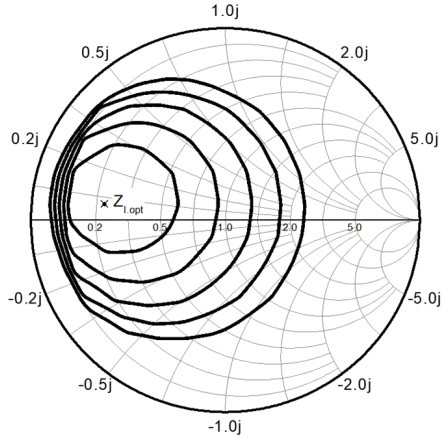
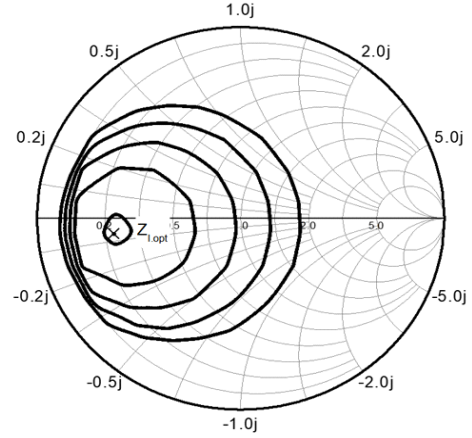


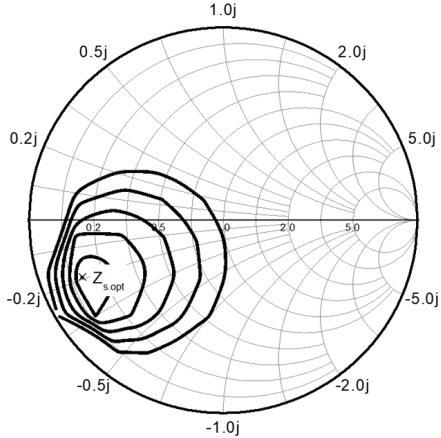
그림 1. pHEMT 게이트 크기에 따른 60 GHz 대역 특성
Fig. 1. 60 GHz performances against the pHEMT gate width.



(a) 로드풀 컨투어, $Z_{L,opt}=11.52+j3.12 \ \Omega$
(a) Load-pull contour, $Z_{L,opt}=11.52+j3.12 \ \Omega$



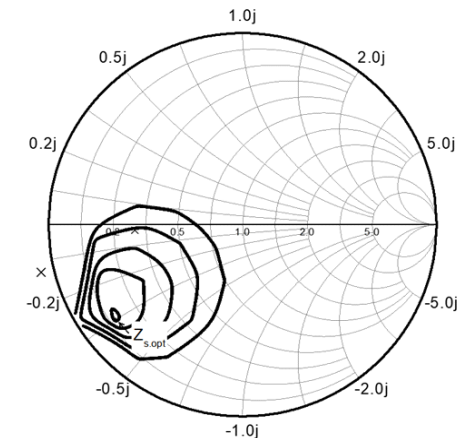
(a) 로드풀 컨투어, $Z_{L,opt}=11.47-j3.09 \ \Omega$
(a) Load-pull contour, $Z_{L,opt}=11.47-j3.09 \ \Omega$



(b) 소스풀 컨투어, $Z_{s,opt}=6.26-j9.68 \ \Omega$
(b) Source-pull contour, $Z_{s,opt}=6.26-j9.68 \ \Omega$

그림 2. $4 \times 50 \ \mu\text{m}$ pHEMT 트랜지스터의 로드풀 및 소스풀 컨투어

Fig. 2. Load-pull and source-pull contour line of $4 \times 50 \ \mu\text{m}$ pHEMT transistor.



(b) 소스풀 컨투어, $Z_{s,opt}=5.38-j16.52 \ \Omega$
(b) Source-pull contour, $Z_{s,opt}=5.38-j16.52 \ \Omega$

그림 3. $4 \times 75 \ \mu\text{m}$ pHEMT 트랜지스터의 로드풀 및 소스풀 컨투어

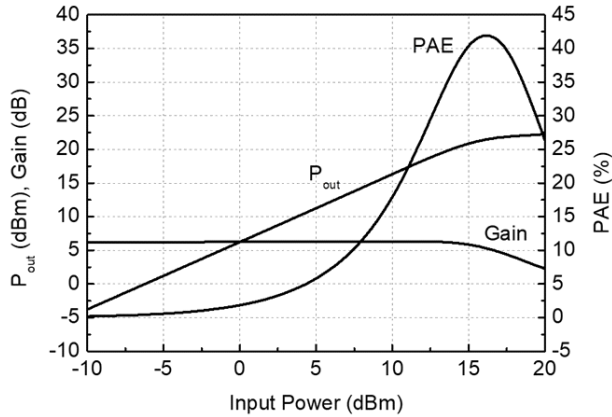
Fig. 3. Load-pull and source-pull contour line of $4 \times 75 \ \mu\text{m}$ pHEMT transistor.

될 $4 \times 50 \ \mu\text{m}$ pHEMT는 출력 $P_{1dB}=+21.5 \text{ dBm}$, 전력이득 $+6 \text{ dB}$, 전력효율 41.9% 를 보였다. 출력단에 적용될 $4 \times 75 \ \mu\text{m}$ pHEMT는 출력 $P_{1dB}=+22.7 \text{ dBm}$, 입력 $P_{1dB}=+18.5 \text{ dBm}$, 전력이득 5.2 dB , 전력효율 35.3% 를 보였다.

설계하고자 하는 전력증폭기의 회로 구조상 구동단의 출력신호는 두 개의 경로로 나뉘어 출력단으로 인가하게 된다(그림 6). 따라서, 구동단에 사용되는 $4 \times 50 \ \mu\text{m}$ pHEMT의 출력 $P_{1dB}(+21.5 \text{ dBm})$ 에서 3 dB 를 뺀 값인 출력

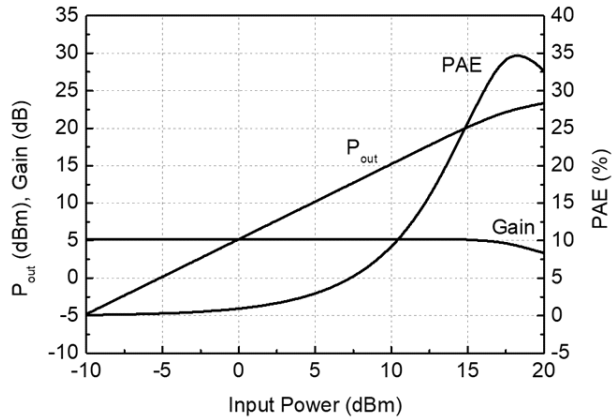
단에 사용되는 $4 \times 75 \ \mu\text{m}$ pHEMT의 입력 $P_{1dB}(+18.5 \text{ dBm})$ 보다 크거나 같아야 하는데, 이 조건이 만족함을 알 수 있다.

회로 설계를 진행하기 위해서 출력단 트랜지스터인 $4 \times 75 \ \mu\text{m}$ pHEMT의 DC 및 S-파라미터 특성을 좀 더 상세히 시뮬레이션 하였다. 그림 5(a)는 게이트-소스 전압 V_{GS} 가 0 V 에서 1 V 일 때 드레인 전류 I_{DS} 와 드레인-소스 전압 V_{DS} 의 특성을 살펴본 것이다. $V_{GS} > 0 \text{ V}$ 일 때 전류가



(a) 구동단 $4 \times 50 \mu\text{m}$ pHEMT

(a) Driving stage $4 \times 50 \mu\text{m}$ pHEMT



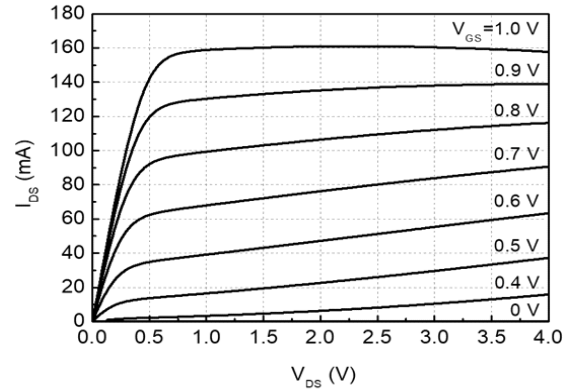
(b) 출력단 $4 \times 75 \mu\text{m}$ pHEMT

(b) Output stage $4 \times 75 \mu\text{m}$ pHEMT

그림 4. pHEMT 트랜지스터의 출력전력 특성
Fig. 4. Large-signal output-power characteristics.

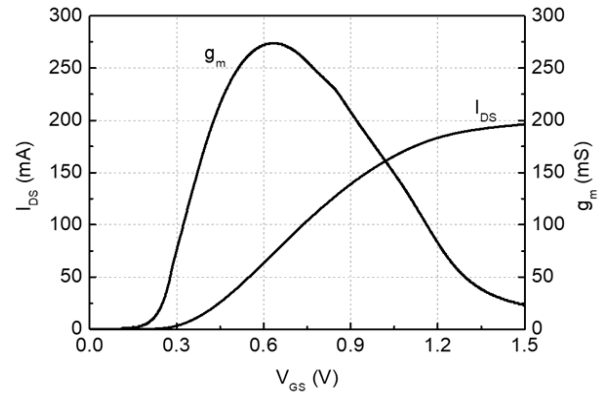
호르고 $V_{GS} < 0$ V일 때 전류가 흐르지 않으므로 증가형 (enhancement-mode) 동작을 확인할 수 있다. 문턱전압 (threshold voltage)는 약 0.3 V이다. 그림 5(a)에서 $V_{DD}=4$ V, $V_{GS}=0.9$ V일 때 드레인-소스 전류 I_{DS} 는 139 mA인데 이를 전류밀도로 환산하면 463 mA/mm이다. 이는 파운드리에서 규정하는 트랜지스터의 최대 전류밀도인 430 mA/mm를 초과하는 값이다. 따라서, 게이트 바이어스 전압은 0.9 V보다 작은 값으로 설정하여야 한다는 것을 알 수 있다.

그림 5(b)는 V_{GS} 에 따른 드레인-소스 전류 I_{DS} 와 전달컨덕턴스 g_m 특성을 나타낸다. 여기서 V_{DS} 는 전원전압인 4



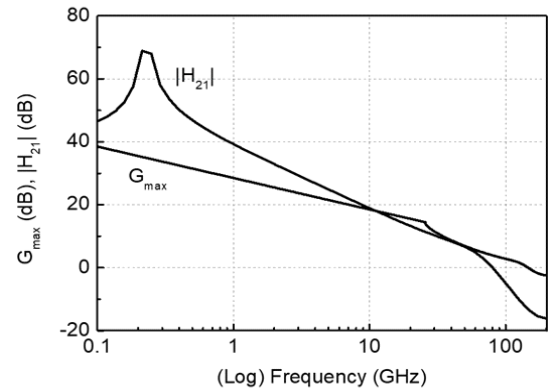
(a) 드레인 전류-전압 특성 ($I_{DS}-V_{DS}$)

(a) Drain-source current-voltage $I_{DS}-V_{DS}$



(b) 전달컨덕턴스 (g_m) 특성

(b) Transconductance g_m characteristics



(c) 최대 전력이득 및 전류이득 특성

(c) Maximum available power gain G_{max} and current gain $|H_{21}|$ characteristics

그림 5. $4 \times 75 \mu\text{m}$ pHEMT 성능 특성

Fig. 5. $4 \times 75 \mu\text{m}$ pHEMT performance characteristics.

V로 고정하였다. 그림 5(b)에서 $V_{GS}=0.6$ V일 때 g_m 이 최댓값에 도달하며 이 값은 272 mS이다. 60 GHz 밀리미터파 대역에서 전력증폭기의 이득을 최대한 확보하고 전력효율을 높이기 위해서는, 최대 전달컨덕턴스 특성을 갖는 $V_{GS}=0.6$ V에 게이트 바이어스 전압을 가하는 것이 필요함을 알 수 있다.

그림 5(c)는 $V_{DS}=4$ V, $V_{GS}=0.6$ V에서 주파수에 따른 최대전력이득 G_{max} 와 전류이득 $|H_{21}|$ 을 보인 것이다. $G_{max}=0$ dB가 되는 주파수, 즉 최대동작주파수 f_{max} 는 146 GHz이고, 60 GHz에서의 최대 전력이득 G_{max} 는 5.6 dB를 보이고 있다. 전류이득 $|H_{21}|$ 이 0 dB가 되는 주파수 f_T 는 80 GHz이다. 이로부터 본 트랜지스터가 60 GHz에서 증폭기로서 동작할 수 있음을 확인할 수 있다.

2-2 전력증폭기 MMIC 설계

그림 6은 본 논문의 60 GHz 전력증폭기 MMIC 회로도이다. 입력신호 RF_{in} 은 첫 번째 전력분배기 PD_1 을 통하여 두 개의 신호로 분리되어 첫 번째 구동단 증폭기 $M_{1,2}$ 로 인가된다. 구동단 증폭기 트랜지스터 $M_{1,2}$ 는 $4 \times 50 \mu\text{m}$ 게이트 폭을 갖는다. 구동단에서 증폭된 출력 신호는 이후 다시 한번 전력분배기 PD_2 와 PD_3 를 통해 총 4개의 경로로 분리되고, 두 번째 단인 출력단 증폭기 $M_{3,4,5,6}$ 에서 다시 한번 증폭된다. $M_{3,4,5,6}$ 은 $4 \times 75 \mu\text{m}$ 게이트 폭을 갖는다. 최종적으로 전력결합기 PC_{1-3} 을 이용하여 4중 전력결합을 함으로써 최종 출력신호 RF_{out} 을 출력시킨다.

그림 7은 그림 6의 회로에 대한 레이아웃 설계도이다.

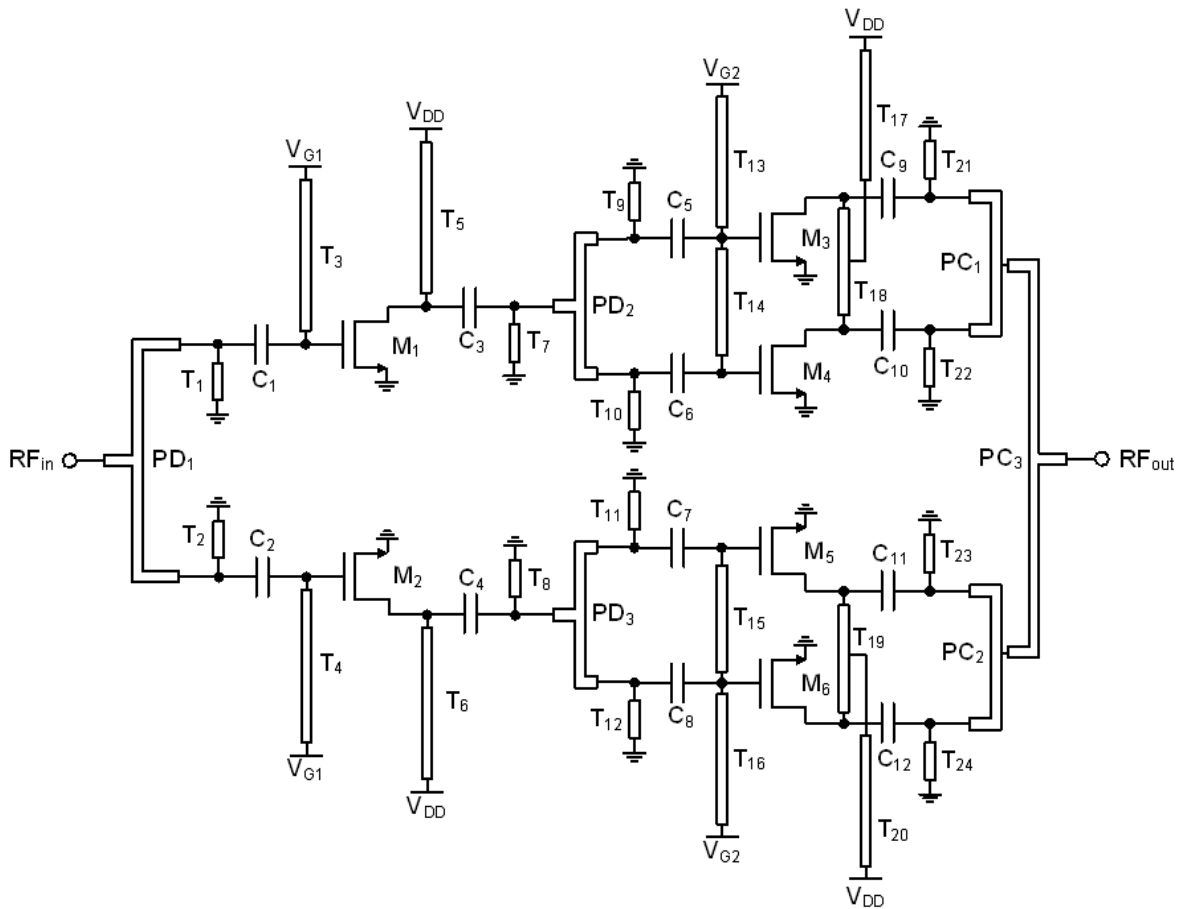


그림 6. 60 GHz 전력증폭기 회로도

Fig. 6. 60 GHz power amplifier circuit schematic.

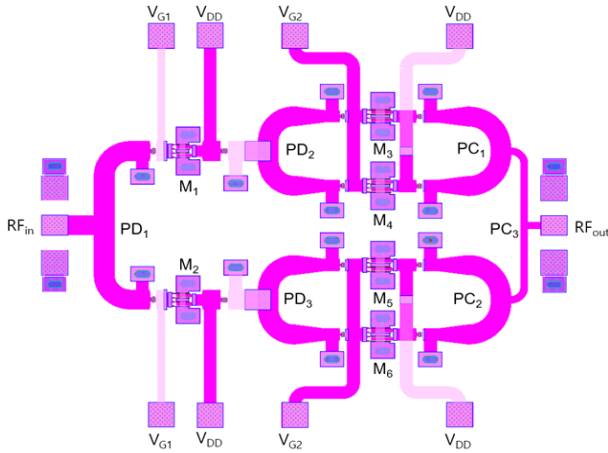


그림 7. 60 GHz 전력증폭기 MMIC 레이아웃
Fig. 7. 60 GHz power amplifier MMIC layout.

레이아웃에 표시된 구성 소자의 부품번호는 그림 6의 회로도 부품번호와 동일하게 하여 비교할 수 있도록 하였다. 회로에서 사용된 수동소자인 마이크로스트립 전송선(microstrip line)과 캐패시터(capacitor) 소자의 설계 값을 표 1에 정리하였다.

표 1. 수동소자 설계값
Table 1. Design parameters of passive components.

Microstrip line		
	Width (μm)	Length (μm)
$T_{1,2}$	50	63
$T_{3,4}$	30	375
$T_{5,6}$	50	375
$T_{7,8}$	50	90
T_{9-12}	50	74
$T_{13,16}$	50	310
$T_{14,15}$	50	230
$T_{17,20}$	50	300
$T_{18,19}$	50	230
T_{21-24}	50	75
Capacitor (fF)		
$C_{1,2}$	54.0	
$C_{3,4}$	67.3	
C_{5-8}	39.2	
C_{9-12}	44.3	

$T_{3,4}$, $T_{5,6}$, T_{13-16} , T_{17-20} 은 각 트랜지스터의 게이트 및 드레인 바이어스 전압 인가를 위해 사용된 마이크로스트립 전송선이다. 이들은 기본적으로 RF choke의 역할을 하도록 한다. 첫째 단 M_1 , M_2 는 각각 T_3 , T_4 를 통해 게이트 전압 V_{G1} 이 인가되고, T_5 , T_6 를 통해 드레인 전압 V_{DD} 가 인가된다. 구동단 트랜지스터 $M_{1,2}$ 의 DC 바이어스 전류는 43 mA이다.

두 번째 단의 4개의 트랜지스터 M_{3-6} 에 대해서는 T_{13-16} 을 통해 게이트 바이어스 전압 V_{G2} 가 인가되고, T_{17-20} 을 통해 드레인 전압 V_{DD} 가 인가된다. 출력단 트랜지스터 M_{3-6} 의 DC 바이어스 전류는 63 mA이다.

$M_{3,4}$ 의 게이트 바이어스 라인 T_{13} 은 게이트 바이어스 전압용 패드 V_{G2} 에서 시작하여 M_3 의 게이트에 먼저 연결되고, 이어서 T_{14} 를 통하여 M_4 로 연결된다. $T_{15,16}$ 도 마찬가지로 일종의 직렬 형태로 연결된다. 이때 게이트 전류가 0.65 mA 정도로 매우 미미하므로 이러한 직렬연결은 M_3 , M_4 및 M_5 , M_6 의 게이트 단자에서의 입력 신호의 균형 및 임피던스 정합에 크게 영향을 주지 않는다.

하지만, 드레인 바이어스 전압에 이용된 $T_{17,18}$ 및 $T_{19,20}$ 은, 위와 같은 직렬연결 방식을 적용할 경우 출력신호의 불균형 및 부정합을 발생시켜 결과적으로 출력전력의 심각한 감쇄로 이어질 수 있음을 발견하였다. 이러한 문제를 해결하기 위해 드레인 바이어스 라인은 4개 트랜지스터 M_{3-6} 의 드레인 단자에서 보이는 출력신호의 정합과 균형을 맞추려고 하였다. 이를 위해 그림 8과 같은 대칭 연결(symmetric routing) 구조를 사용하였다. MMIC 공정에서는 두 개의 메탈층이 제공되는데, 첫 번째 메탈층 MET1은 두께가 $1 \mu\text{m}$ 이고 시트저항이 $0.026 \Omega/\square$, 두 번째 메탈층 MET2는 두께가 $2 \mu\text{m}$ 이고 시트저항이 $0.013 \Omega/\square$ 이다. V_{DD} 전압 패드로부터 두 번째 메탈층인 MET2

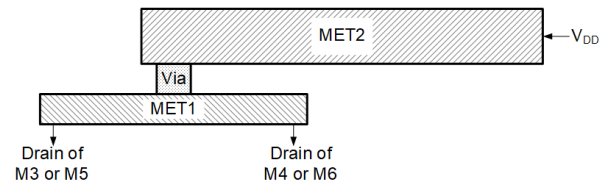


그림 8. 대칭 바이어스 연결 구조
Fig. 8. Symmetric bias routing structure.

의 T_{17} , T_{20} 을 연결하는데, 이때 실제 트랜지스터의 드레인 에 연결되는 MET1의 T_{18} , T_{19} 라인의 중앙 지점까지 연결한다. MET1과 MET2는 메탈 비아로 연결하여 M_{3-6} 의 드레인 단자에서 V_{DD} 패드까지 보이는 라우팅의 길이와 임피던스가 최대한 같도록 하였다. 이 방식을 통해 최종 출력전력을 1.5 dB 이상 개선할 수 있었다.

$M_{3,4}$ 및 $M_{5,6}$ 의 드레인 바이어스 전류가 각각 63 mA이므로, T_{17} , T_{20} 에는 최대 126 mA의 전류가 흐르게 된다. 메탈층이 전기적 이탈(electromigration)에 의한 파괴 없이 견딜 수 있는 최대 전류밀도는 MET1의 경우 $4 \text{ mA}/\mu\text{m}$, MET2의 경우 $6 \text{ mA}/\mu\text{m}$ 이다. 이를 고려하여, T_{17-20} 의 폭을 $50 \mu\text{m}$ 로 하였고, $T_{18,19}$ 의 길이는 $230 \mu\text{m}$, $T_{17,20}$ 의 길이는 $300 \mu\text{m}$ 로 하였다.

전력분배기 PD_{1-3} 과 전력결합기 PC_{1-3} 은 각각 T-접합 구조로 설계하였다. PD_1 은 입력단과 구동단의 임피던스 정합을 이루기 위하여 50Ω 임피던스를 갖는 $80 \mu\text{m}$ 폭의 라인으로 구현하였다. PD_2 , PD_3 의 입력단은 50Ω 임피던스를 갖는 $80 \mu\text{m}$ 폭의 라인으로 연결하였고, 출력단은 70.7Ω 임피던스를 갖는 $50 \mu\text{m}$ 폭의 라인으로 연결하였다.

PC_1 , PC_2 의 입력단은 70.7Ω 임피던스를 갖는 $50 \mu\text{m}$ 폭의 라인으로 연결하였고, 출력단은 50Ω 임피던스를 갖는 $80 \mu\text{m}$ 폭의 라인으로 연결하였다. PC_1 , PC_2 에서 PC_3 로 이어지는 라인은 $30 \mu\text{m}$ 폭으로 설계하였는데, 이는 전체 전력증폭기 MMIC의 출력단 임피던스 정합을 위해 최적화한 값이다. EM 시뮬레이션을 통해 PD_1 의 삽입손실은 1.18 dB, PD_2 , PD_3 와 PC_1 , PC_2 의 삽입손실은 0.86 dB, PC_3 의 삽입손실은 0.4 dB로 확인되었다.

각 트랜지스터의 입출력 단에는 최대 출력전력 및 50Ω 임피던스 정합을 이루기 위해 적절한 정합회로를 삽입하였다. 정합회로의 설계는 처음에는 인덕터 및 캐패시터의 집중소자(lumped element device)를 이용하여 진행하였다. 하지만 MMIC 공정에서 제공하는 인덕터의 자체공진 주파수(self-resonance frequency)가 60 GHz와 근접하여 해당 주파수 대역에서 사용하기에 불안정한 문제가 있고, 또한 레이아웃 면적도 매우 큰 단점을 갖는다. 이러한 문제를 해결하고자 본 설계에서는 마이크로스트립 전송선 기반 매칭 회로를 채택하였다. 인덕터 대신 단락 스텐브

(short stub)를 사용하였고, 캐패시터로는 품질계수(Q-factor)가 비교적 높은 MIM(metal-insulator-metal) 캐패시터를 사용하였다. 사용된 단락 스텐브는 $T_{1,2}$, $T_{7,8}$, T_{9-12} , T_{21-24} 로서 폭은 $50 \mu\text{m}$ 이고, 길이는 각각 $63 \mu\text{m}$, $90 \mu\text{m}$, $74 \mu\text{m}$, $75 \mu\text{m}$ 이다. $C_{1,2}$, $C_{3,4}$, C_{5-8} , C_{9-12} 는 각각 54.0 fF, 67.3 fF, 39.2 fF, 44.3 fF이다.

III. 60 GHz 전력증폭기 성능 검증

그림 6 및 그림 7의 최종 전력증폭기 성능 검증에 앞서 최종 회로의 절반에 해당하는 2중 결합 전력증폭기의 성능을 먼저 검증하였다. 성능 검증은 3차원 전자기파 해석(3-dimensional electromagnetic full-wave analysis) 시뮬레이션을 통해 수행하였다. 이때, 시뮬레이터는 Momentum RF를 사용했고, EM 모델의 주파수 범위는 DC부터 180 GHz까지로 설정하였다. EM 모델링은 수동소자에 대해서만 수행하였고, 능동소자는 윈세미(WinSemi foundry)사에서 제공받은 PDK(process design kit) 모델을 사용하여 시뮬레이션하였다.

그림 9는 2중 결합 전력증폭기 레이아웃인데 그림 6의 최종 회로에서 가장 앞에 위치한 전력분배기 PD_1 과 가장 뒤에 위치한 전력결합기 PC_3 가 없는 형태이다.

2중 결합 전력증폭기의 성능은 그림 9의 레이아웃에 대해 EM 시뮬레이션을 수행하여 확인하였다. 그림 10(a) 및 그림 10(b)는 각각 대신호 성능과 소신호 성능을 나타낸다. 포화전력 P_{sat} 은 +26 dBm, 출력전력 OP_{1dB} 는 +25

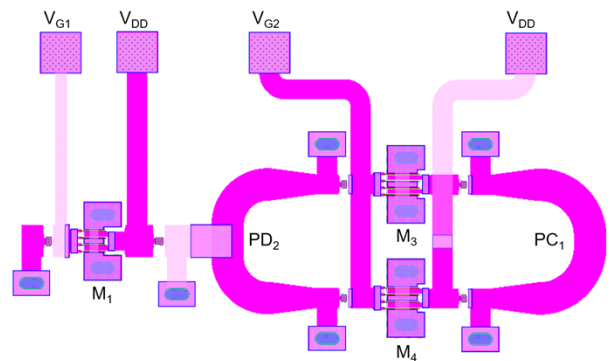


그림 9. 2중 결합 전력증폭기 레이아웃
Fig. 9. Layout of 2-way combined power amplifier.

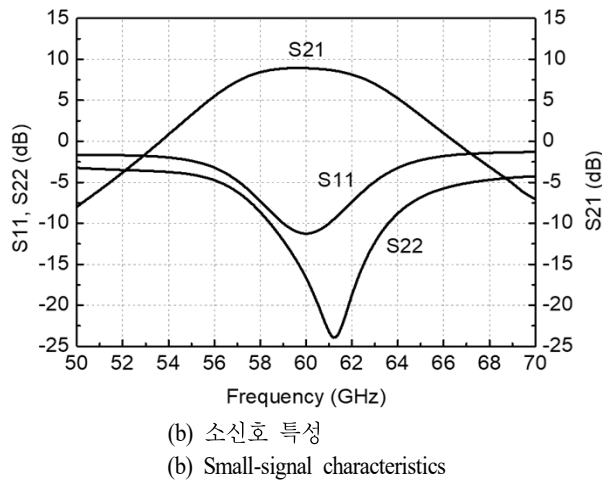
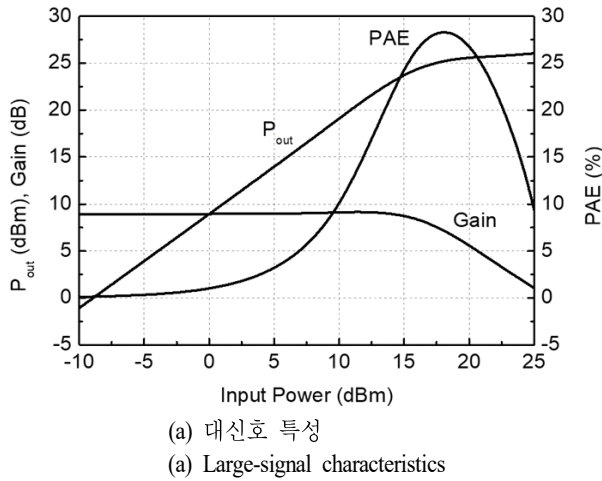


그림 10. 2중 결합 전력증폭기의 성능
Fig. 10. Performance of the 2-way combined power amplifier.

dBm, 전력이득은 +8.9 dB, 전력효율 PAE는 28.1 %로 확인되었다. S -파라미터 시뮬레이션을 통해 구한 소신호 전압 이득은 +8.9 dB이고 입출력 반사계수는 각각 -11.2 dB, -16.7 dB로서 만족할 만한 성능을 보였다.

2중 결합 전력증폭기의 성능 확인 후 4중 결합 최종 증폭기로 확장하여 EM 시뮬레이션을 수행하였다. 그림 11(a) 및 그림 11(b)는 각각 최종 회로의 대신호 성능과 소신호 성능을 나타낸다. 포화전력 P_{sat} 은 +28.4 dBm, 출력 전력 OP_{1dB} 는 +28 dBm, 전력이득은 +8.1 dB, 전력효율 (PAE)은 최대 29.3 %를 보였다.

그림 1(b)에서 구동단 pHEMT의 전력이득은 +6 dB이

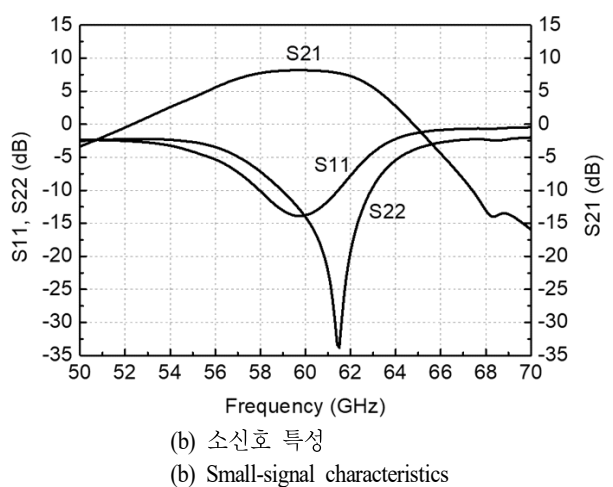
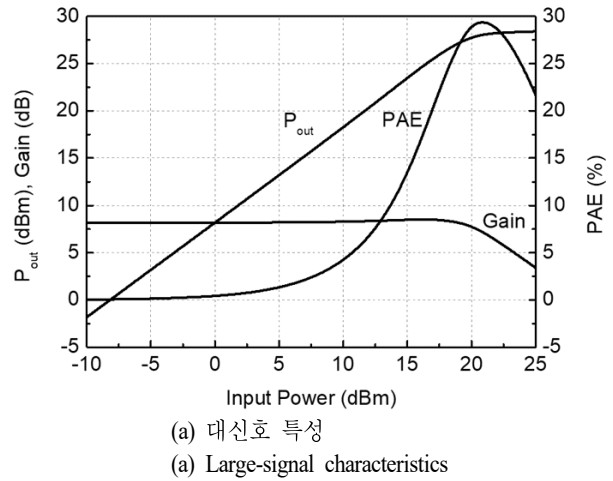


그림 11. 최종 4중 결합 전력증폭기 성능
Fig. 11. Performance of the final 4-way combined power amplifier.

고, 출력단 pHEMT의 전력이득은 +5 dB임을 알 수 있었다. 따라서, 2단으로 연결된 전체 전력증폭기의 전력 이득은 최대 +11 dB까지 될 수 있을 것이다. 하지만, 회로 내 전력분배기 및 전력결합기의 손실 때문에 전체 전력 이득은 +8.1 dB로 확인되었다. 이는 전력증폭기에 사용된 전력분배기 및 전력결합기가 전체적으로 약 2.9 dB의 전력손실을 발생시키고 있다는 의미이다. 4중 결합에 의해 이론적으로 출력전력을 6 dB 증가시킬 수 있음을 감안하면, 실제 본 설계에서 4중 결합에 의한 출력전력 증가는 약 3.1 dB임을 확인할 수 있다.

전력증폭기의 소신호 특성은 S -파라미터 시뮬레이션을 통해 확인하였다. 입출력 임피던스 정합 정도를 나타내는 S_{11} 과 S_{22} 는 각각 60 GHz에서 -13.8 dB, -14 dB로서 -10 dB 이하의 만족할 만한 성능을 보였다. 소신호 전압 이득은 $+8.1$ dB를 보였다. 3-dB 대역폭은 55.7 GHz부터 63.1 GHz까지로서 총 7.4 GHz이며, 이는 12.3 %에 해당한다. 설계된 증폭기의 칩 면적은 $1.99 \times 1.62 \text{ mm}^2$ 이고, 이를 전력밀도로 환산하면 214 mW/mm^2 이다.

GaAs, GaN과 같은 III-IV족 화합물 반도체를 이용한 전력증폭기의 경우, 열에 의한 특성 변화가 크기 때문에 이를 미리 예측하는 것은 전력증폭기 설계에서 매우 중요하다. 따라서 본 논문에서는 최종 전력증폭기에 대해

PVT(process, voltage, temperature) 변화 시뮬레이션을 수행하여 예상 측정결과를 제시하였다.

공정은 E-mode GaAs pHEMT에 대하여 typical, slow, fast, V_{DD} 는 3.6 V, 4.0 V, 4.4 V로 ± 10 % 변화를 주었고, 온도는 공업용 표준대기온도 범위를 적용하여 -40°C , 25°C , 85°C 의 조건에서 시뮬레이션을 수행하였다.

그림 12는 PVT 변화에 따른 소신호 특성의 변화를 나타낸다. 전압이득 S_{21} 의 성능 열화는 공정변수가 slow, $V_{DD}=4.0$ V, 온도 -40°C 일 때 가장 크게 발생했고, 해당 조건에서 S_{21} 은 7.4 dB로서 이것이 최소 성능임을 확인하였다. 모든 경우에서 전압이득은 ± 10 % 이내의 오차를 갖고, 동작주파수 대역에서 반사계수 S_{11} , S_{22} 가 모두 -10

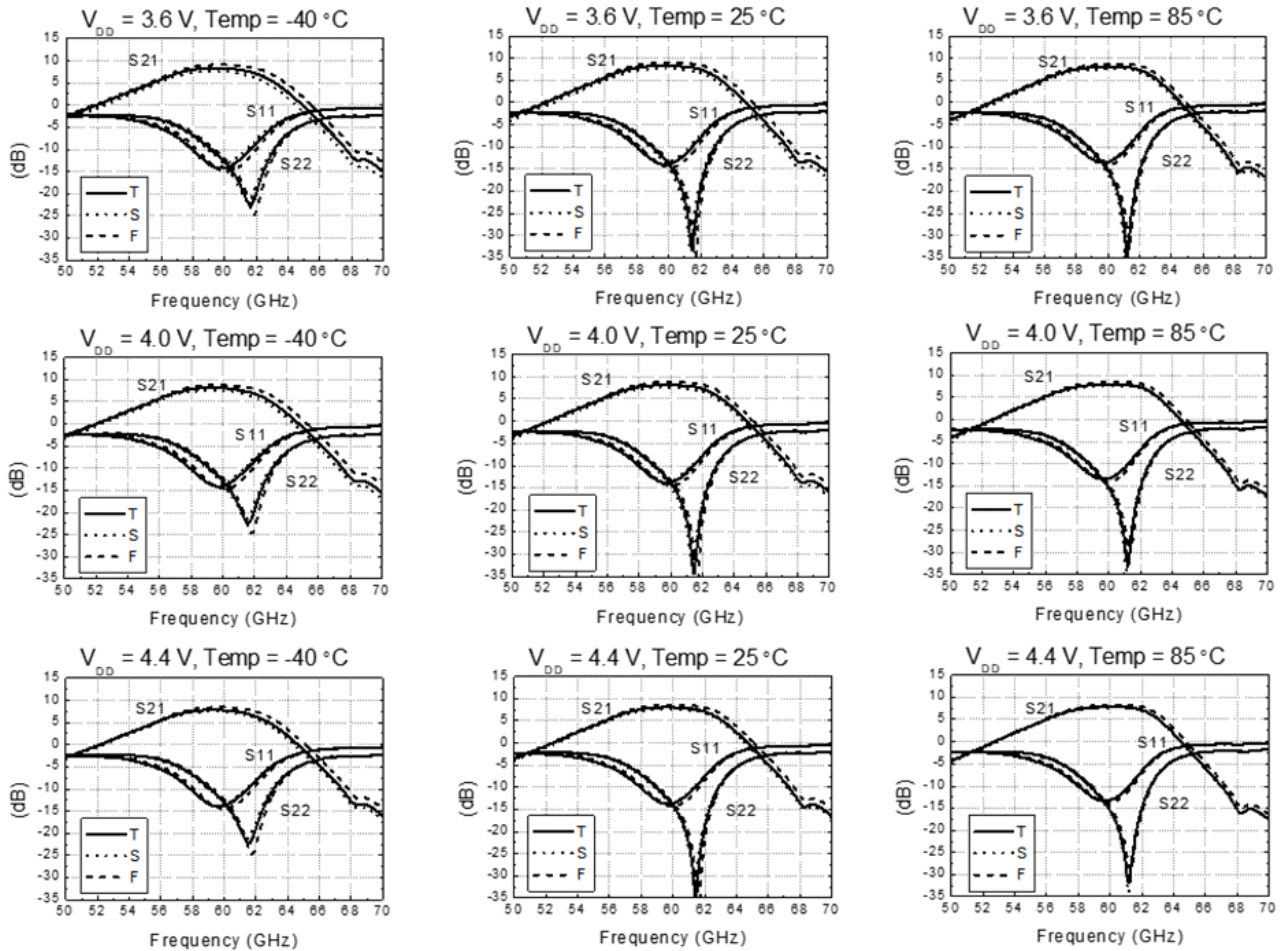


그림 12. 공정-전압-온도 변화에 따른 소신호 특성 변화

Fig. 12. Small-signal performances against the process-voltage-temperature (PVT) variations.

dB 이하로 만족할 만한 성능임을 확인하였다.

그림 13은 PVT 변화에 따른 대신호 특성의 변화를 나타낸다. 전력이득의 경우, 마찬가지로 모든 경우에서 $\pm 10\%$ 이내의 오차를 갖는 것을 확인하였다. 이때, 공정변수가 slow이고 $V_{DD}=4.0$ V, 온도가 -40°C 의 조건에서 성능 열화가 가장 크게 발생하였고, 해당 조건에서 전력이득은 7.4 dB로서 이것이 최소 성능임을 확인하였다.

출력 P_{ldB} 의 경우, 온도가 높을수록 성능열화가 큰 경향을 보였다. 성능 열화는 공정변수가 slow, $V_{DD}=3.6$ V, 온도 85°C 일 때 가장 크게 발생했고, 해당 조건에서 출력 P_{ldB} 는 25.9 dBm으로서 이것이 최소 성능임을 확인하였다.

그림 14(a) 및 그림 14(b)는 각각 출력 P_{ldB} 와 전력이득

에 대하여 PVT 변화에 따른 특성 변화의 경향을 나타낸다. 그림 14(a)를 보면 동작온도가 출력 P_{ldB} 성능에 미치는 영향이 가장 컸으며, 온도가 높아질수록 성능 열화가 발생하였다. 이때, 출력 P_{ldB} 의 최소 성능은 25.9 dBm인 것으로 약 2 dB 정도의 성능 열화를 예상할 수 있다. 그림 14(b)를 보면 공정변수가 전력이득 성능에 미치는 영향이 가장 컸으며, 최대 9.1 dB, 최소 7.4 dB로 ± 1 dB 이내의 성능 변화를 확인하였다.

위 PVT 시뮬레이션 결과를 토대로, 구리(Cu) 방열판(heat sink) 제작, 칩의 안정적인 그라운드 연결을 위한 PCB(printed circuit board) 제작, 냉각 팬(cooling fan) 가동 등의 방법을 측정상황에 적용하여, 전력증폭기의 열화현

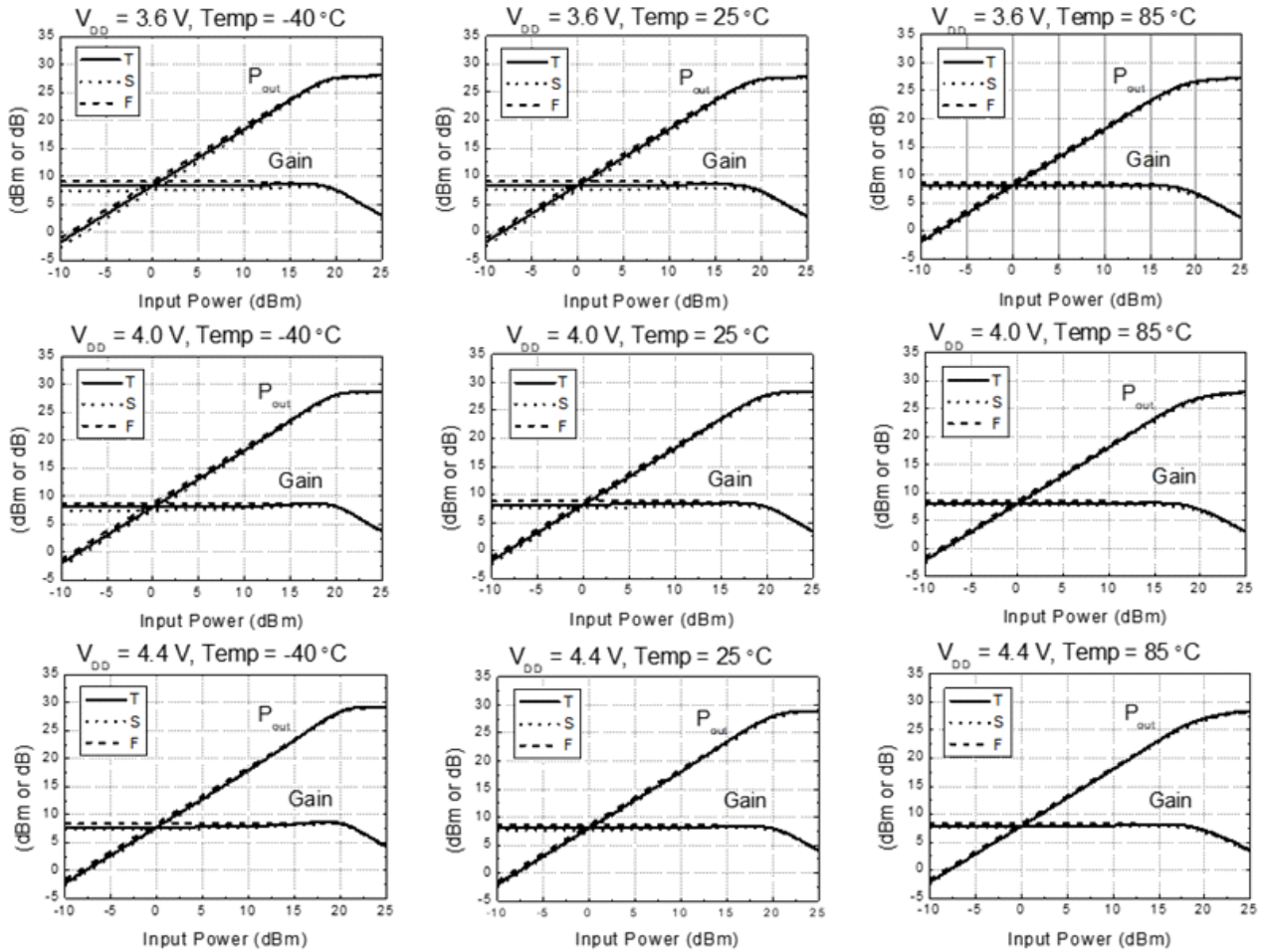
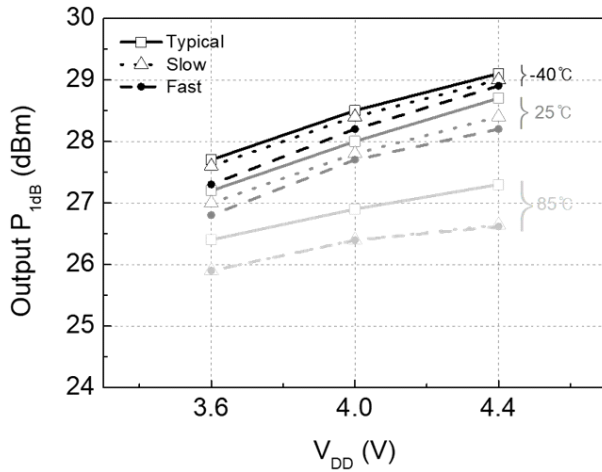
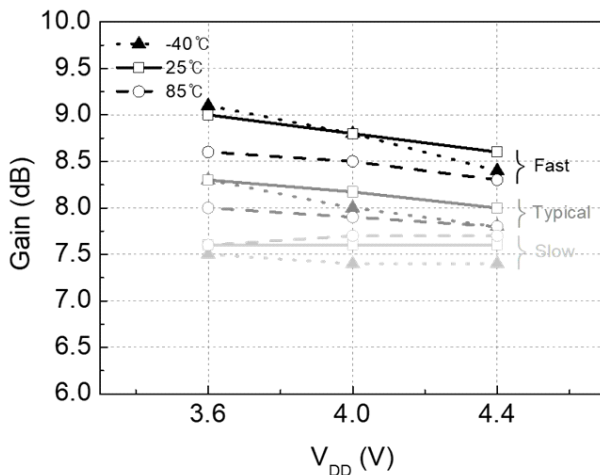


그림 13. 공정-전압-온도 변화에 따른 대신호 특성 변화

Fig. 13. Large-signal performances against the process-voltage-temperature (PVT) variations.



(a) 출력 P_{1dB} 특성
(a) Output P_{1dB} characteristic



(b) 전력이득 특성
(b) Power gain characteristic

그림 14. 공정-전압-온도 변화에 따른 출력 P_{1dB} 및 전력 이득 특성

Fig. 14. Output P_{1dB} and power gain characteristics against the process-voltage-temperature (PVT) variations.

상을 최소한으로 줄여 측정결과가 시뮬레이션과 유사하게 나올 수 있음을 기대할 수 있다.

표 2는 본 논문에서 제시된 60 GHz 대역 pHEMT 전력증폭기의 성능을 요약하고 기존 논문에 발표된 전력증폭기의 성능을 비교한 것이다. 우선 기존의 pHEMT 전력증폭기는 대개 공핍형 트랜지스터를 사용하고 있음을 알

수 있다^{[5],[7]~[10]}. 이는 전력증폭기를 구동하기 위해서 양의 드레인 전압과 음의 게이트 전압 소스가 필요하다는 의미이다. 이에 비해 본 논문의 증가형 pHEMT 전력증폭기는 양의 전압 소스만을 필요로 하기 때문에 전원 전압 공급이 좀 더 간단해지는 장점이 있다. 또한, 포화전력 성능을 보면 본 논문의 전력증폭기가 가장 우수한 성능을 보이고 있다. 물론 참고문헌 [10]의 포화전력값이 더 높지만 이는 동작주파수가 40 GHz이다. MMIC 칩의 단위면적당 포화전력을 mW/mm^2 로 계산한 전력밀도를 비교해 봐도 본 논문의 결과가 기존 전력증폭기^{[5],[7]~[9]}보다 훨씬 우수하고, 전력증폭기^[10]와 비교해도 비슷한 성능을 보인다.

IV. 결 론

본 논문에서는 0.15 μm 증가형 GaAs pHEMT 공정을 이용하여 60 GHz 대역에서 동작하는 전력증폭기 MMIC를 설계하였다. 전력증폭기의 구조는 높은 출력전력 및 선형성을 위해 4중 결합구조를 채택하였다. 이때 4중 결합구조의 출력단에서 각 트랜지스터의 드레인 단자에서 보이는 출력신호의 불균형을 해결하기 위해 대칭적인 바이어스 회로구조를 적용하였고, 결과적으로 출력 P_{1dB} 성능을 1.5 dB 이상 개선하였다. 설계된 전력증폭기는 +28.4 dBm의 높은 포화전력과 +28 dBm의 OP_{1dB} 를 보였다. S-파라미터 시뮬레이션을 통해 확인한 입출력 반사계수는 -13.8 dB, -14 dB이고, 소신호 전압 이득은 +8.1 dB를 보였다. 전력증폭기의 드레인 전압과 게이트 전원 전압은 4 V 및 0.6 V이다. 증가형 pHEMT 사용으로 인해 기존 공핍형 pHEMT 회로에 비해 양의 전원 전압만을 필요하게 되어 전원 전압 발생부가 간단해지는 장점이 있다. 칩 면적은 $1.99 \times 1.62 mm^2$ 이며, 전력밀도는 $214 mW/mm^2$ 로 기존 pHEMT 기반 60 GHz 대역 전력증폭기에 비해 매우 우수한 전력밀도 특성을 달성하였다.

References

- [1] S. X. Ta, S. G. Kang, J. J. Han, and I. Park, "High-efficiency, high-gain, broadband Quasi-Yagi antenna and its array for 60-GHz wireless communications," *Journal of*

표 2. 성능 요약 및 비교

Table 2. Performance summary and comparisons.

	This work*	Ref. [5]	Ref. [7]	Ref. [8]	Ref. [9]	Ref. [10]
HEMT process (μm)	0.15	0.1	0.1	0.15	0.1	0.3
HEMT type	Enhancement	Depletion	Depletion	Depletion	Depletion	Depletion
Frequency (GHz)	60	71–76	55–64	60	75–90	40
OP_{dB} (dBm)	28	24	22	—	19	—
P_{sat} (dBm)	28.4	27	25	27.5	20	37.9
Gain (dB)	8.1	26	22	17	25	9
PAE (%)	29.3	22	15	26	—	17
Supply voltage (V)	4	3.3	6, 3.3	6	3.5, 3	8
Area (mm^2)	1.99×1.62	6	3.2	3.65×2.91	2.5×0.8	5.9×4.9
Power density (mW/mm^2)	214	83.5	98.8	52.9	50	213.2

*In this work, simulated results are indicated, and Ref. [5], and Ref. [7]~Ref. [10] indicate measured results.

Electromagnetic Engineering and Science, vol. 13, no. 3, pp. 178-185, Sep. 2013.

- [2] V. Camarchia, R. Quaglia, A. Piacibello, D. P. Nguyen, H. Wang, and A. V. Pham, "A review of technologies and design techniques of millimeter-wave power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 2957-2983, Jul. 2020.
- [3] E. Camargo, J. Schellenberg, L. Bui, and N. Estella, "Power GaAs MMICs for E-band communications applications," in *2014 IEEE MTT-S International Microwave Symposium(IMS2014)*, Tampa, FL, Jun. 2014, pp. 1-4.
- [4] J. Kim, K. Choi, S. Lee, H. Park, and Y. Kwon, "6~18 GHz reactive matched GaN MMIC power amplifiers with distributed L-C load matching," *Journal of Electromagnetic Engineering and Science*, vol. 16, no. 1, pp. 44-51, Jan. 2016.
- [5] M. Gavell, G. Granstrom, C. Fager, S. E. Gunnarsson, M. Ferndahl, and H. Zirath, "An E-band analog predistorter and power amplifier MMIC chipset," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 1, pp. 31-33, Jan. 2018.
- [6] H. J. Ahn, S. H. Sim, M. C. Park, S. M. Kim, B. J. Park, and Y. S. Eo, "Wide-band 6~10 GHz InGaAs 0.15 μm pHEMT 27 dBm power amplifier," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 29, no. 10, pp. 766-772, Oct. 2018.
- [7] M. Gavell, I. Angelov, M. Ferndahl, and H. Zirath, "A V-band stacked HEMT power amplifier with 25-dBm saturated output power in 0.1- μm InGaAs technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 12, pp. 4232-4240, Dec. 2016.
- [8] C. F. Campbell, S. Moolchalla, D. Daugherty, W. J. Taft, M. Y. Kao, and D. Fanning, "V-band power amplifier MMICs exhibiting low power slump characteristics utilizing a production released 0.15- μm GaAs PHEMT process," in *2009 IEEE MTT-S International Microwave Symposium Digest*, Boston, MA, Jun. 2009, pp. 433-436.
- [9] F. Díaz Canales, M. Abbasi, "A 75~90 GHz high linearity MMIC power amplifier with integrated output power detector," in *2013 MTT-S International Microwave Symposium*, Seattle, WA, Jun. 2013, pp. 433-436.
- [10] H. Otsuka, K. Yamauchi, K. Yamanaka, S. Chaki, K. Nakahara, and K. Endo, et al., "A Q-band 6W MMIC power amplifier with 3-way power combination circuit," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, May 2010, pp. 171-174.

- [11] M. V. Aust, A. K. Sharma, O. Fordham, R. Grundbacher, R. To, and R. Tsai, et al., "A highly efficient Q-band MMIC 2.8 Watt output power amplifier based on 0.15/ μm InGaAs/GaAs pHEMT process technology," in *IEEE Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC '05*, Palm

Springs, CA, Oct.-Nov. 2005, p. 4.

- [12] WIN Semiconductors. Available: <https://www.winfoundry.com>

- [13] Keysight Technologies. Available: <https://www.keysight.com>

서 소 연 [광운대학교/석사과정]

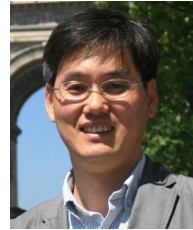
<https://orcid.org/0009-0009-0560-5563>



2022년 2월: 광운대학교 전자융합공학과 (공학사)
2022년 3월~현재: 광운대학교 전자융합공학과 석사과정
[주 관심분야] Millimeter-Wave Integrated Circuits and Systems

신 현 철 [광운대학교/교수]

<https://orcid.org/0000-0003-1141-3428>



1991년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1998년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1997년 4월~1997년 10월: 독일 Daimler-Benz Research Center 연구원
1998년 1월~2000년 3월: 삼성전자 System LSI 선임연구원
2000년 4월~2002년 4월: 미국 UCLA 박사 후 연구원
2002년 5월~2003년 8월: 미국 Qualcomm 선임연구원
2010년 8월~2011년 8월: 미국 Qualcomm Corporate R&D Visiting Faculty
2003년 9월~현재: 광운대학교 전자융합공학과 교수
[주 관심분야] RF/Analog/Microwave Integrated Circuits and System

이 용 호 [광운대학교/박사과정]

<https://orcid.org/0009-0007-0276-9904>



2016년 2월: 대전대학교 전자공학과 (공학사)
2018년 2월: 광운대학교 전파공학과 (공학석사)
2018년 3월~현재: 광운대학교 전파공학과 박사과정
[주 관심분야] Millimeter-Wave Integrated

Circuits and Systems