

# 디지털 능동배열레이다의 빔형성을 위한 고정소수점 기반 빔형성 계수 연산기 설계 및 성능 분석

## Design and Performance Analysis of a Fixed-Point Based Beamforming Coefficient Calculator for Beamforming of a Digital Active Array Radar

양태원 · 배찬희 · 강성모 · 이재용\*

Tae-Won Yang · Chan-Hee Bae · Sung-Mo Kang · Jae-Yong Lee\*

### 요 약

본 논문에서는 디지털 능동배열레이다의 빔형성을 위한 고정소수점 기반 빔형성 계수 연산기를 제안한다. 부동소수점 기반 연산은 정밀한 연산이 가능하나, 연산 복잡도와 레이턴시가 높은 단점이 있다. 이를 보완하기 위하여 제안된 고정소수점 기반 빔형성 계수 연산은 부동소수점 기반 연산과 비교하였을 때, 최종 결과값의 SQNR(signal to quantization noise ratio)이 51.35 dB으로 높은 수치를 가지고 빔 조향 각도의 오차는  $-0.05^{\circ} \sim 0.05^{\circ}$  사이로 시스템 요구사항을 만족함을 확인하였다. 제안된 고정소수점 기반 빔형성 계수 연산기는 Xilinx Kintex UltraScale FPGA에 구현되었으며, 부동소수점 기반 연산기 대비 CLB(configurable logic block) register를 54.94 %, CLB LUT(look-up table)를 44.33 %, DSP(digital signal processing) slice를 60 % 적게 사용하며, 레이턴시를  $-58.16$  % 감소시킴을 확인하였다. 또한 작은 빔 패턴 파워에서도 이전 연구 대비 연산기의 성능 열화가 적음을 확인하였다.

### Abstract

In this study, a fixed-point-based beamforming coefficient calculator is proposed for the beamforming of a digital active array radar. Floating-point-based calculations enable precise calculations but have the disadvantages of high computational complexity and latency. To complement this, the proposed fixed-point-based beamforming coefficient calculation had a high signal to quantization noise ratio (SQNR) of 51.35 dB and the beam steering angle error was between  $-0.05^{\circ}$  and  $0.05^{\circ}$  when compared with those of the floating-point calculation; these satisfied the system requirements. The proposed fixed-point-based beamforming coefficient calculator was implemented on a Xilinx Kintex UltraScale FPGA. It could reduce 54.94 % CLB register, 44.33 % CLB LUT, 60 % DSP slice, and  $-58.16$  % latency than the floating-point calculator. Furthermore, at small beam pattern powers, the performance degradation of the calculator was less compared with previous research.

Key words: FPGA, SQNR, Fixed-Point Arithmetic, Floating-Point Arithmetic, Beamforming Coefficient, Fully Digital Active Array radar

「이 논문은 2020년 정부(방위사업청)의 재원으로 국방과학연구소의 지원을 받아 수행된 연구임(UC200027FD).」  
한화시스템(Hanwha Systems)

\*국방과학연구소(Agency of Defence Department)

· Manuscript received November 8, 2023 ; Revised November 17, 2023 ; Accepted December 11, 2023. (ID No. 20231108-093)

· Corresponding Author: Tae-Won Yang (e-mail: tw.yang@hanwha.com)

## I. 서론

레이다(radar)는 전자기파를 공간상으로 방사하여 표적으로부터 산란된 신호를 이용하여 정보를 획득하는 센서이다<sup>[1]</sup>. 초기의 레이다는 안테나 개구면을 기계적으로 회전시킴으로써 빔을 형성하는 수동배열형태로 구현되었으나<sup>[2]</sup>, 현재의 레이다 개발 추세는 안테나복사소자 각각의 위상값을 조절하여 빔을 원하는 위치로 형성하는 능동배열형태가 주목을 받고 있다<sup>[3][4]</sup>.

능동배열형태의 레이다는 크게 아날로그 빔형성 방식, 부배열디지털 빔형성 방식, 디지털 빔형성 방식으로 구분된다. 아날로그 빔형성 방식과 부배열 디지털 빔형성 방식은 RF 위상변위기와 급전기를 사용하여 빔조향의 정확도가 위상변위기에 종속되며, 다중 빔형성과 자유로운 방향으로의 빔형성이 제한된다. 디지털 빔형성 방식은 RF 위상변위기와 급전기 없이 디지털 위상가중기로 빔을 형성하며, 다수의 빔을 높은 정확도로 원하는 방향으로 조향할 수 있다<sup>[5]~[7]</sup>. 위와 같은 특징으로 디지털 빔형성 방식의 능동배열레이다는 단일 표적의 탐지 추적과 동시다발적인 위협으로부터 아군을 보호하기 위한 군사용 레이다 시스템에 적합하다<sup>[3]</sup>. 그러나, 디지털 빔형성 방식에서 빔조향의 정확도를 높이기 위해서는 많은 안테나복사소자가 필요하며, 이는 처리해야 할 데이터 양의 증가로 이어지게 된다<sup>[8]</sup>.

군사용 레이다와 같이 실시간성을 요구하는 시스템에서는 연산의 가속화는 중요한 문제이며, 디지털 능동배열레이다의 연산을 가속하기 위하여 FPGA(field programmable gate array)를 활용하는 방법이 연구되고 있다<sup>[4],[9]</sup>. FPGA 기반 연산 가속기는 엄격한 타이밍 제약사항을 달성할 수 있어 실시간 시스템 운영에 적합하다. 또한 긴 수명과 높은 신뢰성을 가지며<sup>[10],[11]</sup>, 부동소수점 수 체계로 연산되는 범용 시스템과 달리 고정소수점 수 체계를 활용할 수 있어 주어진 요구사항에 맞추어 리소스를 능동적으로 사용할 수 있다는 이점이 있다<sup>[12]</sup>. 위와 같은 이유로 본 논문에서는 Xilinx Kintex UltraScale FPGA를 이용하여 디지털 능동배열레이다의 빔형성을 위한 고정소수점 기반 빔형성 계수 연산기를 설계하고, 그 성능을 분석한다.

본 논문의 구성은 II장에서는 디지털 능동배열레이다의 빔형성 기법과 2진 실수 표현 방식에 대해 설명하고, III장에서 기존의 빔형성 계수 연산과 제안된 고정소수점 기반 연산의 성능을 분석한다. IV장에서는 제안된 고정소수점 기반 빔형성 계수 연산기의 구조와 설계 결과를 제시하며, 기존의 연구와의 비교를 진행한다. V장에서는 본 논문을 요약하여 마무리한다.

## II. 배경

### 2-1 디지털 능동배열레이다의 빔형성 기법

레이다를 이용하여 표적의 정보를 획득하기 위해서는 표적이 존재하는 방향에 대하여 빔조향이 수행되어야 한다. 능동배열레이다인 경우, 안테나 개구면의 기계적 회전 없이, 안테나복사소자에서 방사하는 전자파의 위상값을 조절하여 빔을 조향할 수 있다. 능동배열레이다의 빔조향 방식은 아날로그 빔형성 방식, 부배열디지털빔형성 방식, 디지털 빔형성으로 구분할 수 있다. 디지털 빔형성 방식은 안테나복사소자 단위로 디지털 위상 계수를 소자의 신호에 곱하여 빔을 조향하며, 다른 두 방식에 비하여 빔의 감도와 정확도가 높다는 장점이 있다. 본 논문에 적용된 디지털 빔형성을 위한 시스템 구조는 그림 1과 같다.

그림 1의 빔형성 계수 연산기(beamforming coefficient calculator)에서 수행하는 계수 연산은 식 (1)과 같다.

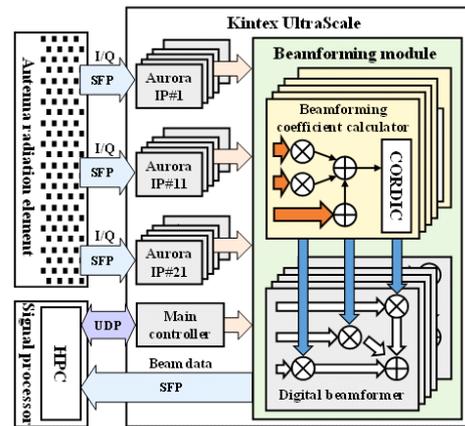


그림 1. 디지털 빔형성을 위한 시스템 구조  
Fig. 1. System architecture for digital beamforming.

$$W = Amp \times Cal_{ch\ amp} \times \exp \left[ j \left( \frac{2\pi}{\lambda} (x_p u + y_p v) + \phi + Cal_{ch\ phase} \right) \right] \quad (1)$$

여기서  $x_p$ 와  $y_p$ 는 안테나 증앙으로부터의 안테나복사 소자의 위치값이며,  $u$ 와  $v$ 는 빔을 조향하고자 하는 방향의 방위각과 고각의  $u = \sin(\theta_{az})$ ,  $v = \cos(\theta_{el})$  값이다.  $2\pi/\lambda$ 는 레이다 주파수의 베타 값이며,  $\phi$ 는 안테나복사소자별 빔 스포일링 값이다.  $Cal_{ch\ phase}$ 와  $Cal_{ch\ amp}$ 는 안테나복사소자의 배열면 정렬을 위한 위상값과 크기 값이며,  $Amp$ 는 안테나복사소자별 Taylor-window 값이다.

디지털 빔형성 방식을 사용하기 위해서는 모든 안테나복사소자에 대하여 식 (1)의 계수를 연산하여야 한다. 정확한 빔을 얻기 위한 안테나복사소자의 증가는 처리하여야 하는 데이터양의 증가를 의미하며, 높은 데이터양의 입력에 대하여 실시간 빔형성을 위해서는 FPGA를 이용한 연산 가속의 필요성이 있다.

### 2-2 2진 실수 표현 방식

부동소수점 실수 표현 방식은 일반적으로 IEEE 754 표준을 따르는 표현법을 말한다. 부동소수점은 sign, mantissa, exponent의 3가지 필드로 표현되고, 필드 길이에 따라 double, single, half precision의 3가지 정밀도로 구분된다. 표 1은 각 정밀도에서 3가지 필드가 차지하는 길이를 나타낸 것이다.

전체 길이가 16-비트인 half-precision 정밀도 부동소수점의 필드 구조는 그림 2와 같다.

부동소수점은 식 (2)를 이용하여 sign, mantissa, exponent 값으로 실수를 표현한다. 식 (2)에서  $x$ 는 부동소수점 방식으로 표현하고자 하는 실수를 의미하며, bias는 사용하는 정밀도가 double일 때 1,023, single일 때 127, half일 때 15로 상수값을 사용한다.

표 1. 부동소수점 필드 구성  
Table 1. Configuring floating-point fields.

Precision	Total bit	Sign	Exponent	Mantissa
Half	16	1	5	10
Single	32	1	8	23
Double	64	1	11	52

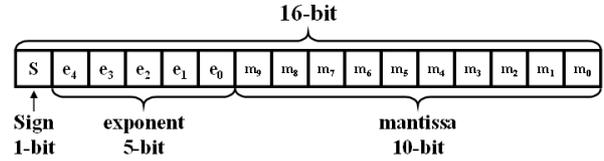


그림 2. Half-precision 부동소수점 필드 구조  
Fig. 2. Half-precision floating point field structure.

$$x = (-1)^{\text{sign}} \times 1.\text{mantissa} \times 2^{\text{exponent} - \text{bias}} \quad (2)$$

부동소수점 방식은 표현할 수 있는 수의 범위가 넓고 정밀한 수 표현이 가능하다. 그러나 연산을 위해서는 작은 수의 exponent를 큰 수의 exponent로 맞추는 작업과 중복되는 bias의 제거 등의 추가 작업이 필요하며, 연산 후에는 연산 결과값을 부동소수점으로 표현하기 위하여 과학적 기수법에 맞추기 위한 정규화 과정이 필요하여 연산이 복잡하다는 단점이 있다.

고정소수점 방식은 일반적인 2진수와 2의 보수 표현에서 사용자가 임의로 소수점의 위치를 설정하여 사용하는 방식을 말한다. 그림 3에서 고정소수점 포맷 Q(14.6)은 사용자가 전체 14-비트 숫자에서 소수를 나타내는 fractional part를 6-bit로 할당하였다는 것을 의미한다.

고정소수점 방식의 연산은 일반적인 2진수 연산기를 통하여 얻을 수 있어 부동소수점 방식에 비해 연산 회로의 복잡도를 줄일 수 있다. 그러나 부동소수점 방식의 연산과 비교하였을 때, 표현할 수 있는 수의 범위와 정밀도가 떨어져 전체 회로를 구성할 때, 성능의 열화가 없도록 적당한 길이의 비트를 찾는 과정이 필요하다.

### III. 고정소수점 빔형성 계수 연산

#### 3-1 기존 빔형성 계수 연산

그림 4는 기존에 해상용 레이다 시스템에서 사용하고

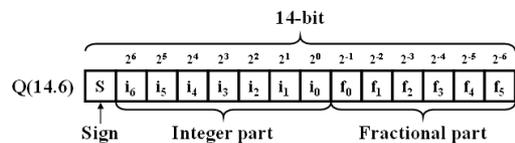


그림 3. 고정소수점 실수 표현  
Fig. 3. Fixed point real number representation.

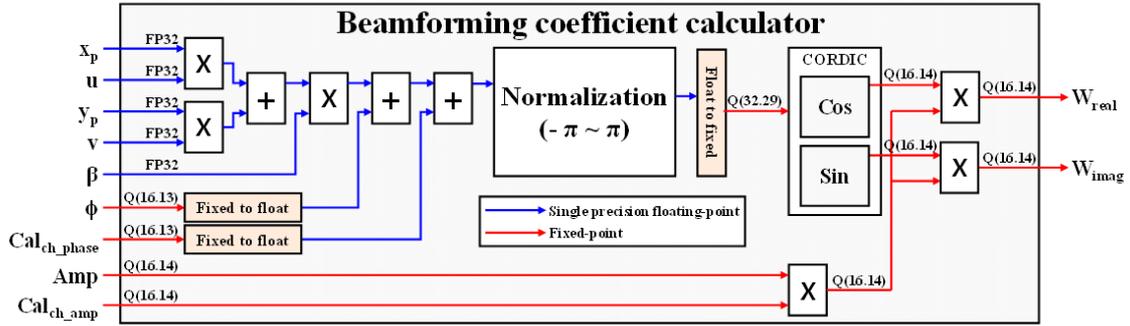


그림 4. 기존의 single-precision 부동소수점 기반 빔형성 계수 연산기  
 Fig. 4. Conventional single-precision floating-point based beamforming coefficient calculator.

있는 single-precision 부동소수점(이하 FP32로 표기) 기반 빔형성 계수 연산기 구조를 나타낸 것으로 그림의 normalization 블록은 Xilinx CORDIC<sup>[13]</sup> 입력을 위하여 입력값을  $-\pi \sim \pi$  사이로 정규화하는 블록이다. 기존의 빔형성 계수 연산기는 신호처리장치와 안테나복사소자에서 FP32 형태로 입력되는  $u, v, \beta, x_p, y_p$  값을 처리하기 위해 FP32 연산을 이용하여 식 (1)의 지수 함수 내부의 값을 계산한다. 위 FP32 연산을 맞추기 위하여 고정소수점으로 입력되는  $\phi$  과  $Cal_{ch\ phase}$  값은 연산 전 FP32로 변경하는 과정을 거친다. 그러나, Xilinx CORDIC은 고정소수점 입력만을 지원하므로, 지수 함수의 연산을 위하여 FP32 연산 결과를 다시 고정소수점으로 변경하여야 한다. 위와 같이 기존의 연산기는 많은 FP32 연산과 잦은 수 체계의 변경으로 인하여 회로의 복잡도와 연산 지연 시간이 높다는 단점이 있다.

본 논문은 기존의 빔형성 계수 연산기의 회로 복잡도와 연산 시간을 줄이기 위하여 FP32로 입력되는  $u, v, \beta, x_p, y_p$  값을 고정소수점으로 변경하여 연산을 수행하는 고정소수점 기반 빔형성 계수 연산기를 제안하였다.

### 3-2 고정소수점 기반 빔형성 계수 연산

성능의 열화가 없는 고정소수점 비트 길이를 찾기 위하여 입력  $u, v, \beta, x_p, y_p$  값을 18-비트, 16-비트 고정소수점으로 변환한 고정소수점 기반 연산과 기존의 FP32 기반 빔형성 계수 연산과의 SQNR(signal to quantization noise ratio) 비교와 형성된 빔의 조향 각도를 비교하였다.

비교를 위하여 FP32와 고정소수점 연산을 수행하는 MATLAB R2020b 환경을 구축하였고, 고정된 위치값을 가지는  $x_p, y_p$  값과 현재 시스템에서 정수 1의 값을 가지는  $Cal_{ch\ amp}$ 를 제외한 나머지 변수인  $u, v, \beta, \phi, Cal_{ch\ phase}, Amp$  변수는 각 변수의 값의 범위 내에서 랜덤 변수를 생성하여 100,000회 시뮬레이션을 진행하였다.

표 2는 FP32로 입력되는  $u, v, \beta, x_p, y_p$ 를 18-비트 고정소수점으로 변환하였을 때 FP32 대비 평균 SQNR 값을 정리한 것이며, 표 3은 16-비트 고정소수점으로 변환하였을 때 FP32 대비 평균 SQNR 값을 정리한 것이다.  $y_p$  인 경우 정수값으로 무한대의 SQNR을 가져 표에서 제외하였다.

표 4는 16-비트 고정소수점으로 입력되는  $\phi, Cal_{ch\ phase}, Amp$ 를 고정소수점으로 변경하기 전의 FP32 값과 비교하였을 때, 평균 SQNR 값을 정리한 것이며, 현재

표 2. FP32 대비 18-비트 고정소수점 입력 SQNR  
 Table 2. 18-bit fixed-point input SQNR compared to FP32.

18-bit	$u$	$v$	$\beta$	$x_p$
Format	Q (18.16)	Q (18.16)	Q (18.17)	Q (18.6)
SQNR [dB]	93.94	94.18	89.5	106.56

표 3. FP32 대비 16-비트 고정소수점 입력 SQNR  
 Table 3. 16-bit fixed-point input SQNR compared to FP32.

16-bit	$u$	$v$	$\beta$	$x_p$
Format	Q (16.14)	Q (16.14)	Q (16.15)	Q (16.4)
SQNR [dB]	81.99	82.21	77.38	94.52

표 4. 16-비트 고정소수점 입력 SQNR  
Table 4. 16-bit fixed-point input SQNR.

16-bit	$\phi$	$Cal_{ch\_phase}$	$Amp$
Format	Q(16.13)	Q(16.13)	Q(16.14)
SQNR[dB]	94.15	94.23	90.25

$Cal_{ch\_amp}$ 은 정수 1로 표현되어 무한대의 SQNR을 가지므로 표 5에서 생략하였다.

그림 5는 고정소수점 기반 빔형성 계수 연산 중 변경되

표 5. FP32 대비 16-비트 고정소수점 입력 SQNR  
Table 5. 16-bit fixed-point input SQNR compared to FP32.

Stage	18-bit input		16-bit input	
	Bit	SQNR [dB]	Bit	SQNR [dB]
1	Q(19.7)	91.40   91.71	Q(17.5)	78.64   78.91
2	Q(20.7)	89.55	Q(18.5)	76.78
3	Q(22.13)	88.26	Q(22.13)	75.26
4	Q(23.13)	88.45	Q(23.13)	75.49
5	Q(24.13)	88.57	Q(24.13)	75.64
6	Q(16.13)	69.81	Q(16.13)	56.31
7	Q(16.14)	64.76   64.76	Q(16.14)	51.96   51.94
8	Q(16.14)	64.73   64.73	Q(16.14)	51.96   51.97

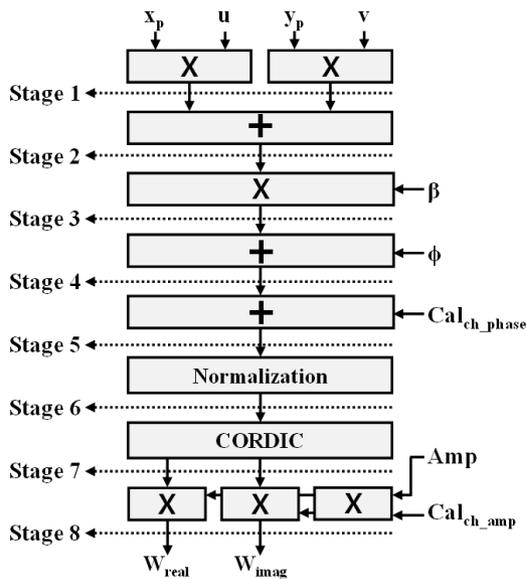


그림 5. SQNR 확인 스테이지  
Fig. 5. SQNR confirmation stage.

는 SQNR을 확인하기 위한 스테이지를 표시한 것이다. 각 스테이지는 연산 후 증가하는 비트 수를 억제하기 위하여 fractional part의 round 연산과 integer part의 MSB를 제거하는 clip 연산을 진행하였다.

표 5는 입력이 18-비트와 16-비트 고정소수점일 때, 그림 5의 각 스테이지 출력이 가지는 포맷과 평균 SQNR 값을 나타낸 것이다. 표에서 SQNR이 증가하는 경우는 출력 비트 수가 증가하거나, 높은 SQNR 값을 가지는 입력과의 연산 때문이다. 입력 고정소수점 값이 18-비트일 때와 16-비트일 때 모두 최종 출력의 SQNR이 50 dB 이상으로 높은 값을 가짐을 확인할 수 있다.

소수점일 때 고정소수점 기반 연산으로 구해진 빔형성 계수 값에 안테나복사소자의 값을 곱하여 생성된 빔 패턴을 비교하였다. 그림 6은 빔 조향 방향이 방위각 +5°와 고각 -5° 일 때, 만들어진 빔 패턴을 겹쳐 그린 것이다. 푸른색 선은 기존의 FP32 기반 방식으로 생성된 빔 패턴이며, 주황색과 노란색 선은 각각 입력이 18-비트와 16-비트 고정소수점일 때, 고정소수점 기반 연산으로 생성된 빔 패턴을 나타낸 것이다.

그림 6에서 기존의 FP32 기반 연산 방식과 고정소수점 기반 연산으로 생성된 빔 패턴은 빔의 파워가 강한 영역에서는 차이가 거의 없으나, 빔 패턴의 -50 dB 이하의 일부 null 영역에서는 차이가 발생함을 알 수 있다. 이는 고정소수점 빔형성 계수 연산 중 수행하는 round 연산으로 인하여 LSB 쪽의 소수점 자리의 정보가 소실되기 때문이다. 빔 패턴의 null 영역은 표적의 탐색, 추적에 영향을 주지 않으므로, 해당 차이는 무시할 수 있다.

빔 조향 각도의 정확도를 비교하기 위하여 빔을 여러 방향으로 조향하였을 때, 기존 방식과 고정소수점 기반 연산으로 생성된 빔의 조향 각도를 비교하였다. 표 6 및 표 7은 빔을 10,000회 생성하였을 때, 기존 방식과 고정소수점 방식으로 생성되는 빔의 조향 각도 차이와 그 빈도 값을 정리한 것이다.

표 6 및 표 7을 통하여 기존 방식과 고정소수점 기반 연산으로 형성한 빔의 조향 각도의 차이는 -0.05°~0.05° 사이로 발생함을 알 수 있다. 이는 본 논문이 적용되는 요구사항을 만족하는 것으로, 기존의 빔형성 계수 연산에서 고정소수점 기반의 빔형성 계수 연산으로 변경하더라도

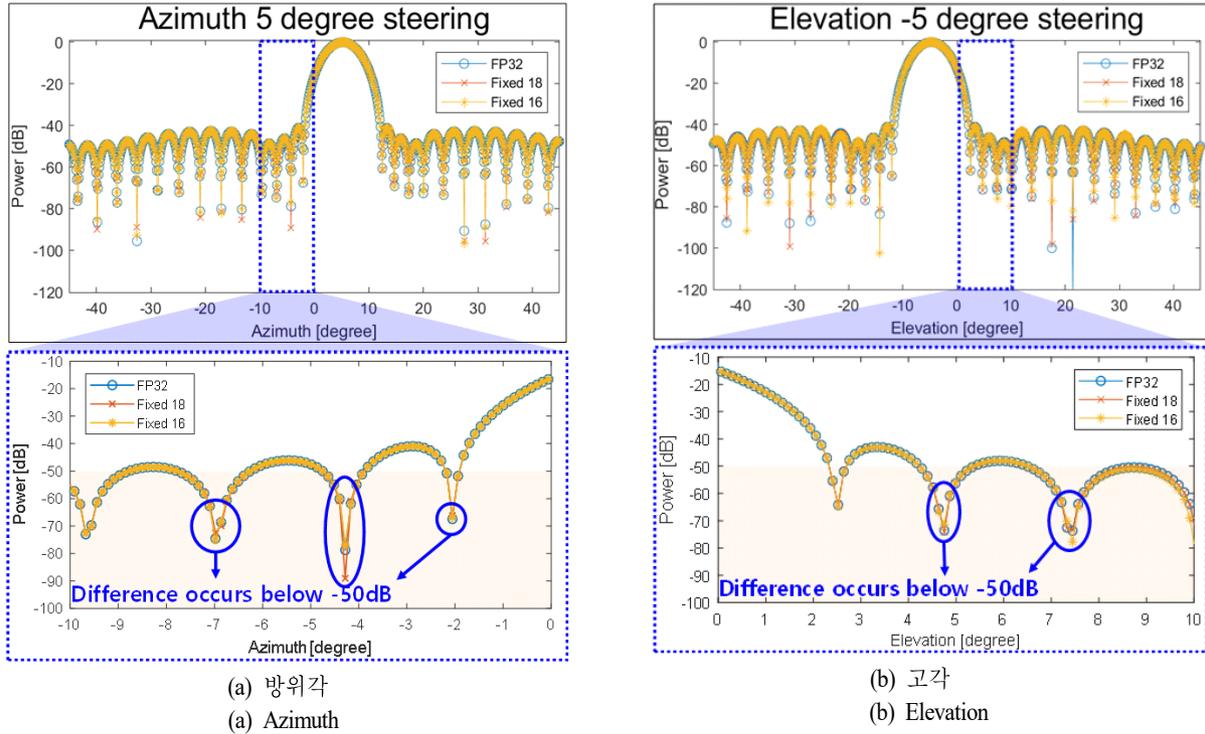


그림 6. 빔 패턴 시뮬레이션 결과  
Fig. 6. Beam pattern simulation results.

표 6. 기존 연산기 대비 18-비트 입력 고정소수점 연산기 빔의 조향 각도 차이 및 차이 발생 빈도  
Table 6. Beam steering angle difference and occurrence frequency of the 18-bit input fixed-point calculator compare to conventional calculator.

18-bit	Difference of steering angle				
	>	-0.05°	0°	0.05°	<
Format	0	157	9,690	153	0
SQNR[dB]	0	164	9,730	106	0

성능의 열화가 발생하지 않음을 알 수 있다. 또한 18-비트 입력과 16-비트 입력의 고정소수점 기반의 빔형성 계수 연산 또한 성능의 큰 차이가 없음을 검증하였다.

#### IV. 제안된 고정소수점 기반 빔형성 계수 연산기

본 논문은 실험적으로 성능과 연산 복잡도 사이의 교환관계를 맞춘 16-비트 입력의 고정소수점 기반 빔형성

표 7. 기존 연산기 대비 16-비트 입력 고정소수점 연산기 빔의 조향 각도 차이 및 차이 발생 빈도  
Table 7. Beam steering angle difference and occurrence frequency of the 16-bit input fixed-point calculator compare to conventional calculator.

18-bit	Difference of steering angle				
	>	-0.05°	0°	0.05°	<
Format	0	581	8,794	625	0
SQNR[dB]	0	494	8,994	512	0

계수 연산기를 제안하고, 기존의 빔형성 계수 연산기와의 리소스 사용량 비교를 진행한다. 제안된 연산기는 Verilog-HDL(hardware description language)을 통하여 RTL(register-transfrer level) 설계 후, Xilinx의 Kintex UltraScale FPGA를 이용하여 구현과 검증을 진행하였다.

그림 7은 MATLAB 시뮬레이터 결과와 설계된 연산기의 testbench 시뮬레이션 결과를 비교한 것이며, 그림 8은 제안된 고정소수점 기반 빔형성계수 연산기의 하드웨어

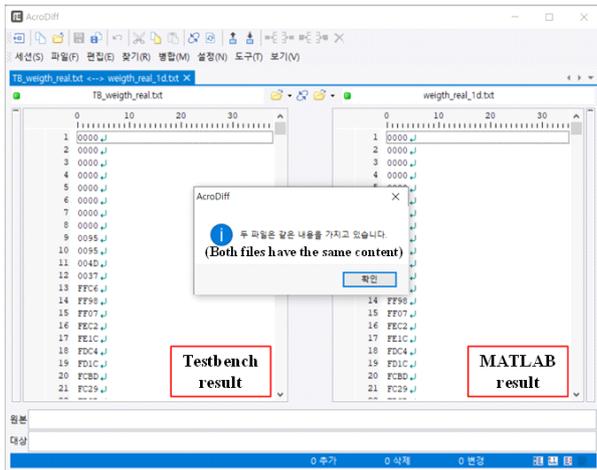


그림 7. MATLAB 결과값과 testbench 시뮬레이션 결과값 비교

Fig. 7. Comparison MATLAB results with testbench simulation result.

구조도를 나타낸 것이다. 그림 8을 통하여 그림 9의 제안된 고정소수점 기반 빔형성 계수 연산기의 모든 결과가 MATLAB 시뮬레이터와 같은 값을 가짐을 확인하였다.

표 8은 제안된 고정소수점 기반 빔형성 계수 연산기의 리소스 사용량을 정리한 것이다. 제안된 연산기는 동작주파수 300 MHz 일 때, 기존의 FP32 기반 연산 방식보다 CLB register를 54.94 %, CLB LUT를 44.33 %, DSP를 60 % 적게 사용하며, 레이턴시가 -58.16 % 감소하였다.

표 9는 이전 연구의 연산기<sup>[5]</sup>와 제안된 빔형성 계수 연산기를 비교한 표이다. 이전 연구는 빔형성을 위하여 16-

표 8. 기존의 FP32 기반 연산 방식 빔형성 계수 연산기와 제안된 연산기의 리소스 사용량 비교

Table 8. Comparison of resource usage of conventional FP32 based beamforming coefficient calculator and proposed calculator.

Resource	Conventional	Proposed	Resource comparison
CLB register	58,860	26,520	-54.95 %
CLB LUT	39,410	21,940	-44.33 %
DSP	150	60	-60 %
Latency[clock]	141	59	-58.16 %
Operating clock speed : 300 MHz			

표 9. 이전 연구와 제안된 빔형성 계수 연산기 비교

Table 9. Comparison of the previous research with the proposed calculator.

Work	[5]	This Work
Target FPGA	Arria 10	Kintex UltraScale
Number format	Fixed + FP32	Fixed
Reliable beam pattern power	> -40 dB	> -50 dB
System clock speed	192 MHz	200 MHz

비트 고정소수점 연산과 FP32 연산을 혼용하는 구조이나, 제안된 연구는 16-비트 고정소수점 연산을 이용하여 빔을 형성한다. 제안된 빔형성 계수 연산기는 빔 패턴을 형성하였을 때, -50 dB 이하의 null 영역에서 차이가 발생하였으며, 이전의 연구는 -40 dB 이하에서 차이가 발

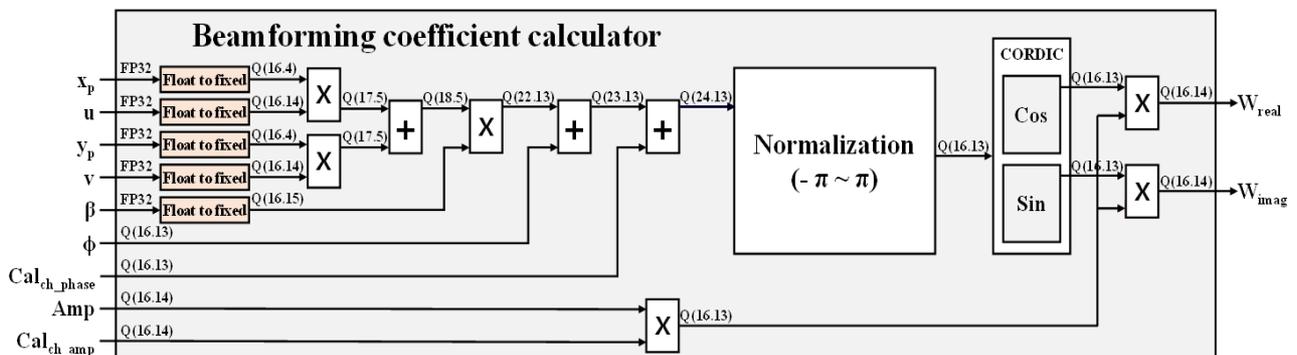


그림 8. 제안된 빔형성 계수 연산기

Fig. 8. Proposed beamforming coefficient calculator.

생함을 확인하였다. 이를 통하여 제안된 빔형성 계수 연산기는 이전 연구의 연산기와 비교하였을 때, 더 작은 빔 패턴 파워에서도 연산의 성능 열화가 적음을 검증하였다.

## V. 결 론

본 논문에서는 디지털 능동배열레이다의 빔형성을 위한 고정소수점 기반 빔형성 계수 연산기가 제안되었다. 제안된 연산기는 기존의 부동소수점과 고정소수점의 연산이 혼합된 형태에서 부동소수점 연산부를 입력이 16-비트인 고정소수점 기반 연산으로 교체하였다. 제안된 고정소수점 기반 빔형성 계수 연산의 출력값은 평균 51.35 dB의 SQNR을 가지고, 형성된 빔의 조향 각도는 기존 방식과 비교하였을 때  $-0.05^\circ \sim 0.05^\circ$  사이의 방위각과 고각의 위치 차이를 가진다. 설계된 연산기는 기존 연산기 대비 약 2배가량의 리소스를 절약할 수 있어, 연산기가 적용되는 시스템의 전체 리소스 사용량을 감소시킬 수 있었다. 또한 이전 연구의 연산기와 비교하여 더 작은 빔 패턴 파워에서도 연산의 성능 열화가 적음을 확인하였다.

## References

- [1] W. Y. Yang, M. K. Park, S. W. Hong, and C. H. Kim, "Analysis of adaptive side-lobe canceller algorithm for fully digital active array radar," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 29, no. 5, pp. 375-382, 2018.
- [2] J. M. Joo, J. H. Lim, S. H. Hwang, J. K. Park, Y. D. Kang, and I. T. Han, et al., "Receiving near-field measurement of active phased array antennas applicable to full-digital multifunction radars," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 31, no. 2, pp. 188-199, 2020.
- [3] J. H. Lee, S. G. Lee, D. S. Park, and B. L. Cho, "Effective beam structure for multi-target detection and tracking in the active electrically scanned array radar," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 25, no. 10, pp. 1069-1076, 2014.
- [4] T. H. Kim, S. J. Lee, D. H. Lee, Y. S. Hong, and C. S. Cho, "Design and measurement of active phased array radar digital receiver," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 22, no. 3, pp. 371-379, 2011.
- [5] S. H. Hwang, H. S. Kim, J. H. Lim, J. M. Joo, K. W. Lee, and M. S. Kwon, et al., "Design of real-time digital multi-beamformer of digital array antenna system for MFR," *The Journal of the Korean Military Science and Technology Society*, vol. 25, no. 2, pp. 151-159, 2022.
- [6] S. H. Talisa, K. W. O'Haver, T. M. Comberiate, M. D. Sharp, and O. F. Somerlock, "Benefits of digital phased array radars," *Proceedings of the IEEE*, vol. 104, no. 3, pp. 530-543, 2016.
- [7] H. Steykal, "Digital beamforming antennas: An introduction," *Microwave Journal*, vol. 30, no. 1, pp. 107-124, 1987.
- [8] C. A. Balanis, *Antenna Theory: Analysis and Design*, Hoboken, NJ, Wiley & Sons, 1982.
- [9] D. H. Kim, E. H. Kim, J. H. Park, and S. J. Kim, "Design and implementation of FPGA based real-time adaptive beamformer for AESA radar applications," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 26, no. 4, pp. 424-434, 2015.
- [10] Gabriel L. Nazar, "Improving FPGA repair under real-time constraints," *Microelectronics Reliability*, vol. 55, no. 7, pp. 1109-1119, 2015.
- [11] M. Wirthlin, "High-reliability FPGA-based systems: space, high-energy physics, and beyond," in *Proceeding of the IEEE*, vol. 103, no. 3, pp. 379-389, 2015.
- [12] D. M. Jeong, W. K. Lee, and Y. H. Jung, "FPGA-based acceleration of range Doppler algorithm for real-time synthetic aperture radar imaging," *Journal of IKEEE*, vol. 25, no. 4, pp. 634-643, 2021.
- [13] Xilinx, "CORDIC v6.0 product guide(PG105)," 2021. Available: <https://docs.xilinx.com/v/u/en-US/pg105-cordic>

양 태 원 [한화시스템/선임연구원]

<https://orcid.org/0009-0000-7638-8898>



2015년 2월: 광운대학교 전자통신공학과 (공학사)  
2017년 2월: 광운대학교 전자통신공학과 (공학석사)  
2021년 8월 ~ 현재: 한화시스템 선임연구원  
[주 관심분야] Digital H/W, FPGA, Radar

Signal Processing

강 성 모 [한화시스템/전문연구원]

<https://orcid.org/0009-0004-1738-6111>



2008년 2월: 경희대학교 전자공학과 (공학사)  
2018년 2월: 연세대학교 전기전자공학과 (공학석사)  
2021년 4월 ~ 현재: 한화시스템 전문연구원  
[주 관심분야] Digital H/W, FPGA, Signal

Processing, Radar System Engineering

배 찬 희 [한화시스템/연구원]

<https://orcid.org/0000-0001-8100-4430>



2021년 2월: 한국항공대학교 전자 및 항공 전자공학과 (공학사)  
2022년 8월: 한국항공대학교 스마트항공 모빌리티학과 (공학석사)  
2022년 7월 ~ 현재: 한화시스템 연구원  
[주 관심분야] Digital H/W, FPGA, Radar  
Signal Processing

이 재 용 [국방과학연구소/연구원]

<https://orcid.org/0009-0000-9374-0769>



2015년 2월: 광운대학교 전자공학과 (공학사)  
2018년 2월: 광주과학기술원 기전공학부 (공학석사)  
2021년 12월 ~ 현재: 국방과학연구소 연구원  
[주 관심분야] Electronically Scanned Arrays