

W 대역 RF 집적회로를 위한 구동 증폭기 설계

Design of Drive Amplifier for W-Band RFIC

박종성¹ · 송재혁² · 임정택³ · 이재은⁴ · 손정택⁵ · 김준형⁶ · 백민석⁷ · 김철영⁸Jong Seong Park¹ · Jae-Hyeok Song² · Jeong-Taek Lim³ · Jae-Eun Lee⁴ ·
Jeong-Taek Son⁵ · Joon-Hyung Kim⁶ · Min-Seok Baek⁷ · Choul-Young Kim⁸

요 약

본 논문은 W 대역 RF 집적회로에 적용 가능한 구동 증폭기를 설계하였다. 설계된 증폭기는 높은 출력 전력을 가지기 위해 차동 2단 공통-소스 구조로 설계되었으며, 증폭기의 안정도와 높은 이득을 위해 중성화 커패시터를 적용해 최적화하였다. 구동 증폭기는 검증에 위해 65-nm bulk CMOS 공정을 사용하여 제작되었다. 측정된 증폭기는 주파수 77~88 GHz에서 입출력 반사 손실은 10 dB 이상이고, 최대 이득은 14.1 dB이다. 구동 증폭기는 1 V 전압에서 34 mW의 전력 소모를 보였으며 OP_{1dB}는 3.8 dBm이었다. DC 및 RF 패드를 제외한 구동 증폭기의 크기는 0.401×0.14 mm²이다.

Abstract

This paper presents the design of a driving amplifier intended for use in W-band RFICs. The amplifier adopts a differential two-stage common-source configuration to ensure robust output power. Furthermore, it has been enhanced through the incorporation of a neutralized capacitor to improve stability and maximize gain. The driving amplifier was fabricated using a 65-nm bulk CMOS process for validation. The measured performance of the amplifier demonstrated characteristics, including an input/output return loss exceeding 10 dB and a peak gain of 14.1 dB, achieved within the frequency range of 77~88 GHz. The power consumption of the amplifier was only 34 mW at a voltage of 1 V, and it exhibited an OP_{1dB} of 3.8 dBm. The size of the driving amplifier, excluding DC and RF pads, was 0.401×0.14 mm².

Key words: CMOS, Differential Amplifier, Drive Amplifier, Neutralized Capacitor, W-Band

I. 서 론

W 주파수 대역은 최근 통신 및 레이더 시스템을 위해 사용되고 있으며 수 GHz의 넓은 대역폭을 사용할 수 있는 큰 이점이 있어 해당 대역에서 많은 연구가 진행되고 있다^{[1],[2]}. 초고주파 집적회로(RFIC)에 대한 연구가 진행됨에 따라, W 대역의 송수신기 내에서의 높은 손실을 보

완하기 위한 구동 증폭기(DA, drive amplifier)가 개발되고 있다. 특히, 신호 혼합에 사용되는 믹서의 구동을 위한 LO(local oscillator) 입력단과 전력 증폭기(PA, power amplifier)의 높은 출력 전력을 안테나로 전달하기 위한 송신단에서 구동 증폭기는 필수적으로 필요하다. 따라서, 구동 증폭기는 충분한 출력 전력과 전력 이득을 공급하는 성능이 더욱 중요하다^{[3],[4]}.

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2021R1A4A1032580).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 학사과정(<https://orcid.org/0009-0007-5828-499X>), 2: 박사과정(<https://orcid.org/0000-0003-3736-2753>),

3: 박사과정(<https://orcid.org/0000-0002-2698-6942>), 4: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>),

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석 · 박사통합과정(<https://orcid.org/0000-0002-6873-9034>),

7: 석 · 박사통합과정(<https://orcid.org/0000-0002-3651-4498>), 8: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received October 7, 2023 ; Revised October 24, 2023 ; Accepted October 31, 2023. (ID No. 20231007-082)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

본 논문에서는 W 대역 LO 입력단의 전력 증폭을 위한 구동 증폭기를 설계하였다. 설계된 증폭기는 차동의 2단 공통 소스(CS, common source) 증폭기 구조이며, 작은 크기에서 높은 출력 전력과 높은 이득 값을 가지도록 최적화 설계하였다. 설계된 증폭기는 65-nm bulk CMOS 공정을 이용하여 제작 및 측정되었다.

II. 구동 증폭기 설계

그림 1은 IQ 믹서 구동을 위한 LO 입력단의 예시이다. 위상동기회로(PLL, phase locked loop)로부터 입력된 신호는 다상 필터(PPF, poly phase filter)를 거쳐 동일 위상 직교(IQ, inphase/quadrature) 믹서 구동을 위해 출력된다. PLL 단으로 입력된 신호는 LO 입력단에서 믹서의 구동을 위한 적절한 전력으로 증폭이 필요하다. 특히, IQ 신호 생성을 위한 PPF는 W 대역 주파수에서 높은 삽입 손실이 발생해 이를 보상하기 위한 구동 증폭기가 필요하다.

그림 2는 설계한 구동 증폭기의 회로도를 나타낸다. 65 nm bulk CMOS 공정에서 W 대역의 단일 트랜지스터로 구성된 CS 증폭기는 1 V 전원, 0.5 V 게이트 전압, 약 40 μm 트랜지스터의 크기에서 약 7~8 dB의 전력 이득을 나타냈다. 반면, 동일 대역 PPF는 저항과 커패시터를 이용

한 RC 구조 한 단으로도 10 dB 이상의 삽입 손실이 발생하였다. 이를 보상하기 위해 2단의 구동 증폭기를 설계하였다. 또한, PPF 이후의 4개의 출력에 대해 증폭하는 것은 IQ 신호의 불균형을 나타낼 수 있어 PPF의 입력 측 신호를 증폭하는 것이 유리하다. 따라서, 단일-차동 구조의 증폭기를 설계하였다. 차동 구조를 사용하므로 중성화 커패시터(C_1, C_2)의 적용이 가능하며, 높은 이득과 공통모드(common-mode) 안정도를 달성할 수 있다^[2]. 단일 입력을 차동 신호로 바꾸기 위해 변압기(TF_1)를 사용했다. 입력과 출력에 변압기를 사용하여 광대역 정합에 유리하다. 또한, TF_1 을 이용하여 입력 50 Ω 정합이 되고, 1차 측 변압기의 한 쪽이 접지로 단락되어 있어 정전기(ESD, electrostatic discharge) 방지가 가능하다. 출력 변압기(TF_3)와 커패시터(C_3)를 이용해 차동 100 Ω 정합이 되도록 하였다.

해당 주파수 대역에서 소자의 상호 연결을 위한 선로에서 발생하는 기생 소자의 영향을 반영하고 자유로운 변압기 구조 설계를 위해 전자기장(EM, electromagnetic) 시뮬레이션을 진행하였다. 그림 2에 표기된 각 소자의 값은 이를 통해 조정된 최종 소자값을 나타낸다.

III. 제작 및 측정 결과

그림 3은 구동 증폭기의 측정을 위해 제작한 측정용 칩의 현미경사진이다. 트랜지스터 동작을 위한 DC 패드는 측정용 PCB에 와이어 본딩하여 인가하였으며, GSG 프로브 팁을 이용하여 온 웨이퍼 측정하였다. 이때, 출력의 차동 신호에 대한 측정이 실제로 불가능하여, 한 단자 측정을 위해 50 Ω 정합을 위한 정합 회로를 추가하여 제작하였다. 측정을 위해 제작된 구동 증폭기의 크기는 RF 및

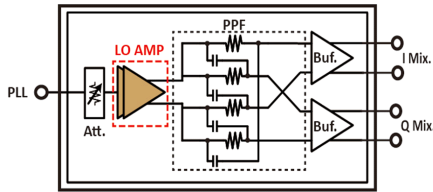


그림 1. IQ 믹서 구동을 위한 LO 입력단 블록도
Fig. 1. Block diagram of LO chain for IQ mixer.

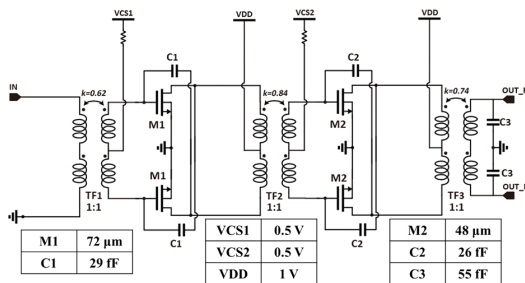


그림 2. 차동 2단 구동 증폭기 회로도
Fig. 2. Schematic of 2-stage drive amplifier.

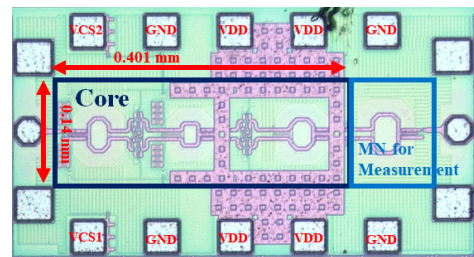


그림 3. 제작된 구동 증폭기의 현미경사진
Fig. 3. Microphotography of drive amplifier.

DC 패드를 포함하여 $0.625 \times 0.33 \text{ mm}^2$ 이다.

그림 4~그림 6은 구동 증폭기의 S 파라미터 측정 결과이다. 반사 손실 10 dB 이상을 만족하는 대역은 77~88 GHz이다. 구동 증폭기의 최대 이득은 14.1 dB이며, 3-dB 대역폭은 73~96 GHz이다. 측정 결과는 시뮬레이션과 비교하여 거의 유사한 결과를 얻었지만, 약간의 저주파 쪽으로의 이동이 있었다. 이는 사용한 공정의 트랜지스터의 모델링이 30 GHz까지 보장하기 때문에, W 대역에서의 트랜지스터의 모델링이 부정확한 것이 원인으로 보인다.

그림 7은 구동 증폭기의 출력 전력에 대한 1-dB 이득

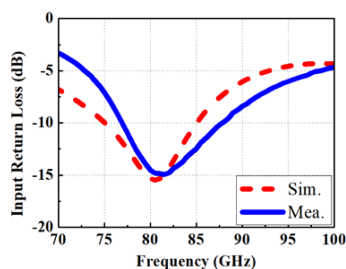


그림 4. 구동 증폭기 입력 반사 손실
Fig.4. Input return loss of drive amplifier.

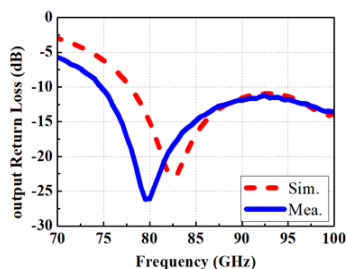


그림 5. 구동 증폭기 출력 반사 손실
Fig. 5. Output return loss of drive amplifier.

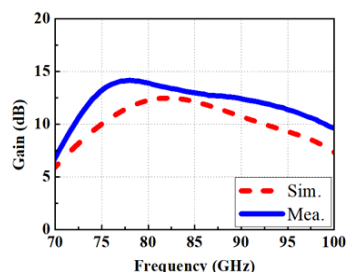


그림 6. 구동 증폭기 이득
Fig. 6. Gain of drive amplifier.

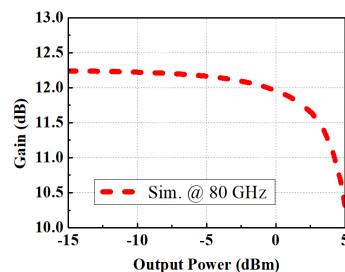


그림 7. 시뮬레이션한 구동 증폭기의 출력 전력에 대한 이득
Fig. 7. Power simulation result of drive amplifier.

감소 지점을 확인하기 위해 시뮬레이션한 결과이다. 설계된 구동 증폭기의 OP_{1dB} 는 3.8 dBm이다.

표 1은 본 논문의 구동 증폭기와 기존 연구 간의 성능 비교를 나타낸다. 설계된 구동 증폭기는 다른 증폭기와 비교하여 적은 단으로 높은 이득을 얻었으며 가장 작은 크기를 갖는다. 또한 우수한 출력 전력을 가지므로 구동

표 1. 증폭기 성능 비교

Table 1. Comparison with other works.

| Ref. | This work | [5] | [6] | [7] |
|------------------------|-----------------|-----------------|-----------------|-------------------|
| Tech. | 65 nm bulk CMOS | 65 nm bulk CMOS | 65 nm bulk CMOS | 28 nm CMOS FD-SOI |
| Structure | Diff | Single to diff | Single | Single |
| Stage | 2 | 3 | 3 | 3 |
| 3-dB BW | 73~96 | 60~90 | 62.5~92.5 | 70.5~83.5 |
| Gain [dB] | 14.1 | 14.2 | 18.5 | 24 |
| Gain/stage [dB] | 7 | 4.73 | 6.17 | 8 |
| IP1dB [dBm] | -9.3* | -10 | -15 | -26.8 |
| OP1dB [dBm] | 3.8* | 3.2 | 2.5 | -3.8 |
| V_{DD} [V] | 1 | 1.8 | 1.8 | 1.6 |
| P_{dc} [mW] | 34 | 33.5 | 27 | 16 |
| ESD | Yes | Yes | No | No |
| Area [mm^2] | 0.056 | 0.45** | 0.06 | 0.14 |

* Simulation results.

** Area with including bondpads.

증폭기로 사용하기 적합하다.

IV. 결 론

본 논문에서는 1P9M bulk CMOS 65 nm 공정을 사용하여 W 대역에서 사용 가능한 구동 증폭기를 설계 및 제작하였다. 구동 증폭기는 중성화 커패시터를 이용한 2단 차동 구조로 설계되었다. 또한, 작은 크기에서 우수한 출력 전력과 이득을 보였다.

References

- [1] X. Gu, A. Valdes-Garcia, A. Natarajan, B. Sadhu, D. Liu, and S. K. Reynolds, "W-band scalable phased arrays for imaging and communications," *IEEE Communications Magazine*, vol. 53, no. 4, pp. 196-204, Apr. 2015.
- [2] D. Pan, Z. Duan, B. Wu, Y. Wang, D. Huang, and Y. Wang, et al., "A digitally controlled CMOS receiver with -14 dBm P1dB for 77 GHz automotive radar," in *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, Sapporo, May 2019, pp. 1-4.
- [3] H. Liu, J. J. Lv, W. Y. Xie, G. D. Su, X. Wang, and J. Liu, "A C-band drive amplifier in a 0.5um GaAs process," in *2022 IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications(IMWS-AMP)*, Guangzhou, Nov. 2022, pp. 1-3.
- [4] J. Y. Park, J. Y. Lee, and T. Y. Yun, "High-linearity drive amplifier using active local feedback," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 8, pp. 613-615, Aug. 2016.
- [5] D. Pan, Z. Duan, S. Chakraborty, L. Sun, and P. Gui, "A 60-90-GHz CMOS double-neutralized LNA technology with 6.3-dB NF and -10 dBm P-1dB," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 7, pp. 489-491, Jul. 2019.
- [6] G. Feng, C. C. Boon, F. Meng, X. Yi, K. Yang, and C. Li, et al., "Pole-converging intrastage bandwidth extension technique for wideband amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 3, pp. 769-780, Mar. 2017.
- [7] L. Gao, E. Wagner, and G. M. Rebeiz, "Design of E- and W-band low-noise amplifiers in 22-nm CMOS FD-SOI," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 1, pp. 132-143, Jan. 2020.