

## 비선형 DAC를 이용한 Ka 대역 가변 이득 위상천이기

## A Ka-Band Variable Gain Phase Shifter with a Non-Linear DAC

이민규<sup>1</sup> · 임수빈<sup>2</sup> · 정광현<sup>3\*</sup> · 박진석<sup>4\*\*</sup> · 홍성철<sup>5\*\*\*</sup>Min-Gyu Lee<sup>1</sup> · Su-Bin Lim<sup>2</sup> · Gwang-Hyeon Jeong<sup>3\*</sup> · Jin-Seok Park<sup>4\*\*</sup> · Song-Cheol Hong<sup>5\*\*\*</sup>

## 요 약

본 논문에서는 비선형 DAC를 이용한 Ka 대역의 가변 이득 위상천이기를 설계하였다. 설계한 위상천이기는 IQ 생성기, 이득 조절을 위해 180° 차이를 갖는 2개의 벡터 생성기, 그리고 벡터 합 회로로 구성된다. 위상 제어용 DAC 구조의 간략화 및 위상 제어 시의 위상 오차 감소를 위해 비선형 DAC를 제안하였다. 제안된 가변 이득 위상천이기는 29~33 GHz 대역 내에서 5.02 dB 이내의 삽입 손실과 1.71° 이내의 RMS 위상 오차를 갖는다. 위상천이기는 65-nm RF CMOS 공정을 사용하여 제작되었으며, DAC를 포함한 코어 면적은 0.259 mm<sup>2</sup>이다.

## Abstract

This paper presents a Ka-band variable gain phase shifter with a non-linear DAC comprising an IQ generator, a pair of vector generators with a 180° phase difference, and a vector summation circuit. Non-linear DACs are used to simplify the phase control DACs and reduce phase errors. Between 29 GHz and 33 GHz, the insertion loss and total root mean square phase error are less than 5.02 dB and 1.71°, respectively. The device, which measured 0.259 mm<sup>2</sup> in size including the DACs, was fabricated using the 65-nm RF CMOS process.

Key words: Active Phase Shifter, CMOS, Ka-Band, Phased Array, Variable Gain

## I. 서 론

최근 위성 기술의 발달로 위성통신에 대한 관심이 크게 증가하고 있다. Ka 대역은 위성통신의 주파수 대역으로 거론되고 있다<sup>[1]</sup>. 이러한 높은 주파수 대역과 먼 통신 거리에 의한 큰 경로 손실을 보완하는 방법으로 위상 배열 안테나 시스템이 큰 주목을 받고 있다<sup>[2]</sup>. 위상 배열 안테나 시스템을 위하여는 위상 및 이득 제어 블록이 추가로 필요하다. 하지만, 이는 칩의 크기와 전력 소모가 증가

한다는 문제점이 있다. 이를 해결하기 위해 이득 제어 기능이 더해진 위상천이기 연구가 활발히 이뤄지고 있다.

참고문헌 [3]에서는 다중 벡터 조합을 사용한 가변 이득 위상천이기를 제안한다. 이는 다중 벡터 생성기의 구조가 복잡하고, 이득 제어 분해능에 한계가 있다는 문제점이 있다. 참고문헌 [4] 및 참고문헌 [5]에서는 180° 위상차의 벡터 생성기 2개와 이를 제어하는 선형 DAC 구조를 제안한다. 이 구조를 통해 벡터 생성기의 구조가 간략화되었고, 높은 이득 조절 분해능을 갖는다. 그러나 높은 분

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(RS-2023-00211916).」

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.」

전남대학교 전자공학과(Department of Electronic Engineering, Chonnam National University)

\*한남대학교 정보통신공학과(Department of Information and Communication Engineering, Hannam University)

\*\*전남대학교 ICT 융합시스템공학과(Department of ICT Convergence System Engineering, Chonnam National University)

\*\*\*한국과학기술원 전기및전자공학과(School of Electrical Engineering, Korea Advanced Institute of Science and Technology)

1: 학석연계과정(<https://orcid.org/0009-0005-7639-2666>), 2: 학석연계과정(<https://orcid.org/0009-0006-7416-2039>),

3: 교수(<https://orcid.org/0000-0002-4458-9991>), 4: 교수(<https://orcid.org/0000-0001-7743-4112>), 5: 교수(<https://orcid.org/0000-0002-3675-1565>)

· Manuscript received September 6, 2023 ; Revised September 22, 2023 ; Accepted November 2, 2023. (ID No. 20230906-071)

· Corresponding Author: Jin-Seok Park (e-mail: jinseok131@jnu.ac.kr)

해능의 DAC가 요구되어 복잡성이 증가하는 문제점이 있고, 위상 조절을 위한 특별한 매핑 표가 필요하며, 이 과정에서 양자화 오차가 발생한다.

본 논문에서는 비선형 DAC를 이용한 대역의 가변 이득 위상천이기를 제안한다. 비선형 DAC를 통해 전체적인 DAC의 구조 및 크기가 간략화되었으며, 복잡한 보정 과정 및 양자화 오차가 개선되었다.

## II. 가변이득 위상천이기 설계

### 2-1 위상천이기의 구조

그림 1은 본 논문에서 제안하는 비선형 DAC를 이용한 가변 이득 위상천이기의 구조이다. I/Q 신호 생성기와 벡터 생성기 2개, 이를 제어하는 비선형 DAC, 벡터 합 회로로 구성된다. I/Q 신호 생성기는 낮은 삽입 손실을 갖는 quadrature all pass filter 구조를 사용하였다<sup>[6]</sup>. 그림 2는 위상 천이기의 벡터 생성기 회로도이다. 이는 180°의 위상차를 갖는 메인 및 보조 벡터 생성기로 구성되며, 각 벡터 생성기는 I와 Q 신호 증폭기로 구성된다. 이득 제어 DAC에서 각 벡터 생성기에 인가하는 전류 비율을 조절하여 출력 신호의 이득이 제어되며, 위상 제어 DAC에서 각 I와 Q 신호 증폭기에 흐르는 전류의 비율을 조절하여 출력 신호의 위상이 제어된다<sup>[4],[5]</sup>.

### 2-2 DAC의 구조

그림 3은 벡터 생성기를 제어하는 DAC의 회로도다. 출력 신호의 이득을 결정하는 Gain DAC, Main/Aux 벡터의 위상을 결정하는 Main/Aux Phase DAC로 구성된다. 출

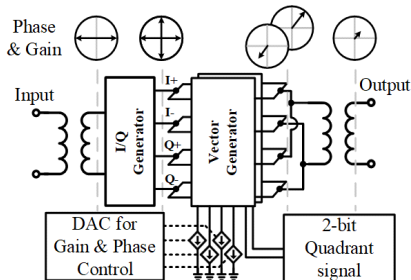


그림 1. 제안하는 가변 이득 위상천이기의 구조  
Fig. 1. Block diagram of the proposed variable gain phase shifter.

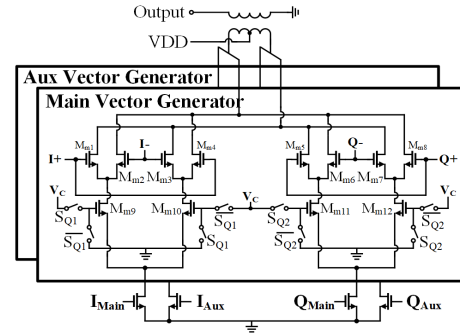


그림 2. 벡터 생성기의 회로도  
Fig. 2. Schematic of vector generators.

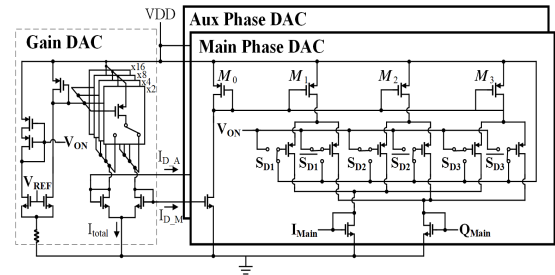


그림 3. DAC의 회로도  
Fig. 3. Schematic of a DAC.

력 신호의 위상은  $\tan^{-1}\left(\sqrt{\frac{Q_{Main}}{I_{Main}}}\right)$ 로, I, Q의 전류 비율에 따라 제어된다. 출력되는 위상이 비선형적으로 제어되기 때문에, 작은 분해능의 선형 DAC에서는 양자화 오차로 인한 위상 오차가 크게 발생한다. 따라서, 기존에는 높은 분해능의 선형 DAC가 많이 사용되었다<sup>[3]~[5]</sup>. 본 논문에서는 DAC를 간단히 하면서 동시에 양자화 오차를 줄이기 위하여, 필요한 위상을 정확히 만들어 낼 수 있는 3-bit 비선형 DAC를 사용하였다. 트랜지스터 넓이 비율이 1:4:7인 넓이 조합을 사용하였고, 표 1과 같이 필요한 위상에 맞는 I, Q 전류 비율을 갖도록 DAC를 제어하였다. 이를 통해 같은 분해능의 선형 DAC 대비 위상 오차를 5° 이상 감소시킬 수 있었다. 또한, 위상의 각 축에서 출력 신호의 선형성 저하 및 위상 오차 증가의 문제점이 있다<sup>[7]</sup>. 이를 보완하기 위해 phase offset을 도입하여 0°가 아닌 11.25°를 기준으로 22.5° 간격의 위상 상태를 형성했다.

비선형 DAC를 사용할 경우 3가지의 장점이 있다. 1) 위상 오차 감소. 비선형 DAC는 선형 DAC의 본질적인 문

표 1. 스위치에 따른 위상 조절 로직 매핑 표

Table 1. Logic mapping table of switches for phase control.

$S_{Q1}S_{Q2}$	Quadrant	$S_{D1}S_{D2}S_{D3}$	Target phase ( $^{\circ}$ )
11	1	110	11.25
01	2	101	33.75
00	3	010	56.25
10	4	001	78.75

제점인 양자화 오차를 감소시켜 더 정확한 위상을 표현한다. 2) 낭비되는 비트 감소. 선형 DAC에서 일정한 간격의 위상을 위해서는 전체 비트의 조합에서 낭비되는 조합이 많다. 비선형 DAC는 필요한 값의 조합을 통해 DAC를 구성하여 적은 비트 수로도 같은 값을 표현할 수 있고, DAC를 간략화할 수 있다. 3) 매핑 표 미사용. 비선형 DAC는 사용하는 비트의 모든 조합을 사용하므로 별도의 매핑 표가 필요하지 않다.

### III. 실험 및 측정 결과

본 논문에서 제안하는 위상천이기는 65 nm CMOS 공정에서 제작되었다. 그림 4는 제작한 위상천이기의 칩 사진이다. DAC를 포함한 코어 면적은  $0.259 \text{ mm}^2$ 이다. 제작된 가변 이득 위상천이기는 GSG(ground-signal-ground) 프로브 팁을 이용해 측정하였다. 그림 5는 32 GHz에서의 정상도이다. 제안된 방법을 통해 하나의 블록 내에서 위상과 이득이 잘 제어되고 있음을 확인할 수 있다. 그림 6(a)는 위상천이기의 최대 이득에서의 S-parameter 측정 결과이다. 29~33 GHz 대역 내에서의 삽입 손실은 5.03 dB 이내로 측정되었으며, 31.5 GHz에서 가장 낮은 4.08 dB를 갖는다. 이때 10 dB 이상의 입출력 반사계수가 확보되었다. 그림 6(b)는 각 위상 상태에서 이득을 제어했을 때의 RMS 위상 오차이다. 이때의 오차는  $1.03^{\circ}$  이내로 측정되었다. 위상과 이득을 동시에 제어했을 때의 total

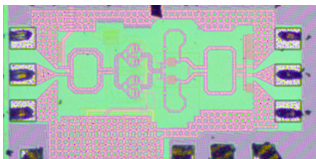


그림 4. 제안한 위상천이기의 현미경 사진

Fig. 4. Microphotograph of the proposed phase shifter.

RMS phase error는 어떠한 보정 과정 없이  $1.71^{\circ}$  이내가 확보되었다.

표 2는 제작된 위상천이기와 기존 연구 간의 성능을 비교한 표이다. 비선형 DAC를 활용한 가변 이득 위상천이기 구조를 통해 추가적인 보정 과정 없이 상당히 낮은 RMS 위상 오차가 확보되었으며, DC 전력소비 대비 상대적으로 낮은 삽입 손실을 갖는다.

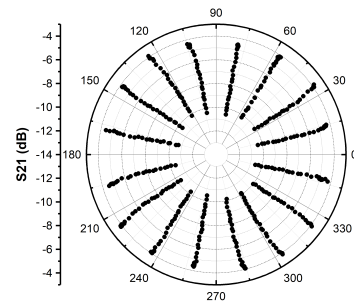
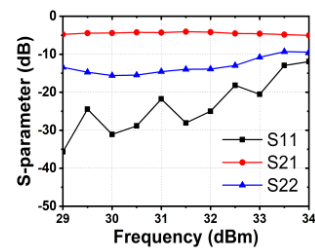


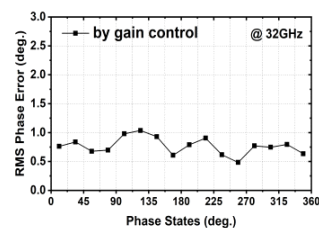
그림 5. 32 GHz에서 측정한 위상천이기의 정상도

Fig. 5. Measured static vector constellation diagram of the variable gain phase shifter at 32 GHz.



(a) 최대 이득 상태의 삽입 손실 및 반사 손실

(a) Insertion loss and return loss at maximum gain state



(b) 이득 조절에 의한 RMS 위상 오차

(b) RMS phase error by gain control

그림 6. 위상천이기의 측정 결과

Fig. 6. Measured results of the phase shifter.

표 2. 성능 요약 및 위상천이기 비교표

Table 2. Performance summary and comparison of phase shifters.

Ref	Process	Freq. (GHz)	Gain (dB)	Gain control topology	Calibration	RMS $\Theta_{\text{error}}$ (°)	P <sub>DC</sub> (mW)	Core area (mm <sup>2</sup> )
[3]	65 nm CMOS	30~32.5	-2.8	Multi-vector summation	No	2.6*/3.5 <sup>1)</sup>	18	0.21
[8]	45 nm SOI	27~33	-5.8	Polar vector modulator	Yes	0.8*	25	0.27
[9]	130 nm CMOS	26.55~29.4	-5	Polar vector modulator	Yes	2.3 <sup>3)</sup> *	27	0.284
[10]	180 nm CMOS	27~33	-5.17	N.A.	No	<4 <sup>2)</sup>	6.6	0.242 <sup>3)</sup>
[11]	150 nm GAN HEMT	26.5~29.5	-8.45	N.A.	No	<4.54	0	3.45
This work	65 nm CMOS	29~33	-4.08	Multi-vector summation	No	1.71 <sup>1)</sup>	15	0.259

<sup>1)</sup> Total RMS phase error, \*by only control.

<sup>2)</sup> External gate voltage control, based on measurement result.

<sup>3)</sup> Graphical analysis.

#### IV. 결 론

본 논문에서는 비선형 DAC를 사용한 Ka 대역에서 동작하는 가변 이득 위상천이기를 제시하였다. 비선형 DAC를 통해 전체적인 DAC의 구조 및 크기가 간략화되었으며, 복잡한 보정 과정이 생략되었고, 양자화 오차가 개선되었다. 또한, phase offset 운용을 통해 RMS 위상 오차가 개선되었다.

#### References

- [1] T. Lambard, O. Lafond, M. Himdi, H. Jeuland, S. Bolioli, and L. Le Coq, "Ka-band phased array antenna for high-data-rate SATCOM," *IEEE Antennas and Wireless Propagation Letters*, vol. 11, pp. 256-259, Mar. 2012.
- [2] S. Noh, H. Chun, "Beamforming algorithms," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 31, no. 8, pp. 701-712, Aug. 2020.
- [3] J. Park, G. Jeong, and S. Hong, "A Ka-band variable-gain phase shifter with multiple vector generators," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 6, pp. 1798-1802, Jun. 2021.
- [4] J. Park, S. Lee, D. Lee, and S. Hong, "9.8 A 28GHz 20.3%-transmitter-efficiency 1.5°-phase-error beamforming front-end IC with embedded wwitches and dual-vector variable-gain phase shifters," in *2019 IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2019, pp. 176-178.
- [5] J. Park, S. Lee, J. Chun, L. Jeon, and S. Hong, "A 28-GHz four-channel beamforming front-end IC with dual-vector variable gain phase shifters for 64-element phased array antenna module," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 4, pp. 1142-1159, Apr. 2023.
- [6] K. J. Koh, G. M. Rebeiz, "0.13- $\mu\text{m}$  CMOS phase shifters for X-, Ku-, and K-band phased arrays," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 11, pp. 2535-2546, Nov. 2007.
- [7] J. Jang, B. Kim, C. Y. Kim, and S. Hong, "79-GHz digital attenuator-based variable-gain vector-sum phase shifter with high linearity," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 8, pp. 693-695, Aug. 2018.
- [8] J. Xia, S. Boumaiza, "Digitally assisted 28 GHz active phase shifter with 0.1 dB/0.5° RMS magnitude/phase errors and enhanced linearity," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 6, pp. 914-918, Jun. 2019.
- [9] F. Akbar, A. Mortazawi, "A frequency tunable 360° analog CMOS phase shifter with an adjustable amplitude," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 12, pp. 1427-1431, Dec. 2017.
- [10] Y. T. Chang, Z. W. Ou, H. Alsuraistry, A. Sayed, and H. C. Lu, "A 28-GHz low-power vector-sum phase shifter using biphasic modulator and current reused technique," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 11, pp. 1014-1016, Nov. 2018.
- [11] J. H. Song, J. T. Lim, J. E. Lee, J. T. Son, J. H. Kim, and M. S. Baek, et al., "26.5-29.5 GHz 6-bit switched-filter phase shifter," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 3, pp. 240-243, Mar. 2023.