

위성통신을 위한 K-Band 전력 증폭기

K-Band Power Amplifier for SATCOM

김준형¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 백민석⁶ · 이은규⁷ · 최선규⁸ · 김철영⁹

Joon-Hyung Kim¹ · Jung-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ ·
Min-Seok Baek⁶ · Eun-Gyu Lee⁷ · Sun-Kyu Choi⁸ · Choul-Young Kim⁹

요약

본 논문은 65-nm CMOS 공정을 이용한 K-band 전력 증폭기 설계에 관한 내용이다. 동작 주파수 내에서 높은 선형성을 유지하기 위해 전력 증폭단에서 저역 필터구조를 이용하였다. 전력 증폭기는 동작 주파수 내에서 충분한 이득을 얻기 위해 총 2단으로 설계되었다. 제안된 전력 증폭기는 RF 및 DC 패드를 포함하여 0.93×0.47 mm²의 칩 면적을 가진다. 제작된 전력 증폭기 설계 결과, 19~21 GHz 대역에서 22.4~22.7 dBm의 최대 포화 전력, 39~40 %의 PAE(power added efficiency)를 가진다. 2-tone 시뮬레이션 결과에서 -30 dBc 이하의 IMD₃(third-order inter-modulation distortion)을 만족하는 선형 전력 및 효율은 19~21 GHz 대역에서 각각 16~17 dBm, 24~28 %로 확인되었다.

Abstract

This study entailed the development of a K-Band power amplifier (PA). The proposed PA was implemented and verified using a 65-nm bulk CMOS process. The PA was designed with two stages to obtain sufficient gain in the K band. The PA had a chip area of 0.93×0.47 mm² including RF and DC pads. The manufactured power amplifier design had a maximum saturation power of 22.4~22.7 dBm in the 19 - 21 GHz frequency band, and a power added efficiency (PAE) of 39 %~40 %. In the two-tone simulation results, the linear power and efficiency levels satisfying third-order inter-modulation distortion (IMD₃) below -30 dBc were confirmed to be 16~17 dBm and 24%~26 % in the 19~21 GHz frequency band, respectively.

Key words: Power Amplifier (PA), Efficiency, Linearity

I. 서론

최근 저궤도 위성 통신시스템의 상용화 및 요구가 많
아지고 있다. 저궤도 위성 통신 시스템은 X-band(8.5~

10.4 GHz), Ku-band(12~18 GHz), K-band(18~26.5 GHz)
대역을 통상적으로 사용하며, 빔포밍 어레이를 통한 기술
을 활용한다. 저궤도 위성의 특수성에 맞는 빔포밍 어레
이를 위한 부품 기술 개발이 필요한 시점에서, 이를 실현

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2019R1A2C1004805) & (No. NRF-2021R1A4A1032580).」

충남대학교 전자공학과(Department of Electronic Engineering, ChungNum National University)

1: 석사과정(<https://orcid.org/0000-0002-6873-9034>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 석·박사통합과정(<https://orcid.org/0000-0001-6616-6503>), 4: 박사과정(<https://orcid.org/0000-0003-3736-2753>),

5: 석·박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석사과정(<https://orcid.org/0000-0002-3651-4498>)

7: 박사후연구원(<https://orcid.org/0000-0002-3835-2226>), 8: 박사후연구원(<https://orcid.org/0000-0002-7533-4975>),

9: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received November 11, 2022 ; Revised November 16, 2022 ; Accepted November 21, 2022. (ID No. 202211111-090)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

하기 위해서는 많은 수의 전력 증폭기(power amplifier, PA)가 필요하게 된다. 전력 증폭기는 시스템의 송신단에 위치하여 지상과 위성 간의 송신 성능을 결정하는 가장 중요한 회로 중의 하나이다. 필수불가결한 이 회로는 높은 출력 전력까지 선형적으로 동작하도록 하는 것과 발진이 발생하지 않도록 안전한 회로를 만드는 것이 중요하다. 이를 해결하기 위해서는 능동 소자의 비선형적 해석(harmonic balance method)을 통하여서 효율, 선형성 및 이득 열화를 막기 위한 설계 기법들이 요구된다.

본 논문에서는 65-nm bulk CMOS 공정을 사용하여 K-band 대역 위성 통신을 위한 전력 증폭기를 설계한 결과를 제시한다. II장에서는 전력 증폭기 설계 방법에 관해 설명하며, III장에서는 측정 결과를 제시한다.

II. 회로 설계

그림 1은 본 연구에서 제안한 2단 전력 증폭기에 대한 회로도이다. 첫째 단은 충분한 전력 이득 확보를 위한 구동 증폭 단으로 구성하였으며, 둘째 단은 높은 출력 전력 확보를 위한 전력 증폭 단으로 구성하였다.

제안된 전력 증폭기는 차동 구조로 설계되었는데, 두 개의 입력 신호의 전위차에 비례하여 출력 신호를 증폭할 수 있다는 장점을 활용하였다. 더불어 전력 증폭 단에서의 경우, 스택 구조를 활용하였다. 증폭기의 경우, 보편적으로 공통-소스 구조와 스택 구조 및 캐스코드 구조가 사용된다. 공통-소스 구조의 경우, 드레인-소스-게이트 간 기생 캐패시턴스에 대한 밀러 효과(Miller effect)로 인하

여 허용할 수 있는 최대 이득이 스택 구조에 비해 낮다. 캐스코드 구조 및 스택 구조는 상대적으로 높은 전원 전압을 사용하므로 더욱 높은 출력 전력 확보가 가능하다. 전력 증폭기의 최대 출력 전력을 위하여 식 (1)과 같이 최대 드레인 전류(I_{MAX})와 저항 최적점(R_{OPT})의 값을 설계에 고려해야 한다. 이를 위해 프로그램 내의 로드풀 시뮬레이션을 이용하여 설계 시 고려하였다. 식 (2)에 따르면, 드레인 전류(I_d)는 트랜지스터의 너비(W)와 길이(L)에 따라 달라지므로 목표 주파수에서 높은 출력 전력 확보를 위해 트랜지스터의 크기를 그림 1과 같이 각각 96 μm (TW1), 90 μm (TW2), 90 μm (TW3)으로 선택하였다.

구동 증폭 단에서, 트랜지스터 크기에 따른 드레인-소스 간 존재하는 기생 캐패시턴스를 트랜스포머와 직렬 인덕터를 이용하여 튜닝하면 광대역 이득 특성을 얻을 수 있다는 장점을 활용하여서 설계에 적용하였다^[1]. 전력 증폭기가 산업계에서 사용되기 위해서는 고성능뿐 아니라, 안정도(stability) 또한 높은 회로를 만들어 안전하게 작동할 수 있도록 설계하는 것이 중요하다. 증폭기가 제대로 동작하기 위해서는 식 (3)에서와 같이 최소한 $K > 1$ 의 조건을 갖추어야 한다. 차동 증폭기의 경우, 게이트-드레인 간 기생 캐패시턴스를 보상하는 중성화 캐패시터를 사용하게 되는데, 이는 회로의 안정성을 높이는 데 큰 이점을 가지고 있다. 따라서, 중성화 캐패시터의 값(C_{n1} , C_{n2})은 그림 1에서와 같이 각각 22 fF, 94 fF로 선택하였다. 그림 2는 제안된 전력 증폭기의 안정도를 보여준다. 전력 증폭 단에서는 높은 효율을 위하여 직렬 인덕터를 이용하지 않았으며, 캐스코드 회로의 드레인과 소스

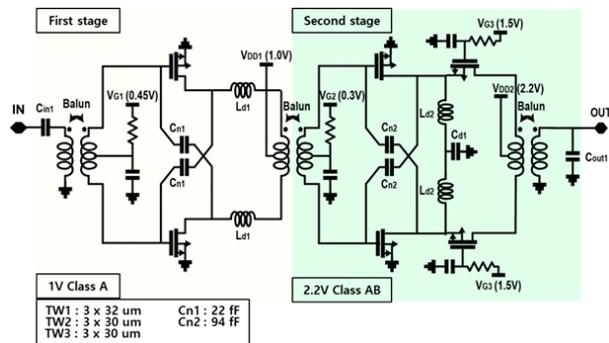


그림 1. 2단 전력 증폭기의 회로도
Fig. 1. Schematic of the two-stage power amplifier.

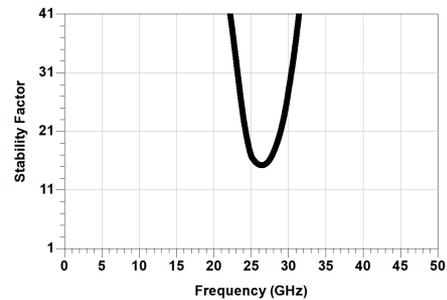


그림 2. 2단 전력 증폭기의 안정도
Fig. 2. Stability of the two-stage power amplifier.

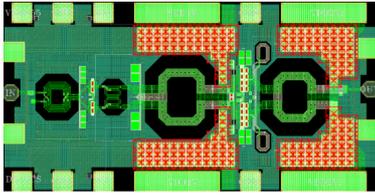


그림 3. 전력 증폭기의 layout
Fig. 3. Layout of proposed power amplifier.

단 사이에 저역 통과 필터를 이용하여 선형성을 얻고자 하였다^[2]. 그림 3은 제안된 전력 증폭기의 레이아웃이며, 칩 면적은 패드(pad)를 포함하여 0.93×0.47 mm²이다. 시뮬레이션의 높은 정확성을 갖는 결과를 얻기 위해서는 EM 시뮬레이션을 자세히 반영하여야 한다. 전력 증폭기의 경우, 많은 전류가 흐르기 때문에 발룬(balun)을 포함한 RF가 통과하는 금속은 충분한 너비가 유지되어야 한다. 구동 증폭 단의 경우, 3 um 금속 너비를 선택하였으며, 전력 증폭 단의 경우, 20 um 금속 너비를 선택하였다.

$$P_{OUT_MAX} = \frac{I_{MAX}^2 R_{OPT}}{8} \tag{1}$$

$$I_d = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_T)^2 \tag{2}$$

$$K(\text{Stability Factor}) = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1. \tag{3}$$

III. 설계 결과

구동 증폭 단의 경우, 1 V 공급전압을 사용하였으며, 충분한 전력 이득을 위하여 게이트 전압을 0.45 V 사용하여, Class-A 동작을 하도록 구현하였다. 전력 증폭 단의 경우, 2.2 V 공급전압과 높은 출력 전력 확보와 높은 효율 및 선형성을 모두 확보하기 위해서 게이트 전압과 공통 게이트 전압은 0.3 V와 1.5 V를 인가하여, 게이트 전압 단으로부터 Class-AB 동작을 하도록 구현하였다. 그림 4는 전력 증폭기의 S-parameter를 나타낸 것이며, 19~21 GHz 범위에서 -22 dB 이하의 입력 매칭과 22 dB 이상의 균일 전력 이득을 가졌다. 그림 5는 출력 전력에 따른 전력 이득 및 PAE를 나타낸다. 그림 6과 그림 7은 출력 전력에 따른 AM-AM, AM-PM을 나타낸 것이며, 19~21 GHz 내

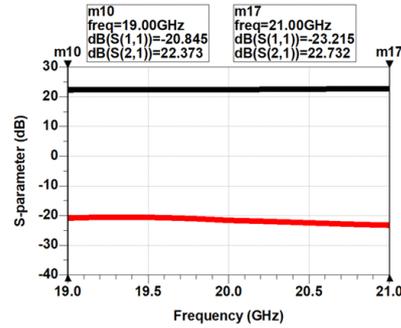


그림 4. 전력 증폭기의 S-파라미터
Fig. 4. S-parameter of proposed power amplifier.

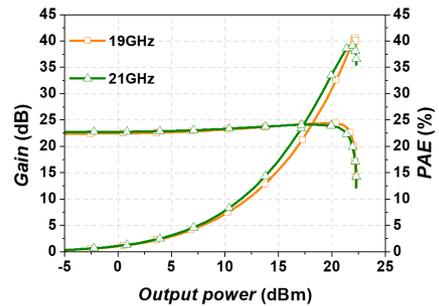


그림 5. 전력 증폭기의 전력 이득 및 PAE
Fig. 5. Gain and gain compression & PAE of proposed power amplifier.

에서 1.4 dB 이하의 AM-AM과 0.7 degree 이하의 AM-PM을 갖는다. 그림 8은 출력 전력에 따른 IMD₃(third-order Inter-modulation distortion)을 나타낸 것이다. -30 dBc 이하의 IMD₃를 만족하는 선형 출력 전력이 19, 21 GHz의 주파수에서 각각 17.8, 17.2 dBm의 값을 갖는다.

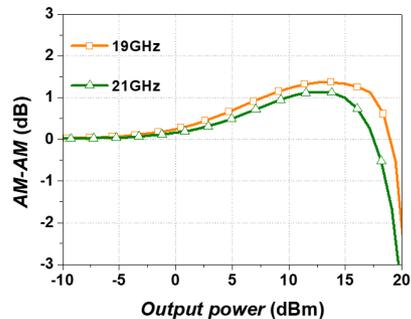


그림 6. 전력 증폭기의 AM-AM
Fig. 6. AM-AM of proposed power amplifier.

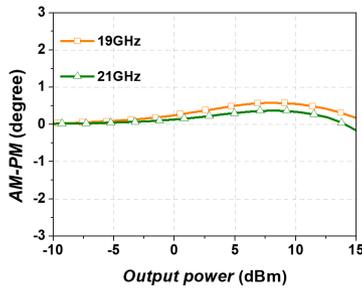


그림 7. 전력 증폭기의 AM-PM
Fig. 7. AM-PM of proposed power amplifier.

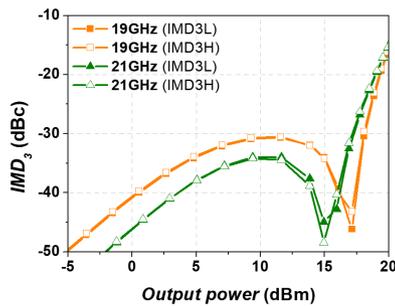


그림 8. 전력 증폭기의 IMD₃ (100-MHz tone spacing)
Fig. 8. IMD₃ of proposed power amplifier (100-MHz tone spacing).

표 1. 전력 증폭기 성능 비교

Table 1. Performance comparison of state of art PAs.

	This work (simulation)	Ref. [3]	Ref. [4]	Ref. [5]
Technology	65-nm CMOS	90-nm SiGe BiCMOS	0.13-um SiGe	0.18um CMOS
3-dB BW [GHz]	16~25	22~37	24~30	18~23
Gain [dB]	22.6	17.4	23.6	22.5
Frequency [GHz]	20	24	24	20
Supply [V]	1.0 / 2.2	3	2	3.6
# of stages	2	2	4	3
P_{sat} [dBm]	22	20.9	28.2	14.5
PAE_{SAT} [%]	40.2	43.7	37.8	9.3
P_1 [dBm]	21.5	20.6	26.6	16.2
PAE_{OP1dB} [%]	37.6	41.0	37.8	-
$P_{OUT@Linear}$ [dBm]	17.7**	12.6*	21.3*	-
$PAE@Linear$ [%]	26**	17.5*	24.6*	-

* EVM 측정 결과.

** IMD3 결과(IMD3 < -30 dBc).

IV. 결 론

본 논문에서는 K-band 대역에서 동작하는 전력 증폭기를 설계하였다. 트랜지스터 주변에 직렬 인덕터, 트랜스포머 및 필터 구조를 적절히 사용하여 높은 선형성과 효율을 동작 주파수 대역에서 달성하였다. 기술의 효율성을 검증하기 위하여 65-nm bulk CMOS 공정을 이용하여 19 GHz부터 21 GHz까지 동작하는 전력 증폭기를 설계하였다. 이를 통해 -30 dBc 이하의 IMD₃를 만족하는 선형 출력 전력은 17.2~17.8 dBm로 확인되었으며, 이때 약 25% 수준의 효율 특성을 만족하는 것을 확인하였다.

References

- [1] H. W. Choi, J. T. Lim, J. T. Son, J. H. Song, J. E. Lee and C. Y. Kim, "110~160 GHz low noise amplifier for 6G communication in 65-nm CMOS process," in *Autumn Annual Conference of IEIE*, Incheon, Nov. 2021, pp. 1017-1019.
- [2] B. Park, S. Jin, D. Jeong, J. Kim, Y. Cho, and K. Moon, et al., "Highly linear mm-wave CMOS power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 12, pp. 4535-4544, Dec. 2016.
- [3] F. Wang, A. Wang, and H. Wang, "A 22~37 GHz broadband compact linear mm-wave power amplifier supporting 64-/256-/512-QAM modulations for 5G communications," in *2020 IEEE/MTT-S International Microwave Symposium(IMS)*, Los Angeles, CA, Aug. 2020, pp. 1105-1108.
- [4] F. Wang, H. Wang, "24.1 A 24-to-30GHz watt-level broadband linear doherty power amplifier with multi-primary distributed-active transformer power-combining supporting 5G NR FR2 64-QAM with >19dBm average pout and >19% average PAE," in *IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2020, pp. 362-364.
- [5] C. C. Hung, J. L. Kuo, K. Y. Lin, and H. Wang, "A 22.5-dB gain, 20.1-dBm output power K-band power amplifier in 0.18-um CMOS," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, May 2010, pp. 557-560.