

K 대역 위성통신용 CMOS 저잡음 증폭기 설계

Design of K-Band CMOS Low Noise Amplifier for Satellite Communication

백민석¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 김준형⁶ · 이은규⁷ · 문성모^{8*} · 장동필^{9*} · 김철영¹⁰Min-Seok Baek¹ · Jeong-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ ·
Joon-Hyung Kim⁶ · Eun-Gyu Lee⁷ · Seong-Mo Moon^{8*} · Dong-Pil Chang^{9*} · Choul-Young Kim¹⁰

요 약

본 논문은 65 nm bulk CMOS 공정을 이용한 K-band 저잡음 증폭기 설계에 관한 내용이다. 설계된 저잡음 증폭기에서는 너비가 큰 트랜지스터를 사용하여 손실이 큰 게이트 직렬 인덕터의 크기를 줄임으로써 낮은 잡음지수와 높은 이득을 얻도록 설계하였다. 또한, 입력단에 소스 축퇴 인덕터와 병렬 인덕터를 사용하여 잡음 정합과 입력 정합을 동시에 할 수 있도록 설계하였다. 설계된 저잡음 증폭기는 17~23 GHz 대역에서 19.5 dB의 피크 이득과 2.31 dB의 최소 잡음지수를 달성하였고, 반사 손실은 10 dB 이상이며, RF 및 DC 패드를 포함하여 0.67 × 0.39 mm²의 크기를 가진다.

Abstract

This study entailed the design of a K-band low noise amplifier (LNA) by using the 65-nm bulk CMOS process. In the designed low noise amplifier, a large transistor was used to reduce the size of the lossy gate series inductor, resulting in low noise and high gain. In addition, the source generation and shunt inductors were used at the input stage to enable simultaneous noise and input matching. The LNA had a size of 0.67×0.39 mm² including RF and DC pads. A peak gain of 19.5 dB and a minimum noise figure of 2.31 dB were achieved. Owing to the design, the input and output return loss was more than 10 dB at 17~23 GHz.

Key words: Low Noise Amplifier (LNA), Large Transistor, K-Band, Satellite Communication, Common Source (CS)

I. 서 론

최근 5G, LTE, UWB, WI FI 및 저궤도 위성기반 광대역 위성통신 기술이 발전하면서 Ku/K/Ka 주파수 대역의

중요도가 높아지고 있다. 상보적 금속산화물 반도체(CMOS) 공정은 높은 집적도와 저비용, 저전력의 특징을 가지고 있어 많이 사용되고 있다. 이러한 이유로 인해 최근 CMOS 집적회로를 이용한 RF 송수신기 시스템 개발

「이 연구는 과학기술정보통신부에서 시행한 한국전자통신연구원의 연구개발지원사업 [전문연구실]의 위성탑재체 핵심원천기술 개발과(2018-0-00190)의 위탁연구개발과제 논문입니다.」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

*한국전자통신연구원 위성탑재체연구실(Satellite Payload Research Section, ETRI)

1: 석사과정(<https://orcid.org/0000-0002-3651-4498>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>), 4: 박사과정(<https://orcid.org/0000-0003-3736-2753>),

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석사과정(<https://orcid.org/0000-0002-6873-9034>),

7: 박사후연구원(<https://orcid.org/0000-0002-3835-2226>), 8: 책임연구원(<https://orcid.org/0000-0002-2851-9096>),

9: 책임연구원(<https://orcid.org/0000-0003-4297-6178>), 10: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received November 11, 2022 ; Revised November 16, 2022 ; Accepted November 21, 2022. (ID No. 20221111-089)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

이 활발하게 이루어지고 있다. 위성통신용 RF 수신기에 서의 저잡음 증폭기는 왜곡된 신호에 대한 민감도, 특정 무선 주파수에 대해서만 응답할 수 있는 선택성이 중요하다. 저잡음 증폭기는 높은 신호 대 잡음 비(SNR, signal to noise ratio)를 얻기 위해 낮은 잡음지수와 높은 이득 특성이 중요하며, 전력 소모를 낮추는 것 또한 중요하다.

본 논문에서는 K 대역 위성통신용 RF 수신기에 적용 가능한 저잡음 증폭기를 설계하였다. 설계된 저잡음 증폭기는 너비가 큰 트랜지스터를 사용하여 손실이 큰 직렬 게이트 인덕터(L_G)의 크기를 줄이는 기법으로 낮은 잡음 지수와 높은 이득값을 얻는 CMOS 저잡음 증폭기를 설계 하였다.

II. 저잡음 증폭기 설계

그림 1은 본 논문에서 설계한 20 GHz 저잡음 증폭기 회로도이다. 본 LNA는 저잡음 특성과 광대역 정합 특성을 위하여 너비가 큰 트랜지스터 기법과 직렬 인덕터 기법을 적용하였다. 트랜지스터의 너비가 커지면 기생 커패시턴스(C_{gs})의 크기가 커지고, L_G 의 크기를 줄일 수 있어 입력 정합과 잡음 정합을 수월하게 할 수 있다. CMOS 저잡음 증폭기에서는 L_G 로 인한 손실이 생기기 때문에 L_G 의 크기를 줄이는 것이 저잡음 특성에 유리하다^[1]. 너비가 큰 트랜지스터를 사용하면 전력 소모도 커지게 되지만, 게이트 전압을 낮춰도 이득값과 잡음지수가 유지되어, 저전력으로 작동되도록 최적화 설계하였다. 단계 간 직렬 인덕터(L_M)를 추가하여 첫 단의 부하 임피던스와 두 번째 단의 입력 임피던스를 같아지도록 구성하여 광

대역 정합이 가능하다. L_M 은 입력에 대한 로드 효과를 제거해 주고, 두 번째 단의 잡음 정합을 수월하게 할 수 있도록 한다^[2]. 잡음 정합과 입력 정합을 동시에 이루기 위해 소스 축퇴 인덕터(L_{st})와 병렬 인덕터(L_{ESD})를 사용 하였다. 입력 정합을 위해 사용된 L_{ESD} 는 정전기에 의해 큰 전압이 인가되었을 때, 정전기 전류가 접지(GND)로 빠져나갈 수 있는 경로가 되어 정전기 방지가 가능하다. 또한, 첫 단의 DC 차단용 커패시터(C_G)를 입력 정합에 이용하였다. 초고주파 대역은 트랜지스터와 소자의 상호 연결을 위한 금속 라인에서 발생하는 기생 소자의 영향이 크게 나타난다. 이러한 영향을 설계에 반영하기 위해 본 논문은 그림 2와 같이 EM(electromagnetic) 시뮬레이션을 진행하였다. 시뮬레이션으로 나온 결과를 추출하여 시뮬레이션 tool을 통해서 결과를 확인하였다. 저잡음 증폭기는 K 주파수 대역에서 이득이 상대적으로 높은 CS 2단 구조로 설계하여 19 dB 이상의 이득을 갖도록 설계하였다. 또한, 소자 간의 격리도를 높이기 위해서 그림 3과 같

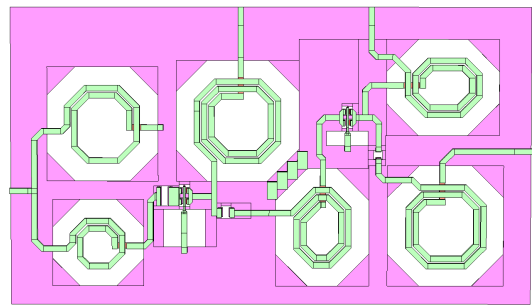


그림 2. 저잡음 증폭기 EM 구조
Fig. 2. Electromagnetic structure of LNA.

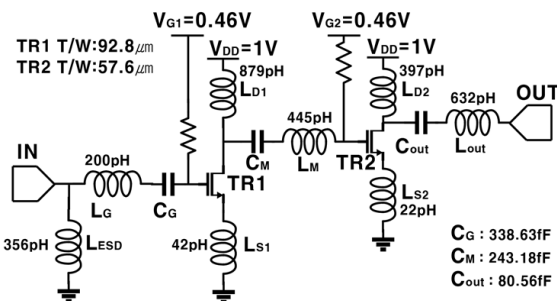


그림 1. 저잡음 증폭기 회로도
Fig. 1. Schematic of low noise amplifier.

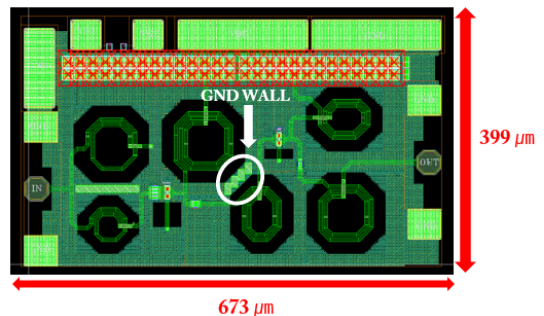


그림 3. 저잡음 증폭기 레이아웃
Fig. 3. Layout of low noise amplifier.

이 GND WALL을 배치하였다. VDD 전압은 첫 단과 두 번째 단 모두 1 V 공급하였고, 게이트 전압(V_{G1}, V_{G2})은 두 단 모두 0.46 V 공급하였다.

III. 설계 결과

그림 3은 설계된 저잡음 증폭기의 레이아웃을 나타내며, 크기는 $0.67 \times 0.39 \text{ mm}^2$ 이다. 온 웨이퍼(on-wafer) 측정을 위해 RF 및 DC 패드를 포함한다. 시뮬레이션 결과는 그림 4~그림 6에 나타내었다. 17~23 GHz 대역에서 반사 손실은 10 dB 이상, 피크 이득은 19.5 dB, 최소 잡음지수는 2.31 dB이며, IP1dB는 -16 dBm 이다. 총 전력은 1 V 공급 전압에 16.9 mW가 소모된다. 표 1은 본 논문의 K 대역의 저잡음 증폭기와 기존 연구 간의 성능 비교를 나타내었다.

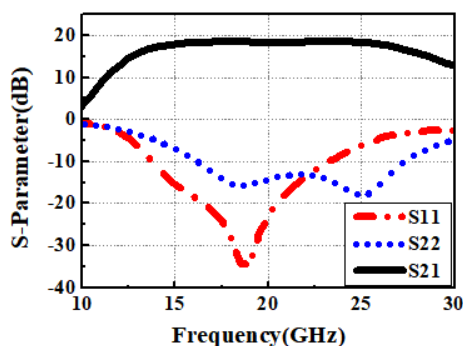


그림 4. S 파라미터 시뮬레이션 결과
Fig. 4. Simulation result of S-parameter.

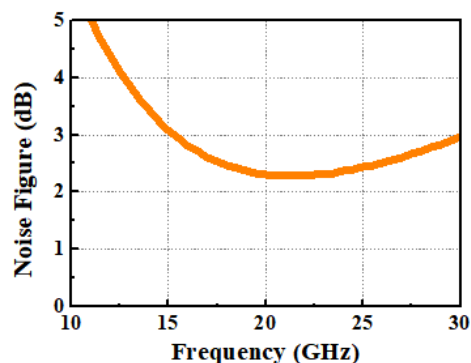


그림 5. 잡음지수 시뮬레이션 결과
Fig. 5. Simulation result of noise figure.

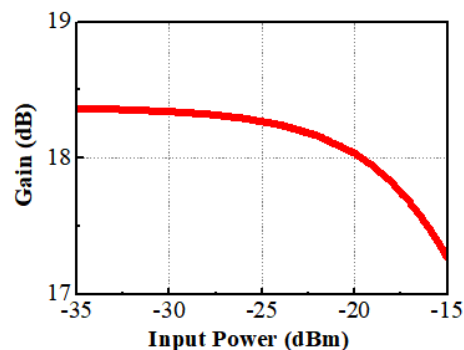


그림 6. Input P1dB 시뮬레이션 결과
Fig. 6. Simulation result of IP1dB.

표 1. CMOS 저잡음 증폭기 성능 비교

Table 1. Comparison with other K-band CMOS LNAs.

Ref.	This work (Sim.)	[3]	[4]	[5]	[6]
Tech.	65 nm CMOS	65 nm CMOS	65 nm CMOS	0.18 μm CMOS	65 nm CMOS
BW [GHz]	17-23	17.2-22	21.2~24	19~22.0	22.45
NF min. [dB]	2.31	3.3	3.6	4.1	3.4
RL [dB]	< -10	$< -10^*$	< -8	-	< -11
Peak Gain [dB]	19.5	14.9	19.1	13.2	20.46
IP1dB [dBm]	-16	-24	-31	N/A	N/A
VDD [V]	1	1	0.3	0.6	1.1
Pdc [mW]	16.9	1.9	0.99	7.1	12
ESD	Yes	N/A	N/A	N/A	N/A
Area [mm^2]	0.27	0.39	0.35	1.36	0.38

*Only input return loss plot

IV. 결 론

본 논문에서는 65-nm CMOS 공정을 이용하여 K-band

광대역 저잡음 증폭기를 설계 및 제작하였다. 제안된 저잡음 증폭기는 2단 CS 구조로 설계하였으며, 너비가 큰 트랜지스터 기법과 직렬 인덕터 기법을 사용하여 광대역 특성을 달성하였다.

References

- [1] H. W. Choi, S. Choi, and C. Y. Kim, "Ultralow-noise figure and high gain Ku-band bulk CMOS low-noise amplifier with large-size transistor," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 1, pp. 60-63, Jan. 2021.
- [2] H. W. Choi, C. Y. Kim, and S. Choi, "6.7~15.3 GHz, high-performance broadband low-noise amplifier with large transistor and two-stage broadband noise matching," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 8, pp. 949-952, Aug. 2021.
- [3] J. Zhang, D. Zhao, "A 20-GHz ultra-low-power LNA using gm-boosted and current-reuse techniques in 65-nm CMOS for satellite communication terminals," in *2019 IEEE Asian Solid-State Circuits Conference(A-SSCC)*, Macau, Nov. 2019, pp. 81-82.
- [4] B. Z. Lu, Y. Wang, Y. C. Wu, C. C. Chiong, and H. Wang, "A submilliwatt K-band low-noise amplifier for next generation radio astronomical receivers in 65-nm CMOS process," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 7, pp. 669-672, Jul. 2020.
- [5] T. P. Wang, "A low-voltage low-power K-band CMOS LNA using DC-current-path split technology," *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 9, pp. 519-521, Sep. 2010.
- [6] J. Xu, N. Yan, Q. Chen, J. Gao, and X. Zeng, "A 3.4dB NF k-band LNA in 65nm CMOS technology," in *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, Beijing, May 2013, pp. 1123-1126.