

# 28-nm CMOS 공정을 이용한 W-대역 레이더 송신기용 전력증폭기 설계

## A W-Band Power Amplifier Design for Radar Transmitter Using 28-nm CMOS Process

박세준 · 강석원 · 최규진 · 김병성

Se-Jun Park · Seuk-Won Kang · Kyu-Jin Choi · Byung-Sung Kim

### 요 약

본 논문에서는 28-nm CMOS 공정을 이용한 W-대역 레이더 송신기용 전력증폭기를 제시한다. 설계된 증폭기는 2단의 구동증폭기와 마지막 단의 전력증폭기로 구성된다. 구동증폭기는 차동 공통 소스 증폭기며, 전력증폭기는 차동 캐스코드 증폭기이다. 구동증폭기와 전력증폭기 모두 공통 소스 증폭기에 중화 기법을 적용하여, 안정성 및 충분한 전력 이득을 확보하였다. 각 증폭기 사이의 경우 트랜스포머를 이용하여 임피던스 정합을 하였다. 첫 번째 구동 증폭기로 인가하는 W-대역 신호의 경우, 내장된 6체배기를 이용하여 14 GHz~16 GHz 신호원을 6체배하여 공급하였다. 전력증폭기의 성능은 262 mW의 전력을 소모하여, 14.9 dBm의 전력을 출력한다. 중심주파수는 89 GHz로 1 dB 대역폭 기준 85 GHz~95 GHz에서 대역을 형성한다. 전력증폭기 핵심 블록 면적은  $110 \mu\text{m} \times 300 \mu\text{m}$ 이다.

### Abstract

In this paper, we present a W-band power amplifier using a 28-nm CMOS process for radar applications. The designed amplifier consists of a two-stage driver amplifier and last-stage power amplifier. The driver amplifier uses a differential common-source topology, and the power amplifier adopts a differential cascode topology. Both the driver amplifier and power amplifier utilize the neutralization technique at the common-source stage for stability and sufficient power gain. Each interstage of the amplifier used a transformer for impedance matching. The W-band signal applied to the first driving amplifier is supplied 14 GHz to 16 GHz external signal source multiplied by 6 using the internal multiplier, the power amplifier achieved 14.9 dBm output power, and the 3-stage amplifier consumed 262 mW of DC power. The 1 dB-bandwidth is 10 GHz from 85 GHz to 95 GHz. The core size of the 3-stage amplifier is  $110 \mu\text{m} \times 300 \mu\text{m}$ .

Key words: W-Band, Driver Amplifier, Power Amplifier, Common-Source, Cascode

### I. 서 론

최근 무인이동체의 활용이 증가함에 따라 충돌 방지

「이 연구는 삼성전자(Samsung Electronics Co., Ltd)의 지원으로 수행한 연구 결과입니다.」

「이 연구는 2022학년도 과학기술정보통신부의 재원으로 한국연구재단, 무인이동체원천기술개발사업단의 지원으로 수행한 연구 결과입니다.」  
성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received September 19, 2022 ; Revised September 28, 2022 ; Accepted October 4, 2022. (ID No. 20220930-073)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

및 회피를 위한 밀리미터 대역의 레이다 개발이 활발하다. W-대역은 안테나 크기가 작아 고해상도를 위한 고집적 배열 시스템이 가능하기 때문에, 출력이 작은 근접 탐지용 레이다 개발에는 저가로 고집적화가 가능한 CMOS 공정을 주로 사용하고 있다. 이러한 연구 동향에 맞춰 본 논문은 좀 더 고집적화에 유리한 차세대 고해상도 레이다용 94 GHz 송신단을 28-nm CMOS 공정을 이용해 설계한 결과를 제시한다.

## II. 전력증폭기 구성도

그림 1은 W-대역 전력증폭기의 구성도와 회로도이다. 전력 증폭기를 테스트하기 위해서는 W-대역 신호원이 필요한데, 이 주파수대의 신호원은 활용이 어려워 전력 증폭기 입력단에 14 GHz에서 16 GHz까지의 기준 주파수를 받아 W-대역으로 주파수 상향이 가능한 6 체배기를 내장하여 전력 증폭기를 설계하였다. 지면의 제약으로 인해 본 논문에서는 전력 증폭기의 설계과정과 출력단 성능 측정 결과만을 제시한다.

6 체배기를 거쳐 만들어진 차동 W-대역 입력은 2단의 구동증폭기를 통해 최종단의 전력증폭기 입력으로 공급된다.

## III. W-대역 전력증폭기 설계

### 3-1 전력증폭기 구동을 위한 구동증폭기 설계

최종 전력 증폭단을 포화 전력까지 구동하기 위해 6체

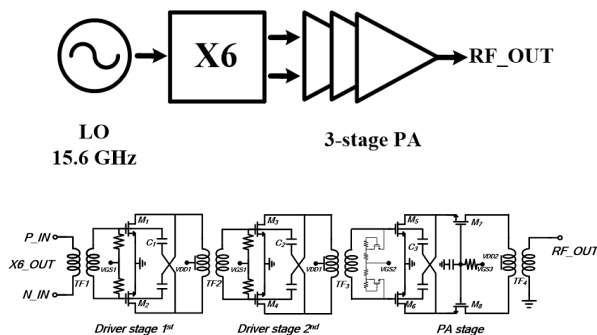


그림 1. 3단 전력증폭기의 구성도와 회로도  
Fig. 1. Block diagram and schematic of 3-stage power amplifier.

배기 출력을 구동 증폭기로 일차 증폭하였다. 따라서 구동 증폭기는 전력 이득을 위해 2단 증폭기를 사용하였다. 그림 2는 공통-소스 차동 증폭기를 이용한 구동증폭기의 구조이다.

구동증폭기의 각 단 트랜지스터 크기는 전력증폭기를 충분히 구동시킬 수 있는 전력 이득과 효율을 고려하여 채택하였다. 첫 번째 단 구동증폭기는  $1\ \mu\text{m} \times 1\ \text{finger} \times 3\ \text{multi cell}$  트랜지스터를 사용하여  $54\ \mu\text{m}$  너비의 트랜지스터를 사용하였다. 두 번째 단 구동증폭기의 경우  $1\ \mu\text{m} \times 18\ \text{finger} \times 4\ \text{multi cell}$  트랜지스터를 사용하여  $72\ \mu\text{m}$  너비의 트랜지스터를 사용하였다.

또한 차동증폭기 구조의 전력이득과 안정성을 위하여 중화 기법이 사용되었다. 공통-소스 증폭기의 게이트-드레인에서 발생하는 기생 커패시턴스에 의한 음의 피드백은 증폭기의 불안정성을 야기할 수 있다. 이때, MOM (metal oxide metal) 커패시터를 통해 드레인과 차동-트랜지스터의 게이트를 연결함으로써 게이트-드레인 기생 커패시턴스를 중화시킬 수 있다<sup>[1]</sup>. 이를 통해 증폭기가 항상 무조건적 안정성하게 동작할 수 있도록 설계하였다. 커패시터의 메탈 적층의 경우, P-substrate와 최하층 메탈 간의 기생커패시터를 최소화하기 위하여 메탈-3을 최하층 메탈로 사용하였다. 첫 번째 단의 구동증폭기의 경우, 15.7 fF의 MOM 커패시터를 사용하였다. 두 번째 단의 구동증폭기의 경우, 19.3 fF의 MOM 커패시터를 사용하였다.

두 단의 구동증폭기 모두 드레인 바이어스에 트랜지스터의 breakdown을 고려하여 1 V의 전압을 사용하였다. 또

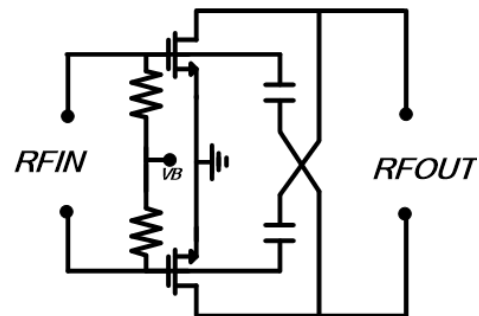


그림 2. 중화 기법이 적용된 차동 공통 소스 구동증폭기  
Fig. 2. Differential common source driver amplifier with neutralization technique.

한 게이트 바이어스의 경우 Class-AB에서 동작할 수 있도록 전력이득과 효율을 고려하여 650 mV의 전압을 사용하였다.

### 3-2 캐스코드 구조의 전력증폭기 설계

마지막 단인 전력증폭기의 경우, 높은 드레인 바이어스를 이용하여 출력 전력을 향상시키기 위하여 캐스코드 구조를 채택하였다<sup>[2]</sup>. 또한 캐스코드 구조의 증폭기의 경우, 높은 최대 출력 전력 임피던스로 인하여 공통 소스 증폭기보다 낮은 정합 손실을 얻을 수 있다. 트랜지스터의 경우, 최대 출력 전력과 최대 출력 전력 임피던스를 고려하여 크기를 결정하였다. 따라서 최종 전력증폭기의 경우 공통 소스 증폭기와 공통 게이트 증폭기 모두  $1.5 \mu\text{m} \times 24 \text{ finger} \times 4 \text{ multi cell}$  트랜지스터를 사용하여  $144 \mu\text{m}$  너비의 트랜지스터를 사용하였다. 그림 3은 설계된 캐스코드 구조의 전력증폭기이다.

구동증폭기와 마찬가지로 전력증폭기 또한 전력 이득 향상과 안정성 확보를 위하여 공통 소스 단에 MOM 커패시터를 이용한 중화 기법을 사용하였다. 중화 커패시터의 경우 24 fF의 커패시턴스를 가지는 커패시터를 사용하였다.

전력증폭기의 경우, 구동증폭기로부터 높은 입력 전력이 들어올 때, 게이트 바이어스 전압이 떨어지는 현상이 발생한다. 이때, 1dB의 강하를 막는 다이오드 결선 선형화 기법을 사용하여 선형성을 확보하였다<sup>[3]</sup>. 이때, 최대 출력 전력을 고려하여  $4.8 \mu\text{m}$  너비의 트랜지스터와 850

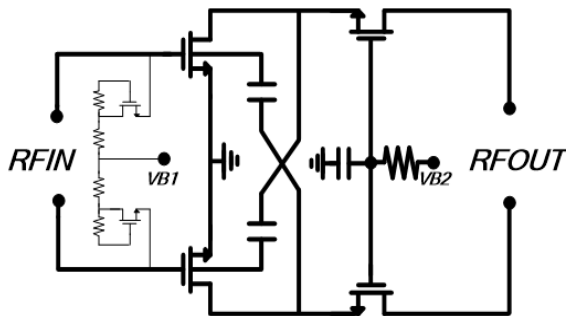


그림 3. 중화 기법과 다이오드 결선 선형화 기법이 사용된 차동 캐스코드 전력증폭기

Fig. 3. Differential cascode power amplifier with neutralization technique and diode connected linearization.

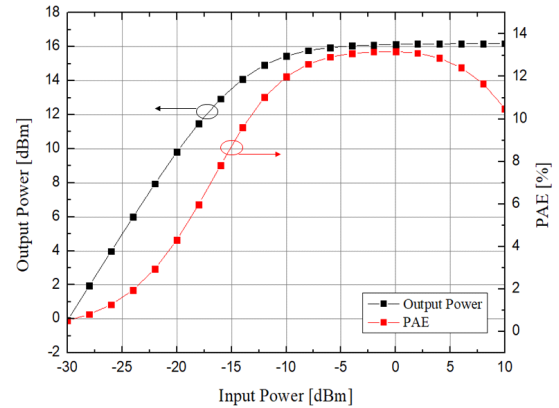


그림 4. 4단 전력증폭기의 출력 전력 및 PAE 시뮬레이션 결과

Fig. 4. Simulation result of output power and PAE of 4-stage power amplifier.

Ω의 저항을 다이오드 결선 선형화 회로에 사용하였다.

드레인 바이어스의 경우 공통 소스 증폭기와 공통 게이트 증폭기를 적층한 캐스코드 구조를 채택함으로써 낮은 breakdown 전압을 극복하여 1.8 V의 바이어스를 사용하였다. 게이트 바이어스의 경우 전력증폭기가 Class-AB에서 동작할 수 있도록 700 mV의 바이어스를 사용하였다.

그림 4는 전력증폭기의 시뮬레이션 결과이다. 3단의 구동증폭기를 이용하여 주 전력증폭기를 구동하였을 때, 주 전력증폭기는 16.1 dBm의 포화 전력을 출력한다. PAE(power added efficiency)의 경우, 포화 출력 전력에서 최대 13.2 %의 효율을 가진다.

### 3-3 트랜스포머를 이용한 임피던스 정합

증폭 기간 임피던스 정합의 경우, 차동-차동 구조의 트랜스포머를 이용하여 임피던스 정합을 하였다<sup>[4]</sup>. 전력증폭기 출력의 최대 출력 전력 임피던스 매칭의 경우 차동-단일 구조의 트랜스포머를 사용하였다. 각 단 증폭기의 드레인 바이어스의 경우 트랜스포머의 중간 탭을 이용하여 공급하였다. 표 1은 각 단 사이의 임피던스 매칭을 위한 트랜스포머의 인덕턴스, 커퍼링 계수, Q 계수이다.

첫 번째 구동증폭기와 두 번째 구동증폭기를 정합하는 트랜스포머의 크기는  $68 \mu\text{m} \times 101 \mu\text{m}$ 이다. 두 번째 구동증폭기와 주 전력증폭기를 정합하는 트랜스포머의 크

표 1. 임피던스 정합을 위한 트랜스포머 특성  
Table 1. Transformer characteristic for impedance matching.

Ref.	$L_1$	$L_2$	$k$	$Q_1$	$Q_2$
DA1 to DA2	75 pH	42 pH	0.31	12	16
DA2 to PA	78 pH	36 pH	0.35	12	18
PA to PAD	55 pH	94 pH	0.71	5	10

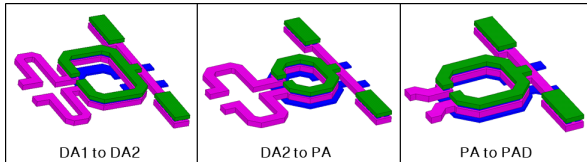


그림 5. 전력증폭기의 임피던스 정합을 위한 트랜스포머  
Fig. 5. Transformer for impedance matching of power amplifier.

기는  $79 \mu\text{m} \times 101 \mu\text{m}$ 이며, 주 전력증폭기와 출력 패드를 정합하는 트랜스포머의 크기는  $58 \mu\text{m} \times 86 \mu\text{m}$ 이다. 그림 5는 3개의 트랜스포머의 레이아웃 형상이다.

#### IV. 전력증폭기의 측정 결과

설계된 W-대역 전력증폭기 칩은 온 웨이퍼 프로빙 방식으로 측정되었다(그림 6). 칩 내부에 6 체배기를 내장하였기 때문에 입력으로 14 GHz~16 GHz 신호를 Keysight사의 N5173B 신호 발생기로 인가하였다. 드레인 바이어스의 경우 구동증폭기가 1 V를 사용하며, 전력증폭기가 1.8 V를 사용하였다. 게이트 바이어스의 경우 구동증폭기가 650 mV를 사용하며, 전력증폭기가 700 mV를 사용하였다.

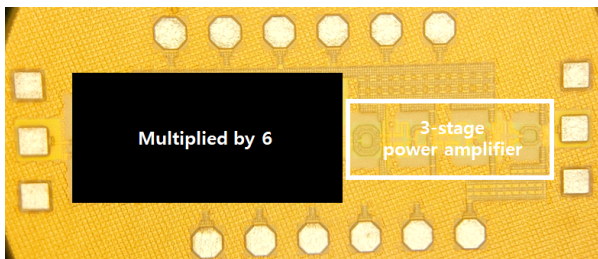


그림 6. W-대역 전력증폭기의 칩 사진  
Fig. 6. Chip micro-photograph of W-band power amplifier.

출력 전력의 경우 Keysight사의 N9030A 스펙트럼 분석기를 사용하여 측정하였다. 이때, 중간주파수 89 GHz에서 14.9 dBm의 최대 출력 전력을 확인하였다(그림 7). 1 dB 대역폭의 경우 85 GHz~95 GHz에서 10 GHz의 대역폭을 확보하였다. DC전력의 경우 262 mW의 전력을 소모하였다.

6 체배기를 제외한 전력증폭기의 피크 전력 이득은 93 GHz에서 29.9 dB이며, 3-dB 대역폭의 경우 84.4 GHz~101.7 GHz에서 17.3 GHz를 가지는 것으로 시뮬레이션을 통해 확인하였다. 전력증폭기의 입력단은 6체배기와 정합되어 있기 때문에 전력증폭기 마지막 단의 출력 반사 손실만을 측정하여 확인하였다(그림 8)

표 2는 설계한 전력증폭기의 성능을 비교한 것을 나타낸다.

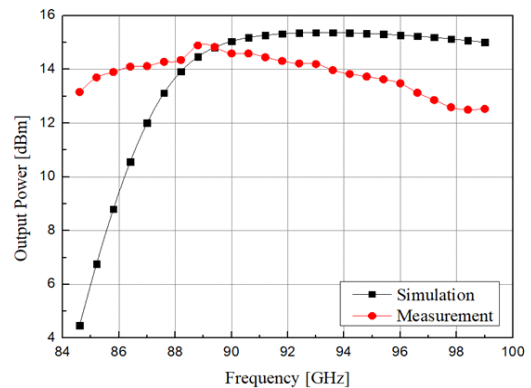


그림 7. W-대역 전력증폭기의 출력 전력  
Fig. 7. Output power of W-band power amplifier.

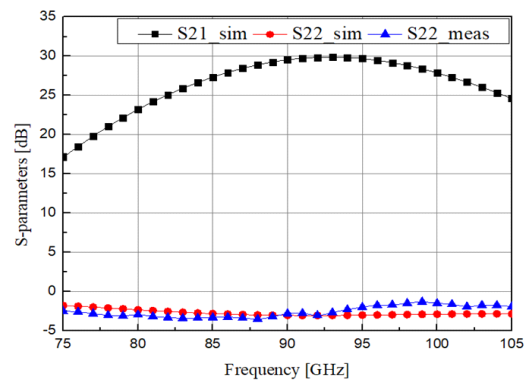


그림 8. W-대역 전력증폭기 S-parameters  
Fig. 8. S-parameters of W-band power amplifier.

표 2. 전력증폭기 성능 요약 및 비교

Table 2. Performance summary and comparisons of power amplifier.

Ref.	CMOS technology	Amplifier topology	Frequency [GHz]	$P_{sat}$ [dBm]	Gain [dB]	Peak PAE [%]	Supply [V]	$P_{dc}$ [mW]
[5]	45 nm SOI	2 stage 3 stack	91	19.2	12.4	14	3.4	451
[6]	40 nm CMOS	3 stage 2 stack	110	12.2	25.5	8.5	1.8	194
[1]	28 nm FD-SOI	3 stage TBFC	77	13.5	26.5	14.5	1	150
[7]	65 nm CMOS	4 stage CS	81.6	16.3	28.2	14.1	1.2	234
[8]	28 nm FD-SOI	2 stage CS	90	5	13.8	5.8	1	38
[9]	28 nm FD-SOI	2 stage 3 stack	99	15.1	21.8	18.6	3	173
This work	28 nm CMOS	3 stage 2 stack	89	14.9	29.9*	13.2*	1.8	262*

\* Simultaion result.

## V. 결 론

본 논문은 28-nm CMOS 공정을 사용하여 W-대역 전력 증폭기를 설계한 결과를 제시하였다. 설계한 전력 증폭기는 262 mW의 전력을 소모하여 14.9 dBm의 출력 전력 갖는다. 중심주파수는 89 GHz이며, 총 대역폭은 85 GHz~95 GHz에서 10 GHz이다. 전력증폭기는 6채배기를 내장하여 낮은 기준 주파수를 사용해 구동 가능하기 때문에 상업용 PLL을 사용하여 바로 구동이 가능하므로, 레이다 송신기로 사용이 용이할 것으로 판단된다.

## References

- [1] C. Nocera, G. Papotto, A. Cavarra, E. Ragonese, and G. Palmisano, "A 13.5-dBm 1-V power amplifier for W-band automotive radar applications in 28-nm FD-SOI CMOS technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 3, pp. 1654-1660, Mar. 2021.
- [2] Y. Kim, Y. Kwon, "Analysis and design of millimeter-wave power amplifier using stacked-FET structure," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 2, pp. 691-702, Feb. 2015.
- [3] H. S. Son, C. J. Lee, D. M. Kang, T. H. Jang, H. S. Lee, and S. H. Kim, et al., "A D-band CMOS power amplifier for wireless chip-to-chip communications with 22.3 dB gain and 12.2 dBm P1dB in 65-nm CMOS technology," in *2018 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR)*, Anaheim, Jan. 2018, pp. 35-38.
- [4] J. R. Long, "Monolithic transformers for silicon RF IC design," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 9, pp. 1368-1382, Sep. 2000.
- [5] A. Agah, J. A. Jayamon, P. M. Asbeck, L. E. Larson, and J. F. Buckwalter, "Multi-drive stacked-FET power amplifiers at 90 GHz in 45 nm SOI CMOS," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 5, pp. 1148-1157, May 2014.
- [6] G. Cho, J. Park, and S. Hong, "A 25.5-dB peak gain F-band power amplifier with an adaptive built-in linearizer," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 1, pp. 106-108, Jan. 2020.
- [7] V. S. Trinh, J. D. Park, "A 16.3 dBm 14.1% PAE 28-dB gain W-band power amplifier with inductive feedback in 65-nm CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 2, pp. 193-196, Feb. 2020.
- [8] A. Vahdati, M. Varonen, D. Parveg, D. Karaca, and K. A. I. Halonen, "Design of an 85-95-GHz differential amplifier in 28-nm CMOS FDSOI," in *2016 Global Symposium on Millimeter Waves(GSMM) & ESA Workshop on Millimetre-Wave Technology and Applications*, Espoo, Jun. 2016, pp. 1-4.

- [9] K. Kim, K. Lee, S. U. Choi, J. Kim, C. G. Choi, and H. J. Song, "A 97-107 GHz triple-stacked-FET power amplifier with 23.7dB peak gain, 15.1dBm PSAT, and

18.6% PAEMAX in 28-nm FD-SOI CMOS," in *2022 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Denver, CO, Jun. 2022, pp. 183-186.

박 세 준 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-9150-011X>



2021년 2월: 성균관대학교 전자전기공학부 (공학사)  
2021년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
[주 관심분야] RFIC 설계

최 규 진 [성균관대학교/박사과정]

<https://orcid.org/0000-0002-4710-5032>



2010년 2월: 성균관대학교 전자공학과 (공학사)  
2011년 8월: 성균관대학교 이동통신공학과 (공학석사)  
2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RFIC 설계

강 석 원 [성균관대학교/석·박사통합과정]

<https://orcid.org/0000-0002-4658-3008>



2021년 2월: 광운대학교 전자공학과 (공학사)  
2021년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정  
[주 관심분야] RFIC 설계

김 병 성 [성균관대학교/교수]

<https://orcid.org/0000-0003-3084-6499>



1989년 2월: 서울대학교 전자공학과 (공학사)  
1991년 2월: 서울대학교 전자공학과 (공학석사)  
1997년 2월: 서울대학교 전자공학과 (공학박사)  
1997년 3월~현재: 성균관대학교 정보통신대학 교수

[주 관심분야] RFIC 설계, RF 소자 모델링