

2.4 GHz 대역 무선전력전송 고효율 수신부 IC 설계

Design of a 2.4-GHz High Efficiency Wireless Power Transfer-Receiver IC

송유근 · 한신 · 김남윤* · 김창우

You-Geun Song · Shin Han · Nam-Yoon Kim* · Chang-Woo Kim

요 약

본 논문에서는 2.4 GHz에서 동작 가능한 무선전력전송 수신부 시스템을 제안하였다. 제안된 IC는 임피던스 정합 네트워크, 정류기, 그리고 직류-직류 변환기로 구성되었다. 정류기는 Dickson 차지펌프를 이용한 회로이며, 단 수와 임피던스 정합 네트워크의 최적화를 통해 높은 효율을 가질 수 있도록 설계하였다. 직류-직류 변환기의 경우, 넓은 입력 범위에서 동작 가능한 사중 변환비를 갖는 고효율 스텝-업/스텝-다운 스위치드-커패시터 직류-직류 변환기를 제안하였다. 입력 전압을 감지하여 모드 선택회로에서 변환비를 변환할 수 있도록 하여, 1/3, 1/2, 2/3, 그리고 2/1의 변환비를 제공한다. 제안된 IC는 28-nm CMOS 공정을 이용하여 설계하였으며, 포스트 레이아웃 시뮬레이션 결과, 제안된 정류기는 -8 dBm~ 20 dBm에서 동작하며, 최대 66 %의 효율을 보인다. 변환기는 1.2 V~5 V의 넓은 입력 전압 범위에서 1.6 V~2.2 V의 전압을 출력하며, 최대 80 %의 전력 변환 효율을 얻었다. 전체 IC의 경우 입력 전력 12 dBm에서 최대 50.8 %의 효율을 보였다.

Abstract

A high-efficiency wireless power transfer-receiver IC that can operate at 2.4 GHz has been proposed. The IC consists of a matching network, rectifier, and DC-DC converter. The rectifier based on the Dickson charge pump topology is designed to have high efficiency by optimizing the number of stages and matching networks. In the proposed IC, a high-efficiency CMOS step-up/step-down DC-DC converter that can operate over a wide input range is involved. The converter provides quadruple conversion ratios of 1/3, 1/2, 2/3, and 2/1, which are determined by the mode selector by sensing the input voltage level. The IC was implemented in a standard 28-nm CMOS process, and post-layout simulation results for the IC demonstrated that the rectifier operates at -8 dBm to 20 dBm and shows a maximum efficiency of 66 % for an input power from -4 to 20 dBm. The DC-DC converter outputs a voltage of 1.6~2.2 V for a wide input voltage range of 1.2~5 V and shows a power conversion efficiency of up to 80 %. For the entire IC, the maximum efficiency is 50.8 % at an input power of 12 dBm.

Key words: WPT, Rectifier, DC-DC Converter, Step-Up/Step-Down, Quadruple Conversion Ratio, CMOS, High Efficiency

I. 서 론

5G 네트워크 구축이 되기 시작하면서 IoT 환경을 조성

「본 연구는 과학기술정보통신부 및 정보통신기술진흥센터의 대학 ICT연구센터육성지원사업(IITP-2019-2016-0-00291), 한국연구재단의 기초 연구지원사업(No. 2019R1F1A1052728) 및 IDEC의 MPW 사업의 지원으로 수행되었음.」

경희대학교 전자공학과(Department of Electronic Engineering, Kyung Hee University)

*대덕대학교 군사학부(Department of Military Science, Deaduk University)

· Manuscript received July 26, 2022 ; Revised August 25, 2022 ; Accepted November 21, 2022. (ID No. 20220726-059)

· Corresponding Author: Chang-Woo Kim (e-mail: cwkim@khu.ac.kr)

가능해졌고, IoT 시장은 그에 따라 지속적인 성장을 해오고 있다^[1]. 부가적으로 IoT 환경이 구성되기 위해서는 각종 센서들이 필요한데^[2], 이 센서들에 전력을 공급하기 위해서는 전송 거리에 따른 충전 성능의 저하가 낮은 고효율의 무선전력전송 시스템이 필요하다^[3]. 기본적인 무선전력 전송 시스템은 정류기와 직류-직류 변환기로 구성된다. 고주파수와 낮은 입력 전력에서 적용 가능한 정류기는 낮은 문턱 전압과 입력 신호의 매칭 회로가 필요하다. 또한 이에 적용 가능한 직류-직류 변환기의 종류에는 인덕터 또는 커패시터 기반의 변환기가 있는데, 인덕터 기반의 변환기에 비하여 커패시터를 이용한 변환기는 회로의 소형화에 유리하여 센서 등에 많이 사용되고 있다^[4].

본 논문에서는 28-nm CMOS 공정을 이용하여 정류기와 직류-직류 변환기 회로를 설계하였다. 제안한 정류기는 단의 수에 비례해 높은 출력과 효율을 보여 이를 위한 다단구조로 구성된다. 제안된 변환기는 넓은 전압 입력 범위에 대하여 네 가지 스텝-업/스텝-다운 스위칭 변환비를 제공함으로써 높은 변환 효율을 달성할 수 있도록 설계되었다. 제안한 회로는 넓은 변환 범위와 높은 효율을 통해 그림 1과 같은 WPT 수신부 IC 등에 응용 가능하다.

II. 본 론

2-1 제안한 매칭회로를 포함한 정류기 구조

그림 2는 제안하는 매칭회로를 포함한 5단 디스 정류기 회로이다. 2.4-GHz의 주파수에서 낮은 반사 계수로 인하여 신호가 모두 입력되지 않는 문제를 갖고 있다. 반사 계수의 영향을 줄여 입력 신호를 모두 회로로 전달하기

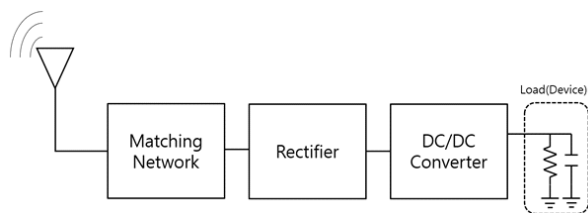


그림 1. WPT 수신부 블록 다이어그램
Fig. 1. Block diagram of the WPT receiver.

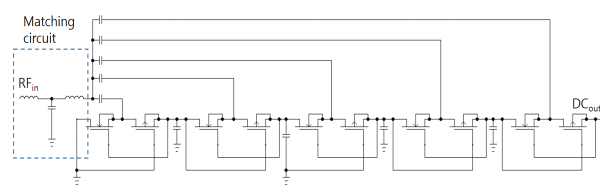


그림 2. 제안된 매칭 회로를 포함한 5단 정류기 회로
Fig. 2. Schematic of the 5 stages RF-DC rectifier with a matching circuit.

위해 매칭 회로가 필수적이다. 본 논문에서는 T형 매칭회로를 이용하여 이를 해결하였다.

디스 정류기는 디스 차지 펌프를 이용한 정류기로 기존 정류기의 누설전류 문제가 낮아 높은 입력 전력에서도 높은 효율을 보인다. 하지만 낮은 입력에서의 문턱 전압으로 인하여 효율이 낮은 문제를 가지고 있는데, 이를 해결하기 위해 낮은 문턱 전압을 갖는 MOS(lvtmos) 소자를 사용하여 설계하였다.

높은 출력 전압을 위해서는 다단 정류기의 구조가 필요하다. 단의 수가 높아질수록 충전 시간이 늘어나기 때문에 적절한 단의 구성이 중요하다. 단의 수를 늘려 N 개의 단으로 구성할 경우, $N(V_{in} - V_{TH})$ 배로 증가하기 때문에 본 논문에서는 5단 구성을 통해 필요한 출력 전압을 얻었다.

2-2 제안한 직류-직류 변환기 구조

그림 3은 제안하는 직류-직류 변환기의 블록다이어그램이다. 무선전력전송 시스템에서 수신부는 전송 거리 등의 여러 요인에 따라 전력 전송 효율이 변동되기 때문에 변동성에 대응할 수 있어야 한다. 따라서 회로는 1.2 V~

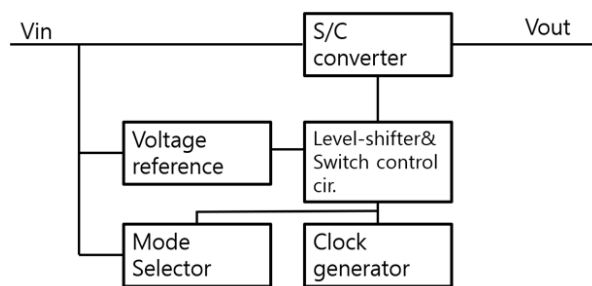


그림 3. 제안된 직류-직류 변환기 블록 다이어그램
Fig. 3. Block diagram of the proposed DC-DC converter.

5 V의 넓은 전압을 입력받아 S/C 변환기, 기준 전압기, 모드 선택기로 인가한다. 넓은 입력 범위에서 전압을 받기 때문에 기준 전압기는 회로의 변환비를 조절하는 회로에 대하여 일정한 직류 전압을 제공하여 안정적인 동작을 할 수 있도록 한다. 클럭 생성 회로는 입력 전압에 대하여 일정한 클럭 주파수를 제공하기 위해 기준 전압기로부터 전압을 인가받는다. 모드 선택 회로에서는 입력 전압을 감지하여 변환비를 변환할 수 있도록 한다. 이와 같은 변환기를 본 논문에서는 28-nm CMOS 공정을 이용하여 설계하였다. 설계 시 레벨 변환기는 단 채널 공정에서 소자가 큰 전압차를 겪으면 큰 문제가 되기 때문에 이를 예방하기 위하여 스위칭 레벨을 조정하여 S/C 변환기에 인가한다.

2.3 스위치드 커패시터 변환기

그림 4(a)는 커패시터 기반의 변압기 구조를 표현한 회로이다^[5]. 해당 변환기는 직렬-병렬(series-parallel) 커패시터 토폴로지를 사용하여 입력 전압에 따라 알맞은 변환비를 제공하도록 하였다. 직렬-병렬 커패시터 변환기는 스위치 동작에 따라 커패시터를 직렬, 병렬로 배치시켜 여러 변환비를 제공할 수 있다. 또한 커패시터와 출력의 직렬 연결을 통해 높은 출력 임피던스를 가져 커패시터 기반의 문제인 부하 변동률(load regulation) 문제에서 비교적 좋은 성능을 낸다는 장점이 있다. 이는 무선전력전송 시 여러 장치에 균일하고 안정적인 전력 전달을 의미한다.

그림 4(b)~그림 4(e)는 제안하는 변환기에 사용된 변환비의 스위치 동작에 대한 개념도이다. 제안하는 변환기는 회로의 크기를 줄이고, 스위칭 동작을 간단하게 하기 위해 2단계로 동작하며, 동작 스위치를 입력전압에 따라 변화시켜 2/1, 2/3, 1/2, 3/1 네 가지의 변환비를 제공한다.

제안한 회로의 변환비들을 제공하기 위해서는 그림 5와 같이 Sw5의 클럭 레벨을 조정하여 두 커패시터가 직렬 또는 병렬을 배치되도록 하여 변환비를 제공한다. 그림 3은 커패시터 직, 병렬 배열 시 Sw5의 동작을 나타낸 회로도이다. Sw5가 동작하기 위해서는 변환비에 따른 C1'와 C2'의 상대적인 전압 레벨에 맞춰 클럭이 동작해

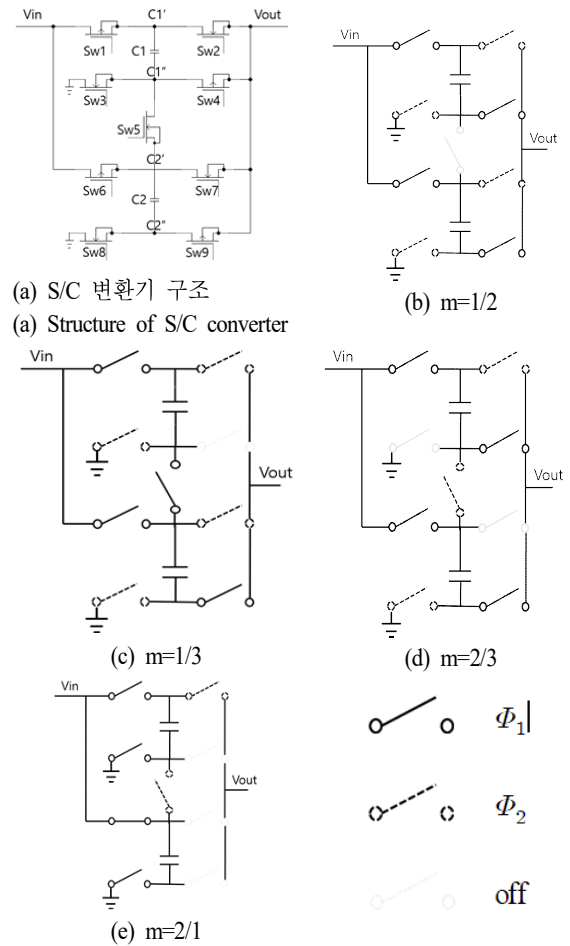


그림 4. S/C 변환기 구조 (a)와 S/C 변환기 변환비(m)에 따른 스위치 동작 개념도(b)~(e)

Fig. 4. Structure of S/C converter(a) and switch operation concept diagram(b)~(e) according to S/C converter conversion ratio (m).

야 하기 때문에 그림 5와 같이 두 노드를 스윙하는 클럭을 생성시켜 동작시킨다. 커패시터가 병렬로 동작할 시 디지털 회로상으로 ‘높음’ 신호레벨이 인버터에 인가되어 낮은 신호가 스위치로 인가되고 직렬의 경우 반대의 상황으로 회로가 동작한다.

2.4 기준 전압기

그림 6은 직류-직류 변압기에서 사용한 기준 전압기의 회로도이다^[6]. 시스템 특성상 넓은 전압 입력을 받기 때

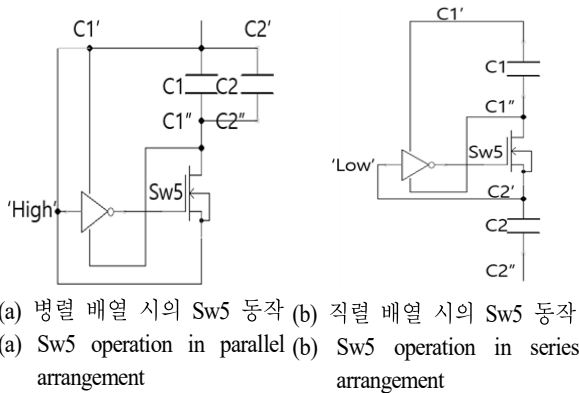


그림 5. 커패시터 배열에 따른 Sw5의 동작 시 회로도
Fig. 5. Schematic of the operation of Sw5 according to the capacitor arrangement.

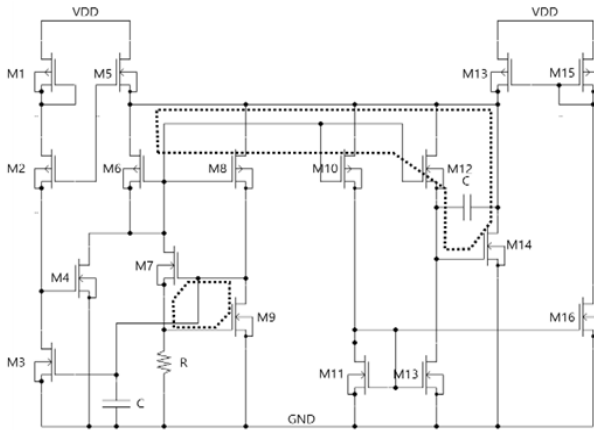


그림 6. 기준 전압 회로도
Fig. 6. Schematic of the bandgap reference circuit.

문에 3.3/5 V 소자를 사용하여 설계하였다. 해당 회로는 입력전압에서 들어오는 리플 신호에 대하여 안정적인 출력 전압을 공급하기 위해 그림 6에 표현한 두 개의 피드백 루프를 구성하여 높은 PSRR 성능을 보인다.

2-5 레벨 변환기

그림 7은 회로에 사용한 레벨 변환기의 회로도이다. 해당 회로는 단 채널 MOS 소자가 브레이크-스루되지 않도록 클럭의 스윙 레벨을 조정하여 스위치가 정상적으로 동작하게 한다. 본 변환기에서는 입력 전압에서 그라운드, 출력 전압에서 입력 전압으로 클럭 레벨을 설정하였

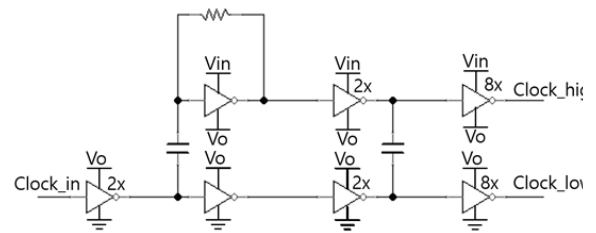


그림 7. 레벨 변환기 회로도
Fig. 7. Schematic of the level-shifter.

다. 두 클럭의 타이밍 오차를 최소화하기 위해 해당 회로는 저항을 통해 인버터의 트립 포인트와 출력과 그라운드를 스윙하는 클럭을 커패시터를 통해 동기화해주어 두 클럭을 동기화시킨다. 해당 저항은 칩 면적을 최소화하기 위해 패스 게이트와 다이오드 커넥티드 MOS를 이용하여 구현하였다. 시뮬레이션상으로 10 MHz 이하의 주파수에서 정상적으로 동작하였다.

2-6 모드 선택기

그림 8은 회로에 사용된 모드 선택기의 회로도이다. 비교기, S-R 래치, D-플리플롭으로 구성되며, 두 개의 기준 전압에 대하여 동작한다. 그림과 같이 입력 전압에 대하여 상대적인 전압값을 비교기에 인가하고, 이를 기준 전압과 비교하여 네 가지의 변환비를 제공한다. 변환비에 따라 다른 출력값을 제공하여 설계된 디지털 회로를 통해 S/C 변환기에 인가되어 스위치를 동작시킨다.

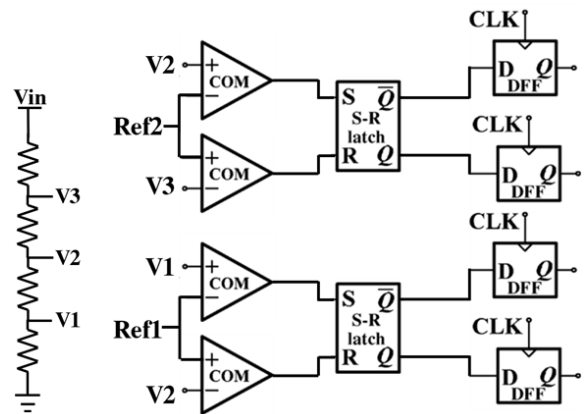


그림 8. 모드 선택기 회로도
Fig. 8. Schematic of the mode selector.

III. Post-Layout 시뮬레이션 결과

그림 9는 입력 전력과 부하 임피던스에 따른 출력 전압과 PCE의 post-layout 시뮬레이션 결과이다. 출력 전압은 최대 13 V 이상 출력되고 있다. 입력 전력 -8 dBm에서부터 동작하며, -4 dBm의 낮은 입력에서도 뒷단의 회로가 동작하기 위한 1 V 이상의 출력을 보이는 것을 확인할 수 있다. 전력 변환 효율은 20 dBm의 입력 전력에서 최대 66 %의 효율을 보인다.

그림 10은 입력 전압에 따른 직류-직류 변환기의 출력 전압 시뮬레이션 결과이다. 그림 10의 결과를 살펴보면 1.2 V~5 V의 입력 전압을 받아 1.6 V~2.2 V 출력 전압을 가진다. 그림 11은 입력 전압에 따른 전력 변환 효율 결과를 나타낸 그래프이다^{[7],[8]}. 최대 80 %의 결과를 보였고, 변환비가 변화할 때마다, 효율이 증가한 후 점차 감소

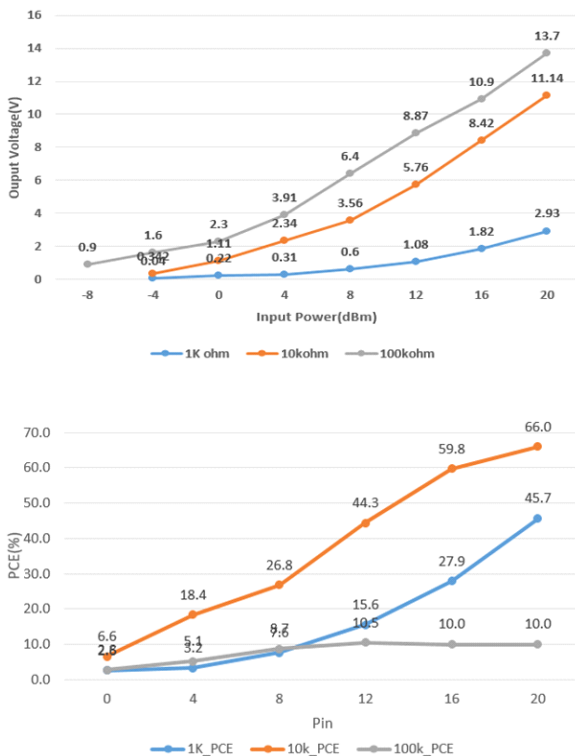


그림 9. 입력 전압과 부하 임피던스에 따른 정류기 출력과 PCE 결과

Fig. 9. Post-layout simulation results of the rectifier output voltage and PCE with respect to the input power and load impedance ($C_L = 100$ pF).

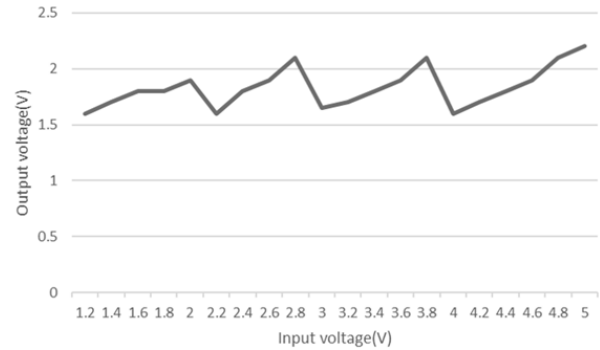


그림 10. 입력 전압에 따른 직류-직류 변환기 출력전압 post-layout 시뮬레이션 결과($R_L=500 \Omega$, $C_L=100$ nF)

Fig. 10. Post-layout simulation result of the DC-DC converter output voltage with respect to the input voltage ($R_L=500 \Omega$, $C_L=100$ nF).

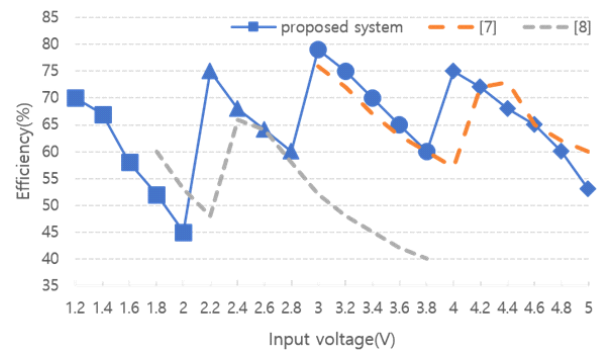


그림 11. 입력 전압에 따른 직류-직류 변환기 전력 변환 효율

Fig. 11. Power conversion efficiency with respect to the input voltage.

하는 경향을 보였다.

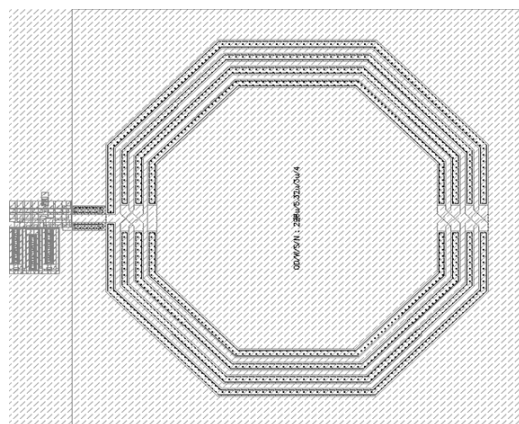
그림 12는 정류기 입력 전력에 따른 전체 IC의 전력 변환 효율에 대한 시뮬레이션 결과이다. 12 dBm에서 50.8 %의 효율을 보였다

그림 13은 28-nm CMOS 공정을 이용하여 설계된 정류기와 변환기의 레이아웃 사진이다. 정류기는 고주파수에서의 라인 임피던스를 맞추기 위하여 이용되지 않는 메탈층을 제거하여 제작되었으며, $400 \times 670 \mu\text{m}^2$ 의 크기를 가진다. 직류-직류 변환기의 칩은 $174 \times 84 \mu\text{m}^2$ 의 크기를 가진다. 표 1은 기발표 논문의 결과와 비교한 비교표이다. 표 1(a)에서 알 수 있듯이, 정류기는 타 논문 대비 넓은 입

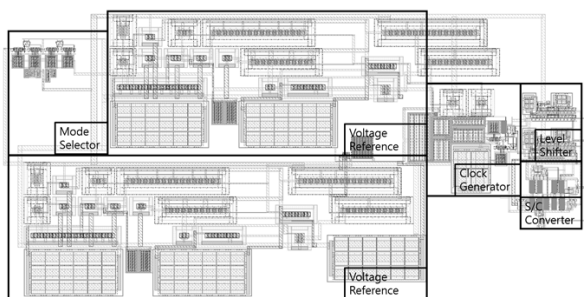


그림 12. 정류기의 입력 전력에 따른 전체 IC 전력 변환 효율

Fig. 12. Power conversion efficiency of the receiver IC with respect to the input power of rectifier.



(a)



(b)

그림 13. 28-nm CMOS 공정의 (a) 5단 정류기와 (b) 직류-직류 변환기 레이아웃

Fig. 13. Layout of the proposed 5 stages rectifier and DC-DC converter using 28-nm CMOS process.

표 1. 기발표된 CMOS (a) 정류기와 (b) 직류-직류 변환기의 성능 비교

Table 1. Performance comparison of the CMOS rectifier and DC-DC converter with previous works.

(a)				
Reference	[9]	[10]	[11]	This work
Process	0.18 μm	65 nm	0.13 μm	28 nm
Rectifier topology	Dickson	Dickson	Cross coupled	Dickson
V_{out} (V)	0.2~1.7	1~1.5	0.9~1.5	0.9~13.7
P_{in} (dBm)	6~12	-19	-20	-8~20
Frequency (GHz)	2.4	2.4	2.4	2.4
Maximum efficiency	2.5 %	31 %	55 %	66 %
(b)				
Reference	[12]	[13]	[14]	This work
Process	0.18 μm	0.18 μm	28 nm	28 nm
Conversion type	Step up/down	Step down	Step down	Step up/down
V_{out} (V)	0.4~2.2	0.9~1.5	0.95	1.6~2.2
V_{in} (V)	0.9~1.5	3.4~4.3	3.2	1.2~5
Switching freq (MHz)	0.2	0.8~1.7	N/A	5
Maximum efficiency	68 %	72 %	82 %	80 %

력 전력 범위를 가지며, 최대 66 %의 높은 효율을 보인다. 표 1(b)는 직류-직류 변환기의 성능 비교로, step-up과 step-down 두 가지 동작을 지원하며, 넓은 입력 전압 범위에서 동작이 가능하고, 효율 80 %의 우수한 성능을 보이고 있다.

IV. 결 론

본 논문에서는 28-nm CMOS 공정을 이용하여 2.4 GHz WPT 수신부 IC에 응용 가능한 수신부 시스템을 설계하였다. 시뮬레이션 결과, 정류기는 -8 dBm~20 dBm에서 동작하며, -4 dBm에서 뒷단의 회로가 동작하기 위한 1 V 이상의 출력을 보인다. 전력 변환 효율은 최대 66 %를 보였다. 변환기의 경우, 입력 전압 1.2 V ~ 5 V에서 출력

전압 1.6 V~2.2 V의 결과를 얻었고, 입력 전압에 따른 출력 전압 효율은 최대 80 %의 결과를 얻었다. 전체 IC의 전력 변환 효율은 최대 50.8 %를 달성하였다. 향후 연구로는 칩에 대한 측정 후 결과값을 이용하여 특성 개선을 할 수 있도록 설계를 진행할 계획이다.

References

- [1] M. Taghadosi, L. Albasha, N. A. Quadir, Y. A. Rahama, and N. Qaddoumi, "High efficiency energy harvesters in 65nm CMOS process for autonomous IoT sensor applications," *IEEE Access*, vol. 6, pp. 2397-2409, Dec. 2017.
- [2] R. Shigeta, T. Sasaki, D. M. Quan, Y. Kawahara, R. J. Vyas, and M. M. Tentzeris, et al., "Ambient RF energy harvesting sensor device with capacitor-leakage-aware duty cycle control," *IEEE Sensors Journal*, vol. 13, no. 8, pp. 2973-2983, Aug. 2013.
- [3] D. Al-Shebanee, R. Wunderlich, and S. Heinen, "Design of highly sensitive CMOS RF energy harvester using ultra-low power charge pump," in *2015 IEEE Wireless Power Transfer Conference(WPTC)*, Boulder, CO, May 2015, pp. 1-4.
- [4] G. Y. Zhu, A. Ioinovici, "Steady-state characteristics of switched-capacitor electronic converters," *Journal of Circuits, Systems and Computers*, vol. 7, no. 2, pp. 69-91, 1997.
- [5] H. P. Le, "ES4-4: Circuit design techniques for fully integrated voltage regulator using switched capacitors," in *2017 IEEE Custom Integrated Circuits Conference (CICC)*, Austin, TX, Apr.-May 2017, pp. 1-69.
- [6] W. Y. Chung, C. C. Chuang, and J. T. Chen, "A wide-range and high PSRR CMOS voltage reference for implantable device," in *APCCAS 2006 - 2006 IEEE Asia Pacific Conference on Circuits and Systems*, Singapore, Dec. 2006, pp. 482-485.
- [7] A. Sarafianos, M. Steyaert, "Fully integrated wide input voltage range capacitive DC-DC converters: The folding dickson converter," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 7, pp. 1560-1570, Jul. 2015.
- [8] C. L. Wei, M. H. Shih, "Design of a switched-capacitor DC-DC converter with a wide input voltage range," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 6, pp. 1648-1656, Jun. 2013.
- [9] K. H. Chen, J. H. Lu, and S. I. Liu, "A 2.4GHz efficiency-enhanced rectifier for wireless telemetry," in *2007 IEEE Custom Integrated Circuits Conference*, San Jose, CA, Sep. 2007, pp. 555-558.
- [10] H. Gao, M. Matters-Kammerer, D. Milosevic, J. P. M. G. Linnartz, and P. Baltus, "A design of 2.4GHz rectifier in 65nm CMOS with 31% efficiency," in *2013 IEEE 20th Symposium on Communications and Vehicular Technology in the Benelux(SCVT)*, Namur, Nov. 2013, pp. 1-4.
- [11] K. Sanjeev, M. Machnoor, K. J. Vinoy, and T. V. Prabhakar, "A high efficiency 2.4GHz RF to DC converter using 130nm CMOS cross-coupled rectifier," in *2016 Twenty Second National Conference on Communication(NCC)*, Guwahati, Mar. 2016, pp. 1-4.
- [12] L. George, T. Lehmann, and T. J. Hamilton, "A reconfigurable buck-boost switched capacitor converter with adaptive gain and discrete frequency scaling control," in *2012 19th IEEE International Conference on Electronics, Circuits, and Systems(ICECS 2012)*, Seville, Dec. 2012, pp. 869-872.
- [13] S. Bang, A. Wang, B. Giridhar, D. Blaauw, and D. Sylvester, "A fully integrated successive-approximation switched-capacitor DC-DC converter with 31mV output voltage resolution," in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, Feb. 2013, pp. 370-371.
- [14] N. Butzen, M. S. J. Steyaert, "Design of soft-charging switched-capacitor DC-DC converters using stage outphasing and multiphase soft-charging," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 12, pp. 3132-3141, Dec. 2017.

송 유 근 [경희대학교/석사과정]

<https://orcid.org/0000-0002-0177-8549>



2021년 2월: 경희대학교 전자공학과 (공학사)
2021년 3월~현재: 경희대학교 전자공학과 석사과정
[주 관심분야] MMIC/RFSoc 설계, 무선전력전송 시스템 설계 등

김 남 윤 [대덕대학교/교수]

<https://orcid.org/0000-0001-9752-1344>



2005년 2월: 경희대학교 전자공학과 (공학석사)
2012년 8월: 경희대학교 전자전파공학과 (공학박사)
2009년 9월~2014년 2월: 삼성종합기술원 FIT연구소 전문연구원
2014년 3월~현재: 대덕대학교 군사학부 (드론항공)교수

[주 관심분야] AESA 레이더, 무선전력전송 시스템 설계, 에너지 하베스팅, 무인항공기(드론)시스템 설계

한 신 [경희대학교/석사과정]

<https://orcid.org/0000-0002-0550-7631>



2015년 3월: 경희대학교 전자공학과 (공학사)
2021년 3월~현재: 경희대학교 전자공학과 석사과정
[주 관심분야] 무선전력전송(WPR), RF 정류기, 에너지 하베스팅, RF SOC 등

김 창 우 [경희대학교/교수]

<https://orcid.org/0000-0002-0837-3835>



1984년 2월: 한양대학교 전자공학과 (공학사)
1986년 2월: 한양대학교 전자공학과 (공학석사)
1992년 3월: 일본 Shizuoka 대학 전자공학과 (공학박사)
1992년 4월~1996년 2월: (주) NEC 마이크로 일렉트로닉스연구소 주임연구원

1996년 3월~현재: 경희대학교 전자정보대학 교수

[주 관심분야] MMIC/RFSoc 설계, 초고주파 능동소자 모델링, IoT시스템 설계